2025

반도체 배치설계권 설정등록 현황

2026.2.

지식재산처

Ministry of
Intellectual Property

목 차

Ⅰ. 반도체 배치설계권 설정등록 현황

1. 연도별 설정등록 현황 ····· 1

2. 주요 신청인별 설정등록 현황 ····· 3

3-1. 배치설계권 기능·구조·기술별 설정등록 현황 ····· 5

3-2. 배치설계권 제1분류별 설정등록 현황 ····· 6

Ⅱ. 반도체 배치설계권 설정등록 리스트(1993~2025)

1. ‘93년도 등록현황 ····· 7

2. ‘94년도 등록현황 ····· 7

3. ‘95년도 등록현황 ····· 10

4. ‘96년도 등록현황 ····· 18

5. ‘97년도 등록현황 ····· 29

6. ‘98년도 등록현황 ····· 42

7. ‘99년도 등록현황 ····· 59

8. ‘00년도 등록현황 ····· 68

9. ‘01년도 등록현황 ····· 75

10. ‘02년도 등록현황 ····· 87

11. ‘03년도 등록현황 ····· 103

12. ‘04년도 등록현황 ····· 114

13. ‘05년도 등록현황 ····· 125

14. ‘06년도 등록현황 ····· 129

15-1. ‘07년도(01.01.~10.27.) 등록현황 ····· 144

15-2. ‘07년도(10.28.~12.31.) 등록현황 ····· 148

16. ‘08년도 등록현황 ····· 154

17. ‘09년도 등록현황 ····· 169
18. ‘10년도 등록현황 ····· 184
19. ‘11년도 등록현황 ····· 217
20. ‘12년도 등록현황 ····· 259
21. ‘13년도 등록현황 ····· 292
22. ‘14년도 등록현황 ····· 351
23. ‘15년도 등록현황 ····· 373
24. ‘16년도 등록현황 ····· 394
25. ‘17년도 등록현황 ····· 417
26. ‘18년도 등록현황 ····· 428
27. ‘19년도 등록현황 ····· 435
28. ‘20년도 등록현황 ····· 453
29. ‘21년도 등록현황 ····· 468
30. ‘22년도 등록현황 ····· 479
31. ‘23년도 등록현황 ····· 487
32. ‘24년도 등록현황 ····· 496
33. ‘25년도 등록현황 ····· 514

Ⅰ. 반도체 배치설계권 설정등록 현황

1. 연도별 설정등록 현황

반도체배치설계권 설정등록은 ‘25년까지 총 2,901건이 등록되었다. 권리자 기준으로 내국인 2,019건, 외국인 등록건수는 882건이다. 최근 10년 동안(’15년~’24년) 연평균 등록은 36건이며, ’25년에는 전년 대비 설정등록이 약 29.3% 감소하였다.

권리자별 추이를 살펴보면 ’16년 이후 대기업의 등록은 2건이며, 대학교, 정부출연 연구기관과 중소기업의 등록은 증감을 계속하여 왔다. 또한, ’16년 이후에 배치설계권 등록은 내국인 등록이 많은 부분을 차지하고 있으며 ’25년에는 당해연도 등록건수의 100%를 차지하였다.

구분		’93 ~’15	’16	’17	’18	’19	’20	’21	’22	’23	’24	’25	계
내국	대기업	340	-	-	-	-	-	-	2	-	-	-	342
	중소기업	270	1	-	-	6	6	8	12	7	15	12	337
	연구소	551	2	1	-	5	-	1	6	5	9	6	586
	대학	438	51	26	12	34	35	16	5	8	16	11	652
	개인	98	1	-	-	1	1	1	-	-	-	-	102
	소계	1697	55	27	12	46	42	26	25	20	40	29	**2,019**
외국(기업)		872	-	-	-	-	-	5	-	4	1	-	**882**
계		2,569	55	27	12	46	42	31	25	24	41	29	**2,901**

한편, 외국인 국내 설정등록은 882건으로 이 가운데 일본이 839건(95.1%)을 차지하였으며, 기타 국가(미국, 네덜란드, 남아공, 프랑스, 중국)가 43건(4.9%)을 등록하였다.

외국인 등록건수는 '99년부터 감소하기 시작하여 '09년 이후에는 등록 건수가 5건 이하이며, '21년에는 중국이 5건, '23년에는 중국이 4건, '24년에는 네덜란드가 1건 등록하였다.

구분	'93 ~'06	'07	'08	'09	'10	'11	'12	'13	'14 ~'20	'21	'22	'23	'24	'25	계
일본	801	16	13	5	-	1	1	2	-	-	-	-	-	-	839
미국	3	-	-	-	2	4	4	-	-	-	-	-	-	-	13
네덜란드	10	-	-	-	-	-	-	-	-	-	-	-	1	-	11
남아공	8	-	-	-	-	-	-	-	-	-	-	-	-	-	8
프랑스	2	-	-	-	-	-	-	-	-	-	-	-	-	-	2
중국	-	-	-	-	-	-	-	-	-	5	-	4	-	-	9
계	824	16	13	5	2	5	5	2	-	5	-	4	1	-	882

2. 주요 신청인별 설정등록 현황

구 분			'93	'94	'95	'96	'97	'98	'99	'00	'01	'02	'03	'04	'05	'06	'07	'08	'09	'10	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	'21	'22	'23	'24	'25	누계
국내	대기업	삼성전자	3	10	35	85	24	7	18	1	6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	189
		대우전자	-	1	3	5	28	36	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	73
		현대전자	-	10	-	-	-	-	-	-	15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	25
		동운아나텍	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	11	9	-	-	-	-	-	-	-	-	-	-	-	-	-	-	20
		하이닉스	-	-	7	2	1	7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	17
		기타	1	3	4	-	-	2	1	2	-	1	-	-	1	-	-	-	-	-	-	-	1	-	-	-	-	-	-	-	2	-	-	-	18
	대학	서강대	-	-	-	-	-	-	-	1	-	-	-	-	-	-	7	-	3	20	25	22	42	20	28	10	5	9	24	20	11	-	1	-	-	248
		광운대	-	-	-	-	-	-	-	-	-	-	-	-	10	14	-	5	5	-	-	16	36	-	-	5	2	-	-	-	-	-	-	-	-	93
		한양대	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	3	-	2	2	6	9	4	4	4	2	-	-	1	-	-	-	-	-	37
		동국대	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	4	5	4	3	6	6	6	-	1	5	8	5	5	7	16	11	93
		서울시립대	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	-	4	12	6	10	10	4	2	5	6	-	-	-	-	-	60
		포항공대	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	11	2	-	-	-	-	-	-	-	-	-	-	13
		이화여대	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	6	5	10	6	-	-	-	-	-	-	-	-	27
		기타	-	-	-	-	-	-	-	4	5	10	9	5	4	3	1	3	4	1	7	-	10	2	2	6	7	-	-	-	-	-	-	-	-	83
	연구소	한국전자통신연구원	-	-	2	31	40	43	7	5	21	65	44	56	-	85	-	-	1	4	1	6	3	-	1	-	1	-	1	-	1	-	-	-	-	418
		한국전기연구원	-	-	-	-	-	-	-	-	-	-	-	-	2	2	10	12	6	3	2	24	6	8	-	-	-	-	3	-	-	-	-	-	-	78
		한국전자기술연구원	-	-	-	-	-	-	1	1	1	2	-	1	1	2	3	4	7	11	12	7	4	-	1	2	-	-	-	-	-	6	5	9	6	86
		한국생산기술연구원	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1
		한국과학기술원	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	-	-	-	-	-	-	1
	중소기업	코아리버	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	10	39	-	-	-	-	-	-	-	-	-	-	-	-	49
		㈜케이이씨	-	-	-	-	7	11	4	2	-	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	25
		㈜넥스트랩	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	5	4	3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12
		지엔에스디	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	10	-	-	2	-	-	-	-	-	-	-	-	-	-	-	-	12
		㈜애트랩	-	-	-	-	-	-	-	-	-	-	-	-	1	-	-	-	-	5	5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	11
		기타	-	-	3	5	-	-	1	1	23	10	16	14	8	1	15	7	9	14	15	12	3	4	-	1	-	-	6	6	8	12	7	15	12	228
	개인		-	-	-	-	-	-	1	9	17	6	17	2	6	-	5	7	-	8	2	13	3	-	2	1	-	-	1	1	1	-	-	-	-	102
	국내 소계-																																		2019

구 분			'93	'94	'95	'96	'97	'98	'99	'00	'01	'02	'03	'04	'05	'06	'07	'08	'09	'10	'11	'12	'13	'21	'22	'23	'24	'25	누계
국외	일본	산요덴기	-	11	41	14	33	22	20	12	15	-	-	1	4	14	-	-	-	-	-	-	-	-	-	-	-	-	187
		히타치세이사쿠쇼	-	-	14	13	16	22	33	18	32	18	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	166
		소니	-	5	7	7	31	32	11	15	4	1	2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	115
		도시바	-	5	11	22	18	14	7	1	6	6	3	2	1	2	-	-	-	-	-	-	-	-	-	-	-	-	98
		후지쓰	-	-	3	12	9	21	3	17	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	69
		기타	-	-	8	17	29	29	22	17	14	5	4	4	3	14	16	13	5	-	1	1	2	-	-	-	-	-	204
	미국	아나로그 디바이시즈	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	2	4	4	-	-	-	-	-	-	10
		애너디직스, 인크.	-	-	2	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	3
	마이크로-일렉트로닉 시스템즈(남아공)		-	-	-	-	-	-	-	-	-	-	7	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	8
	옥시트롤 에스.아.(프랑스)		-	-	-	-	-	-	-	-	-	-	-	-	-	2	-	-	-	-	-	-	-	-	-	-	-	-	2
	필립스(네덜란드)		-	-	-	4	-	2	1	-	2	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	10
	중국		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	5	-	4	-	-	9
	네덜란드		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	-	1
	국외 소계-																												882

3-1. 배치설계권 기능·구조·기술별 설정등록 현황('93~'07.10.27)

(1) 기능별 설정등록 현황

구 분	'93~'98	'99	'00	'01	'02	'03	'04	'05	'06	'07.10	계
로 직	233	22	19	21	11	15	7	7	10	2	347
메모리	82	35	22	35	4	1	3	-	-	-	182
마이크로 프로세서	156	33	20	27	22	9	1	4	2	-	274
리니어	355	35	17	36	20	19	6	6	24	22	540
기 타	66	5	28	46	69	58	69	24	103	9	477
계	892	130	106	165	126	102	86	41	139	33	1,820

(2) 구조별 설정등록 현황

구 분	'93~'98	'99	'00	'01	'02	'03	'04	'05	'06	'07.10	계
바이폴라	309	28	16	26	26	3	3	3	19	10	443
MOS	499	95	72	98	69	49	21	22	30	18	973
BI-MOS	36	7	9	7	4	3	5	5	15	5	96
광 IC	1	-	-	-	2	-	1	-	-	-	4
기 타	47	-	9	34	25	47	56	11	75	-	304
계	892	130	106	165	126	102	86	41	139	33	1,820

(3) 기술별 설정등록 현황

구 분	'93~'98	'99	'00	'01	'02	'03	'04	'05	'06	'07.10	계
TTL	12	1	3	4	-	-	-	1	1	-	22
DTL	2	-	-	1	-	-	-	-	-	-	3
ECL	61	2	-	-	-	-	-	-	-	-	63
IIL	57	6	-	3	2	1	2	1	-	2	74
CMOS	514	98	74	100	69	49	26	21	37	18	1,006
NMOS	2	1	-	-	-	-	-	1	-	-	4
PMOS	-	-	-	-	-	-	-	-	-	-	-
기 타	244	22	29	57	55	52	58	17	101	13	648
계	892	130	106	165	126	102	86	41	139	33	1,820

3-2. 배치설계권 제1분류별* 설정등록 현황

배치설계의 적절한 이용을 위해 배치설계설명서의 기술분류를 최신 기술에 부합되도록 정비하여 기능별로 대분류 하였다. 2007.10.28. ~ 2024.12.31.까지 총 1,054건이 등록되었으며, 그 중 Analog가 871건으로 약 83%를 차지하였다.

***제1분류** : 배치설계표에 기재된 대분류(Analog, Digital Logic, Microcomponet, Memory, Physical Library, Others)에 따라 구분된 반도체배치설계 설정등록

(단위 : 건)

구분	'07.10 ~ '07.12	'08	'09	'10	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	'21	'22	'23	'24	'25	계
Analog	13	28	37	67	60	104	164	69	61	55	27	12	43	40	22	22	18	29	28	899
Digital Logic	6	8	-	2	6	8	2	-	-	-	-	-	-	-	6	-	5	2	-	45
Micro-Component	-	5	6	3	9	5	6	-	-	-	-	-	-	-	-	-	-	4	-	38
Memory	-	-	-	-	-	3	-	-	-	-	-	-	-	-	3	-	1	4	1	12
PHY	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	-	-	-	1
기타	5	13	14	26	9	9	3	-	-	-	-	-	3	2	-	2	-	2	-	88
계	24	54	57	98	84	129	175	69	61	55	27	12	46	42	31	25	24	41	29	1,083

Ⅱ. 반도체 배치설계권 설정등록 리스트(1993~2025)

1. '93년 등록 현황

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
1	KM23C16000B	16M MASK ROM	MOS	CMOS	메모리	93-09-09	94-01-00	93-09-18	삼성전자
2	KS5514	OSD IC	BI-MOS	기타	로직	93-09-03	94-01-00	93-09-18	삼성전자
3	KA7521	전자식 안정기 제어용 반도체	바이폴라	기타	리니어	93-09-07	93-11-00	93-09-18	삼성전자
4	GCD1001	CCD주변회로	MOS	CMOS	리니어	93-10-05	93-12-00	93-10-29	LG전자

2. '94년 등록 현황

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
5	GM3015	INVERTER CONTROL IC	MOS	CMOS	리니어	93-11-26	94-01-00	94-01-04	LG전자
6	GMS44508	4 BIT MCU	MOS	CMOS	마이크로프로세서	93-09-15	93-11-16	94-01-25	LG전자
7	KA2810	HDD DRIVE IC	바이폴라	ECL	리니어	93-11-15	. .	94-01-29	삼성전자
8	KDA0491	HIGH COLOR RAM DAC IC	MOS	CMOS	리니어	93-09-07	94-01-25	94-01-29	삼성전자
9	KA2298	DTS용 TUNER IC	바이폴라	ECL	리니어	93-09-22	93-11-15	94-01-29	삼성전자
10	CXA1786	이동체 통신시스템용 PLL주파수 신세사이저 IC	바이폴라	기타	리니어	93-10-27	94-01-20	94-02-07	소니
11	CXA1744A	디지탈 코드레스 폰용 IF 앰프 IC	바이폴라	기타	리니어	93-11-26	94-02-01	94-02-07	소니
12	CXA1734	TV,VTR등의 미국음성다중TV방송 복조시스템 IC	바이폴라	기타	리니어	93-11-26	94-02-20	94-02-07	소니
13	LCX005AK	1.4Cm (0.55형) NTSC/PAL컬러 액정 패널	기타	기타	기타	93-12-07	94-01-31	94-02-07	소니
14	CXA1726A	디스플레이 모니터, 프로젝터용 승산기 IC	바이폴라	기타	리니어	93-12-22	94-07-01	94-02-07	소니

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
15	KM48V8000	64M DRAM	MOS	CMOS	메모리	93-10-13	94-06-00	94-04-07	삼성전자
16	LA7480AM	VHS 방식 영상신호처리 반도체집적회로	바이폴라	IIL	리니어	93-09-16	94-03-08	94-04-30	상요덴기
17	GMS81516EVA	범용 8 bit MCU	MOS	CMOS	마이크로프로세서	93-12-07	94-04-04	94-05-17	LG전자
18	HYF82481R1	486DX CHIPEST MAIN CONTROLLER	MOS	CMOS	로직	93-09-13	94-03-01	94-05-17	현대전자
19	HYF82920R0	VESA LOCAL BUS CONTROLLER	MOS	CMOS	로직	93-09-13	94-03-01	94-05-17	현대전자
20	HYF82930R0	486 CHIPSET ADDRESS BUFFER	MOS	CMOS	로직	93-09-13	94-03-01	94-05-17	현대전자
21	HYN81126ES	BiCOLOR PALETTE DAC	MOS	CMOS	로직	94-01-17	94-03-01	94-05-17	현대전자
22	HYN81176ES	COLOR PALETTE DAC	MOS	CMOS	로직	94-01-17	94-03-01	94-05-17	현대전자
23	HYN81276ES	VGA용 HiCOLOR PALETTE DAC	MOS	CMOS	로직	94-01-17	94-03-01	94-05-17	현대전자
24	DBL2052	입력신호 절환용 집적회로	바이폴라	기타	리니어	93-11-02	94-02-01	94-05-26	대우전자
25	TC9293N	디지탈 오디오 기기용 DAC	MOS	CMOS	로직	93-09-10	93-10-06	94-05-31	도시바
26	TC9317F	4비트 마이크로콘트롤러	MOS	CMOS	마이크로프로세서	93-09-14	93-10-03	94-05-31	도시바
27	TC9332F	디지탈 시그날 프로세서	MOS	CMOS	로직	93-09-03	93-09-20	94-05-31	도시바
28	TC9284AF	CD 플레이어용 1칩 프로세서	MOS	CMOS	로직	93-09-06	93-10-07	94-05-31	도시바
29	KT8580L	CODEC IC	MOS	CMOS	리니어	94-01-11	94-10-00	94-05-31	삼성전자
30	KS9820	4 BIT LOW VOLTAGE MICOM	MOS	CMOS	마이크로프로세서	94-11-30	94-07	94-05-31	삼성전자
31	KA8510Q	ONE CHIP CORDLESS PHONE IC	바이폴라	ECL	리니어	93-11-25	94-01-15	94-05-31	삼성전자
32	LC65E29	4비트 1칩 마이크로컴퓨터 반도체집적회로	MOS	CMOS	마이크로프로세서	93-09-20	93-11-29	94-06-16	상요덴기

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
33	LC651104F	4비트 1칩 마이크로컴퓨터 반도체 집적회로	MOS	CMOS	마이크로프로세서	93-10-13	93-12-10	94-06-16	상요덴기
34	DAA001	교환기용 DATA CONTROLLER ASIC	MOS	CMOS	로직	94-01-28	94-05-14	94-06-21	삼성전자
35	OKCDV	CD VISION용 IC	MOS	CMOS	로직	94-02-07	94-03-01	94-06-21	삼성전자
36	HOL9301A	VESA LOCAL BUS ASIC	MOS	CMOS	로직	94-04-20	94-05-01	94-06-21	삼성전자
37	HYL21010	DUAL PHASE LOCKED LOOP	MOS	CMOS	로직	93-10-08	94-06-01	94-09-02	현대전자
38	HYU4011Q-01	4-BIT MCU FOR DIGITAL TUNING SYSTEM	MOS	CMOS	마이크로프로세서	93-09-10	94-01-04	94-09-02	현대전자
39	HYF82380	386SX CHIPEST MAIN SYSTEM CONTROLLER	MOS	CMOS	로직	93-09-28	94-01-05	94-09-09	현대전자
40	HYF82910	486 CHIPEST DATA BUFFER	MOS	CMOS	로직	93-09-04	93-10-30	94-09-09	현대전자
41	TC5116180	디지탈 시그날 프로세서	MOS	CMOS	메모리	94-01-26	94-07-05	94-09-12	도시바
42	LC72329	전자동조용 1칩 마이크로 콘트롤러	MOS	CMOS	로직	94-09-21	93-12-01	94-12-28	상요덴기
43	LC867120B	8비트 1칩 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	94-09-29	. .	94-12-28	상요덴기
44	LC865412B	8비트 1칩 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	93-11-12	94-09-14	94-12-28	상요덴기
45	LC866432A	8비트 1칩 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	93-11-17	93-12-27	94-12-28	상요덴기
46	LC86E7148	8비트 1칩 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	93-11-11	94-04-12	94-12-28	상요덴기
47	LC86E6448	8비트 1칩 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	93-11-10	94-02-07	94-12-28	상요덴기
48	LA1835	전자동조 대응 홈 스테레오용 1칩	바이폴라	IIL	리니어	93-09-10	93-10-26	94-12-28	상요덴기
49	LA7421A	4비트 1칩 마이크로컴퓨터	바이폴라	IIL	리니어	93-09-01	93-11-24	94-12-28	상요덴기

3. '95년 등록 현황

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
50	GL1161	Monitor용 RGB VIDEO PREAMP	바이폴라	기타	리니어	94-12-30	95-01-00	95-02-24	LG전자
51	GD75323	FAX/MODEM용 LINE DRIVER/RECEIVER	바이폴라	기타	리니어	94-10-27	94-10-27	95-02-24	LG전자
52	GM76C256B	256K SRAM	MOS	CMOS	메모리	94-10-31	95-03-00	95-02-24	LG전자
53	GM6531	Monitor용 RGB VIDEO PREAMP	MOS	CMOS	리니어	94-10-31	95-01-00	95-02-24	LG전자
54	TA2040A	AM 스테레오 디코더	바이폴라	기타	리니어	94-01-21	94-06-30	95-03-04	도시바
55	FN22R	IC 카드용 LSI	MOS	CMOS	마이크로프로세서	94-02-18	94-08-12	95-03-04	도시바
56	TC5116160	16M 다 비트 DRAM	MOS	CMOS	메모리	94-01-25	94-03-31	95-03-04	도시바
57	MSC1230	111 비트 VFD 드라이버 + 디밍기능	BI-MOS	CMOS	로직	94-04-18	94-07-06	95-03-11	오키덴키
58	MSC1218	63비트 VFD 드라이버 + 디밍기능	BI-MOS	CMOS	로직	94-02-22	94-04-15	95-03-11	오키덴키
59	MSM64481	E^2 PROM 내장 4비트 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	93-11-05	93-11-30	95-03-11	오키덴키
60	MSM7460	CCD 딜레이 라인(CCD Delay Line)	MOS	CMOS	리니어	93-10-28	93-11-29	95-03-11	오키덴키
61	LV0664B	LCD용 VGA를 CONTROL하는 I.C	MOS	CMOS	로직	95-01-23	95-02-07	95-04-27	삼성전자
62	CV1050AF	가라오케용 화상처리 및 GRAPHIC CONTROLLER IC	MOS	CMOS	로직	95-01-26	95-02-21	95-04-27	삼성전자
63	F84041B	486 PC CHIP SET용 I.C	MOS	CMOS	로직	94-10-06	94-11-20	95-04-27	삼성전자
64	CTRL-T	486 PC CHIP SET용 I.C	MOS	CMOS	로직	95-02-22	95-02-23	95-04-27	삼성전자
65	DBL2071	화상처리장치의 수평편향동기를 맞추는 기능	바이폴라	기타	리니어	95-03-10	95-08-01	95-04-28	대우전자
66	DBL5020	통신기기의 잡음제거용 집적회로	바이폴라	TTL	리니어	95-01-10	95-01-11	95-04-28	대우전자
67	HD64440	VDP(VIDEO DATA PROCESSOR)	MOS	CMOS	마이크로프로세서	94-03-08	94-04-08	95-04-28	히타치세이사쿠쇼
68	HD69030	32BIT PA-RISC PROCESSOR	MOS	CMOS	로직	93-11-25	94-05-30	95-04-28	히타치세이사쿠쇼

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
69	TA2033AF	카 튜너용 IC	바이폴라	기타	리니어	94-02-15	94-07-01	95-04-28	도시바
70	TC51444OCSJ	4M 비트 DRAM	MOS	CMOS	메모리	94-03-22	94-07-27	95-04-28	도시바
71	ASW001	16 Gray Thin Film Transistor Liquid Crystal Display Driver	MOS	CMOS	로직	94-05-11	95-02-01	95-05-03	현대전자
72	HY628100A	1 M SRAM(2'ND GENERATION)	MOS	CMOS	메모리	94-03-04	95-06-21	95-05-03	현대전자
73	HI COLOR RAMDAC	HI COLOR RAMDAC	MOS	CMOS	기타	94-03-30	94-12-01	95-05-03	현대전자
74	H3B61040	DRAM MODULE용 PARITY EMULATION CHIP	MOS	CMOS	로직	94-09-01	94-12-30	95-05-03	현대전자
75	HN32V	SGVA/LCD CONTROLLER CHIP	MOS	CMOS	로직	94-06-15	95-05-01	95-05-03	현대전자
76	256COLOR RAMDAC	256COLOR RAMDAC	MOS	CMOS	기타	93-10-30	94-12-01	95-05-03	현대전자
77	KS57C0208	다기능원격제어 4Bit 마이크로콘트롤유니트	MOS	CMOS	로직	93-09-01	93-10-01	95-05-27	삼성전자
78	ALPHA	Pager용 Alpha Numeric Decoder	MOS	CMOS	로직	95-01-26	95-02-01	95-05-27	삼성전자
79	KD2324A	Card Reader용 IC	MOS	CMOS	로직	94-07-08	94-07-09	95-05-27	삼성전자
80	KS88C4316	범용 및 LBP ENGINE CONTROL용 8 BIT MCU	MOS	CMOS	마이크로프로세서	94-10-17	95-02-27	95-05-27	삼성전자
81	RC2016A5-SAR	IBM PC 호환용 386SX CHIP SET용 I.C	MOS	CMOS	로직	94-04-15	94-04-20	95-06-07	삼성전자
82	CXA1812	S단자 대응 VIDEO I/O VTR영상입출력신호처리	바이폴라	기타	리니어	93-09-28	93-10-30	95-06-07	소니
83	CXA1611	FM/AM 라디오용 I.C	바이폴라	기타	리니어	94-01-26	94-04-25	95-06-07	소니
84	CXA1619	FM/AM 라디오 기기용 1칩 I.C	바이폴라	기타	리니어	94-01-26	94-04-25	95-06-07	소니
85	MB3798A	Switching Regulator Controller	바이폴라	기타	리니어	94-03-31	94-04-12	95-06-07	후지쓰
86	CXA1691	FM/AM 라디오 기기용 1칩 I.C	바이폴라	기타	리니어	94-02-23	94-04-30	95-06-07	소니
87	CXA1702A	Hi8 대응 VTR용 4ch 기록/재생 앰프	바이폴라	기타	리니어	94-02-23	94-03-26	95-06-07	소니
88	CXA1741	아날로그 셀룰러 통신용 IF앰프	바이폴라	기타	리니어	93-12-20	94-01-25	95-06-07	소니

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
89	CXA1784	미국 음성다중 TV방송시스템용 디코더	바이폴라	기타	리니어	94-08-17	94-09-26	95-06-07	소니
90	CV1021AF	TV가라오케용 화상처리 및 문자 Disply Control	MOS	CMOS	로직	94-03-10	94-03-15	95-06-13	삼성전자
91	KS57C4004	A/D Converter내장 범용 4Bit MCU	MOS	CMOS	마이크로프로세서	93-09-01	93-10-01	95-06-13	삼성전자
92	KS51810	Remote Control Transmitter용 4Bit MCU	MOS	CMOS	마이크로프로세서	93-09-20	93-10-20	95-06-13	삼성전자
93	SFC80	FONT ROM CONTROLLER	MOS	CMOS	로직	93-11-22	93-11-25	95-06-13	삼성전자
94	AZT2316	SOUND CARD READER	MOS	CMOS	로직	94-03-12	94-03-15	95-06-13	삼성전자
95	OKSORI2C	SOUND CARD READER	MOS	CMOS	로직	95-01-25	95-01-26	95-06-13	삼성전자
96	LA7615	컴퓨터 콘트롤드 텔레비전용 1칩 IC	바이폴라	IIL	리니어	94-06-15	94-09-13	95-06-14	상요덴기
97	LC5824	LCD드라이버 내장 4비트1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-09-20	94-11-22	95-06-14	상요덴기
98	LC585202	LCD드라이버 내장 4비트1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-01-12	94-04-15	95-06-14	상요덴기
99	LC72130	전자동조용 PLL주파수 신세사이저	MOS	CMOS	로직	94-04-08	94-09-19	95-06-14	상요덴기
100	LC72146M	전자동조용 PLL주파수 신세사이저	MOS	CMOS	로직	94-04-28	94-10-07	95-06-14	상요덴기
101	LC72362	1칩 PLL 콘트롤러 IC	MOS	CMOS	로직	94-09-07	95-01-23	95-06-14	상요덴기
102	LC7455M	미국 클로즈드.갭션 신호추출용 IC	MOS	CMOS	로직	94-10-21	94-11-16	95-06-14	상요덴기
103	LC7456A	미국 클로즈드.갭션 신호추출용 IC	MOS	CMOS	로직	93-11-10	94-03-10	95-06-14	상요덴기
104	JS500008	NEC HAND PHONE용 Z-80 INTERFACE CONTROL IC	MOS	CMOS	로직	94-03-03	94-06-30	95-06-20	삼성전자
105	LC74761	온 스크린 디스플레이 I.C	MOS	CMOS	로직	94-04-04	94-09-15	95-06-20	상요덴기
106	LC78620E	콤팩트디스크 플레이어용 DSP I.C	MOS	CMOS	로직	94-08-08	95-01-24	95-06-20	상요덴기
107	LC7868KE	콤팩트디스크 플레이어용 DSP I.C	MOS	CMOS	로직	94-01-19	94-03-15	95-06-20	상요덴기
108	LC7872E	콤팩트디스크 그래픽스용 디코더	MOS	CMOS	로직	94-02-01	94-03-04	95-06-20	상요덴기
109	LC85020E	고체 메모리 음성 녹음재생 I.C	MOS	CMOS	로직	94-02-08	94-01-27	95-06-20	상요덴기

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
110	LC864156A	캡션 텔레비전 제어용 8비트1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-02-22	94-04-25	95-06-20	상요덴기
111	LC868901	도트매트릭스 그래픽 LCD용 커먼 드라이버 I.C	MOS	CMOS	마이크로프로세서	94-09-07	. .	95-06-20	상요덴기
112	LC99052	이미지 센서용 스탠다드 셀 I.C	MOS	CMOS	기타	94-10-26	94-12-16	95-06-20	상요덴기
113	KA8408	DOOR PHONE용 AUDIO I.C	바이폴라	기타	리니어	94-08-20	. .	95-06-28	삼성전자
114	KA8182	CAMCORDER용 I.C	바이폴라	기타	리니어	93-09-11	. .	95-06-28	삼성전자
115	KAD0505	A/D CONVERTER I.C	MOS	CMOS	리니어	94-03-30	94-10-30	95-06-28	삼성전자
116	KA2295	AUDIO용 I.C	바이폴라	IIL	리니어	94-08-10	94-08-30	95-06-28	삼성전자
117	KS57C3016	CDP 및 DTS용 4 BIT MCU	MOS	CMOS	마이크로프로세서	93-09-15	94-03-22	95-06-30	삼성전자
118	KS57C2408	LCD용 A/D CONVERTER가 내장된 4BIT MCU	MOS	CMOS	마이크로프로세서	93-09-17	93-11-01	95-06-30	삼성전자
119	KS57C2504	LCD DRIVER 내장 4BIT MICOM	MOS	CMOS	마이크로프로세서	94-06-24	95-04-01	95-06-30	삼성전자
120	KS57P4004	EEPROM내장 A/D CONVERTER 및 범용 4BIT MICOM	MOS	CMOS	마이크로프로세서	94-12-28	95-03-30	95-06-30	삼성전자
121	KS56C1270	8BIT A/D CONVERTER내장 VFT DISPLAY DRIVER	MOS	CMOS	마이크로프로세서	93-09-14	93-12-22	95-06-30	삼성전자
122	KA2139	VIDEO AMP SIGNAL I.C	바이폴라	기타	리니어	94-10-22	. .	95-06-30	삼성전자
123	KA8333	VCR SERVO I.C	BI-MOS	기타	로직	94-06-30	. .	95-06-30	삼성전자
124	KS7212	TIMING GENERATOR I.C	MOS	CMOS	로직	94-06-13	94-08-31	95-06-30	삼성전자
125	KA9220	COMPACT DISK 1 CHIP BICMOS I.C	BI-MOS	기타	리니어	94-01-20	94-09-30	95-06-30	삼성전자
126	KA7305	CCD 신호처리 I.C	바이폴라	기타	리니어	93-12-30	94-07-31	95-06-30	삼성전자
127	MSM6782-01	리얼타임 클럭(REAL TIME CLOCK)	MOS	CMOS	로직	93-12-03	94-03-07	95-07-12	오키덴키

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
128	KA8327	VCR SERVO I.C	BI-MOS	기타	로직	94-02-22	94-03-31	95-07-22	삼성전자
129	KA8603	전화기용 SPEECH NETWORK I.C	바이폴라	기타	리니어	94-03-08	. .	95-07-22	삼성전자
130	KA8512	무선전화기용 COMPANDER I.C	바이폴라	기타	리니어	93-10-30	94-02-07	95-07-22	삼성전자
131	HYL21011	PROGRAMMABLE DUAL PHASE LOCKED LOOP	MOS	CMOS	로직	95-03-31	95-04-15	95-07-22	현대전자
132	HD6483102	8 비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-06-02	94-10-13	95-07-22	히타치세이사쿠쇼
133	HM51W16160A	16비트 다이나믹 RAM	MOS	CMOS	메모리	94-02-23	94-10-24	95-07-22	히타치세이사쿠쇼
134	TA1201AN	원 칩화된 NTSC방식 칼라TV용 I.C	바이폴라	IIL	리니어	94-12-21	95-01-06	95-07-27	도시바
135	TA1223N	칼라 텔레비전의 휘도 크로마 동기신호처리 I.C	바이폴라	IIL	리니어	94-12-08	95-02-15	95-07-27	도시바
136	TA1201N	원 칩화된 NTSC방식 칼라TV용 I.C	바이폴라	IIL	리니어	94-12-18	94-12-27	95-07-27	도시바
137	FN21	마이크로 콘트롤러	MOS	CMOS	기타	94-05-12	94-07-18	95-07-27	도시바
138	FB80	LCD 게이트 드라이버	MOS	CMOS	기타	94-06-08	94-07-25	95-07-27	도시바
139	KA8511	1 CHIP CORDLESS TELEPHONE I.C	바이폴라	IIL	리니어	93-10-25	94-03-20	95-08-16	삼성전자
140	RF5C77-01	게임기용 화상처리 LSI	MOS	CMOS	로직	93-09-30	94-03-01	95-08-18	리코
141	RF5A22-02	게임기용 CPU LSI	MOS	CMOS	마이크로프로세서	93-12-27	94-05-01	95-08-18	리코
142	RF5C78-03	게임기용 화상처리 LSI	MOS	CMOS	로직	94-02-01	94-07-31	95-08-18	리코
143	HM514400C/HM514100C	4M 비트 DRAM	MOS	CMOS	메모리	94-03-04	94-10-22	95-09-25	히타치세이사쿠쇼
144	HD404950	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-07-20	94-10-13	95-09-25	히타치세이사쿠쇼
145	HD6417095SF28	RISC 32비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-07-01	94-07-28	95-09-25	히타치세이사쿠쇼

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
146	HD404920	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-03-10	94-04-04	95-09-25	히타치세이사쿠쇼
147	HD6417604	RISC 32비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	93-10-06	94-07-13	95-09-25	히타치세이사쿠쇼
148	EC9301ADC	HDTV용 디지틀신호변환 DATA CONVERTER	MOS	CMOS	기타	93-12-31	Mar-96	95-10-11	전자통신연구원
149	IMM1	CDMA휴대용전화기 모뎀칩	MOS	CMOS	로직	94-12-20	Dec-95	95-10-11	전자통신연구원
150	KA8601	SPEAKER PHONE I.C	바이폴라	기타	리니어	93-10-05	93-11-20	95-10-11	삼성전자
151	MX-0044-01-A UP CONVERTER	GaAs MESFET를 이용한 상향변환용 집적회로	기타	기타	기타	95-07-30	95-10-05	95-10-24	마이크로통신
152	MX-0044-02-A UP CONVERTER	GaAs MESFET를 이용한 상향변환용 집적회로	기타	기타	기타	95-07-30	95-10-05	95-10-24	마이크로통신
153	MX-0044-00-A D O W N CONVERTER	GaAs MESFET를 이용한 하향변환용 집적회로	기타	기타	기타	95-07-30	95-10-05	95-10-24	마이크로통신
154	DBL5023	무선전화기용 혼선방지 집적회로	바이폴라	TTL	리니어	95-08-31	95-08-31	95-10-24	대우전자
155	TA8894AF	VTR용 앰프 콘트롤러	바이폴라	IIL	기타	93-11-04	93-11-19	95-12-07	도시바
156	UR7	GaAs 업 컨버터용 IC	기타	기타	기타	93-11-01	93-11-18	95-12-19	애너디직스
157	CMD-4(LB8614V)	카메라 셔터용 모터 드라이버 IC	바이폴라	TTL	리니어	93-11-19	94-02-17	95-12-27	상요덴기
158	LA0100	CDP 픽업용 옵토 일렉트로닉스 IC	바이폴라	기타	리니어	94-06-10	95-02-16	95-12-27	상요덴기
159	LA1867NM	차량탑재라디오용 1칩 튜너 시스템 IC	바이폴라	IIL	리니어	94-02-28	94-08-10	95-12-27	상요덴기
160	LA4820M	전자 북 플레이어 대응 복합 파워 IC	바이폴라	기타	리니어	94-11-24	95-03-10	95-12-27	상요덴기
161	LA6527	CD-ROM 스레드 모터용 IC	바이폴라	DTL	리니어	94-07-01	94-10-13	95-12-27	상요덴기
162	UR24C	GaAs 업 컨버터용 IC	기타	기타	기타	93-11-01	93-11-23	95-12-27	애너디직스
163	LA8518M	무선전화베이스세트용 음성신호처리 IC	바이폴라	IIL	리니어	94-10-19	95-06-02	95-12-27	상요덴기
164	LA8670M	이중변환 협대역 FM-IF 시스템 IC	바이폴라	기타	리니어	93-11-09	94-05-20	95-12-27	상요덴기

등록번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작일자	상업적이용일자	설정등록일자	배치설계권자
165	LA9220M	CDP용 아날로그 신호처리 IC	바이폴라	IIL	리니어	94-04-18	94-05-30	95-12-27	상요덴기
166	LB1814M	3.5인치 광자기디스크.스핀들모터 드라이버 IC	바이폴라	IIL	리니어	94-05-19	94-12-07	95-12-27	상요덴기
167	LB1868M	팬용 2상 유니폴라 구동모터 드라이버 IC	바이폴라	기타	리니어	94-02-23	94-05-17	95-12-27	상요덴기
168	LB1878V	헤드폰 스테레오용 모터 드라이버 IC	바이폴라	IIL	리니어	94-10-21	94-12-28	95-12-27	상요덴기
169	LB1888V	8mm 일체형 VTR용 드럼 모터 드라이버 IC	바이폴라	IIL	리니어	93-11-10	94-02-24	95-12-27	상요덴기
170	LB1951V	3상 브러시레스 모터 드라이버 IC	바이폴라	TTL	리니어	94-10-17	95-03-27	95-12-27	상요덴기
171	LB8112V	8mm VTR용 센서 앰프.로딩 모터 드라이버 IC	바이폴라	TTL	리니어	94-11-23	94-06-27	95-12-27	상요덴기
172	LC3564SM	64K 비트 스태틱 RAM IC	MOS	CMOS	메모리	94-02-11	94-04-27	95-12-27	상요덴기
173	LC662306A	CMOS 4비트 1칩 마이크로컴퓨터 IC	MOS	CMOS	마이크로프로세서	94-03-15	94-06-24	95-12-27	상요덴기
174	LC665308A	CMOS 4비트 1칩 마이크로컴퓨터 IC	MOS	CMOS	마이크로	94-03-08	94-10-03	95-12-27	상요덴기
175	LC73700NM	시리얼 인터페이스 내장 전화용 다이얼 IC	MOS	CMOS	로직	94-06-22	94-10-20	95-12-27	상요덴기
176	LC74723M	온 스크린 디스플레이 콘트롤러 IC	MOS	CMOS	로직	94-05-16	94-10-13	95-12-27	상요덴기
177	LC74782M	온 스크린 디스플레이 콘트롤러 IC	MOS	CMOS	로직	94-11-07	94-12-01	95-12-27	상요덴기
178	LC83025E	가라오케용 디지탈 시스널 프로세서 IC	MOS	CMOS	로직	94-06-30	94-08-26	95-12-27	상요덴기
179	LC864132B	CMOS 8비트 1칩 마이크로컴퓨터 IC	MOS	CMOS	마이크로프로세서	94-10-10	95-07-26	95-12-27	상요덴기
180	LC86P4164	원타임 PROM 판 CMOS 8비트1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-09-21	95-02-13	95-12-27	상요덴기
181	LC89515K	CD-I대응 CD-ROM용 에러정정.호스트 인터페이스	MOS	CMOS	로직	94-09-27	94-02-27	95-12-27	상요덴기
182	WEDR01(LB8630V)	카메라용 모터 드라이버 IC	바이폴라	IIL	리니어	94-05-31	94-08-05	95-12-27	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
183	HN624316/HN624316N	16비트 마스크 롬	MOS	CMOS	메모리	94-02-16	94-09-16	95-12-29	히타치세 이사쿠쇼
184	HD404935	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-01-07	95-02-23	95-12-29	히타치세 이사쿠쇼
185	HM512200B	2M 비트 DRAM	MOS	CMOS	메모리	93-11-04	94-03-14	95-12-29	히타치세 이사쿠쇼
186	HM5221605	2M 비트 싱크로너스 DRAM	MOS	CMOS	메모리	94-03-20	94-09-09	95-12-29	히타치세 이사쿠쇼
187	HM5117800B	16M 비트 다이나믹 RAM	MOS	CMOS	메모리	94-06-10	94-12-10	95-12-29	히타치
188	MB3805	휴대전화용 시스템 전원 IC	바이폴라	기타	리니어	94-07-12	94-07-12	95-12-29	후지쓰
189	MB4475	헤드앰프(HEAD AMPLIFIER) IC	바이폴라	기타	리니어	94-05-25	94-05-25	95-12-29	후지쓰

4. '96년 등록현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
190	MB81116420	16M 싱크로나이즈 다이나믹 RAM	MOS	CMOS	메모리	93-10-07	94-02-04	96-02-28	후지쓰
191	MB15A11	PLL 주파수 신세사이저	BI-MOS	기타	기타	93-10-29	94-02-08	96-02-28	후지쓰
192	MB54602	고주파 이동체 통신용 RF IC	바이폴라	기타	리니어	94-01-14	94-03-03	96-02-28	후지쓰
193	UAA3201	UHF/VHF REMOTE CONTROL RECEIVER	바이폴라	기타	리니어	93-09-01	94-02-08	96-02-28	필립스
194	KA2296	1 CHIP TUNER(WITH N/C)	바이폴라	IIL	리니어	95-09-20	95-10-20	96-03-04	삼성전자
195	KS8805	UNIVERSAL PLL IC	MOS	CMOS	로직	95-03-22	95-04-22	96-03-04	삼성전자
196	KS88E0700	SAM CPU3 EVA ICC	MOS	CMOS	마이크로프로세서	95-07-07	95-08-07	96-03-04	삼성전자
197	KS0639	240CH. 64G/STFTSOURCEDIC	MOS	CMOS	로직	95-04-14	95-05-14	96-03-04	삼성전자
198	KS0164	WAVE TABLE SOUND SYNTHESIZE	MOS	CMOS	로직	95-07-05	95-08-05	96-03-04	삼성전자
199	ZAR004	OVER SAMPLING 방식의 AD DA IC	MOS	CMOS	로직	95-08-15	95-09-15	96-03-04	삼성전자
200	KA8514	PAGER용 IF DETECTOR FOR RSSI IC	바이폴라	기타	리니어	95-11-09	95-12-09	96-03-04	삼성전자
201	KA8513B	IF DETECTOR FOR PAGER	바이폴라	기타	리니어	95-11-16	95-12-16	96-03-04	삼성전자
202	KA2293B	FM AM 1 CHIP TUNER WITH NON ADJUST MPEX IC	바이폴라	기타	리니어	95-09-06	95-10-20	96-03-04	삼성전자
203	KS7221	VERTICAL DRIVER FOR CCD	MOS	CMOS	로직	95-09-13	95-10-13	96-03-04	삼성전자
204	CXA1377	AM/FM 스테레오용 IC	바이폴라	기타	리니어	94-08-23	95-04-01	96-03-18	소니
205	KETI95F02A	12 Bit 10 MHz Monolithic A/D 변환기	MOS	CMOS	로직	95-07-31	1996.00.00	96-03-28	전자부품 연구원
206	KS0635	TMS 57466/TI	MOS	CMOS	로직	95-04-30	95-05-30	96-03-29	삼성전자
207	KA1431	PROGRAMABLE REFERENCE	바이폴라	기타	리니어	95-07-11	95-08-11	96-03-29	삼성전자
208	KA2292	AM/FM ONE CHIP TUNER IC	바이폴라	기타	리니어	95-11-11	95-12-11	96-03-29	삼성전자
209	KA431	PROGRAMABLE REFERENCE	바이폴라	기타	리니어	95-04-08	95-06-08	96-03-29	삼성전자
210	KS6038	DATABANK(중국어)	MOS	CMOS	로직	95-07-11	95-08-11	96-03-29	삼성전자
211	KA8550	HIGH VOLTAGE SLIC SLIV	바이폴라	기타	리니어	95-09-20	95-10-20	96-03-29	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
212	KA22901	1 CHIP TUNER/무조정	바이폴라	기타	리니어	95-07-20	95-09-20	96-03-29	삼성전자
213	KA2295Q	AM/FM TUNER + MPX FOR DTS	바이폴라	IIL	리니어	95-03-20	95-04-20	96-03-29	삼성전자
214	KA3361B	LOW POWER NARROWBAND FM IF	바이폴라	기타	리니어	95-04-12	95-07-20	96-03-29	삼성전자
215	KS0073	340 CM/ 60SEG WITH 3배승압	MOS	CMOS	로직	95-10-20	95-11-20	96-03-29	삼성전자
216	KT8580	ECHO CANCELLATION CODEC	MOS	CMOS	리니어	95-09-20	95-10-20	96-03-29	삼성전자
217	KA317	IA ADJ. VTG. REG	바이폴라	기타	리니어	95-04-16	95-05-16	96-03-29	삼성전자
218	UAA1280T	AIRBAG IGNITION CIRCUIT	바이폴라	기타	리니어	94-03-07	94-03-08	96-03-29	필립스
219	JS600008A	KEY PHONE용 IC	MOS	CMOS	로직	95-03-01	95-05-15	96-03-29	삼성전자
220	QQ84C300	ETHERNET LAN CONTROLLER용 IC	MOS	CMOS	로직	94-07-01	94-08-15	96-03-29	삼성전자
221	UD50	CONSUMMER APPLICATION 용 IC	MOS	CMOS	로직	95-03-01	95-04-04	96-03-29	삼성전자
222	BA82C11	SCSI CONTROLLER 용 IC	MOS	CMOS	로직	95-02-01	95-02-15	96-03-29	삼성전자
223	SM8A02	16BIT TIMER/CONSUMMER내장 8BIT MCU	MOS	CMOS	마이크로프로세서	94-11-01	95-01-20	96-03-29	삼성전자
224	D30AS1	GaAs 다운컨버터용 IC	기타	기타	기타	93-12-03	94-03-15	96-04-08	애너디직스
225	MB8116400A	16M 다이나믹 RAM	MOS	CMOS	메모리	94-01-05	94-03-24	96-04-17	후지쓰
226	CXD2540Q	CDP용 디지탈 신호처리 IC	MOS	CMOS	로직	95-06-23	95-09-30	96-04-22	소니
227	HD66113	LCD 드라이버	MOS	CMOS	기타	94-03-21	94-05-27	96-04-29	히타치세이사쿠쇼
228	ES-C22122BCBM	CDMA이동통신용 기지국 변조기용 IC	MOS	CMOS	로직	95-11-04	96-03-31	96-05-31	전자통신연구원
229	ES-A1000 DAC	고속 고해상도 10BIT DAC	MOS	CMOS	기타	94-06-05	96-03-31	96-05-31	전자통신연구원
230	ETRIB8242Rx	622Mbps ATM교환망용 IC	MOS	CMOS	리니어	95-09-20	97-01-01	96-05-31	전자통신연구원
231	IMA1.0	CDMA방식 단말기의 IF아날로그칩	MOS	CMOS	기타	95-08-31	96-03-31	96-05-31	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
232	ES-C2211CVD	CDMA이동통신용 비터비 복호기 칩	MOS	CMOS	로직	94-04-30	96-03-31	96-05-31	전자통신 연구원
233	EC-C2213	CDMA이동통신용 기지국 복조기용 IC	MOS	CMOS	로직	95-04-10	96-03-31	96-05-31	전자통신 연구원
234	ETRI B8241 Tx1	622Mbps ATM교환망용 IC	MOS	CMOS	리니어	95-09-20	97-01-01	96-05-31	전자통신 연구원
235	BCD-DDC	BCD-DDC ASIC	MOS	CMOS	로직	95-09-30	95-10-31	96-05-31	전자통신 연구원
236	B-DDS	DDS-PLL ASIC	MOS	CMOS	로직	94-11-30	95-05-31	96-05-31	전자통신 연구원
237	RFSSG	RF-SSG ASIC	MOS	CMOS	로직	95-07-30	95-09-30	96-05-31	전자통신 연구원
238	MacAm002	LCD CONTROLLER ASIC	MOS	CMOS	로직	95-08-30	96-12-31	96-05-31	전자통신 연구원
239	SCD-SSC-101	SSC 칩	MOS	CMOS	로직	94-03-09	94-05-31	96-05-31	전자통신 연구원
240	SHE9509	유럽식 데이터 통신용 다중화 및 역다중화기	MOS	CMOS	로직	95-09-30	96-12-31	96-05-31	전자통신 연구원
241	ADC	A & DC(Add Drop Controller) ASIC	MOS	CMOS	로직	94-12-20	95-06-30	96-05-31	전자통신 연구원
242	KDDP	맥암 DDP ASIC	MOS	CMOS	로직	95-02-15	96-12-31	96-05-31	전자통신 연구원
243	PSD4001	PORT SHARING DEVICE IC	MOS	CMOS	로직	94-03-31	95-03-30	96-05-31	전자통신 연구원
244	SCD-CPC-100	CPC ASIC	MOS	CMOS	로직	94-03-15	96-12-31	96-05-31	전자통신 연구원
245	DDSUV1.0	DDSUV1.0 ASIC	MOS	CMOS	로직	94-12-10	95-03-31	96-05-31	전자통신 연구원
246	DDFS-PLL	Binary-DDFS ASIC	MOS	CMOS	로직	95-09-30	95-10-31	96-05-31	전자통신 연구원
247	SHT9509	북미식 데이터 통신용 다중화 및 역다중화기	MOS	CMOS	로직	95-09-30	96-12-31	96-05-31	전자통신 연구원
248	FPA1.0	FAPP칩	MOS	CMOS	로직	94-06-30	97-01-31	96-05-31	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
249	PAJ1	PAJ1칩	MOS	CMOS	로직	94-07-31	97-01-31	96-05-31	전자통신 연구원
250	LSH	SWAN-NT ASIC	MOS	CMOS	로직	94-12-31	. .	96-05-31	전자통신 연구원
251	UDIC	U-인터페이스 디지탈 IC	MOS	CMOS	로직	94-12-31	. .	96-05-31	전자통신 연구원
252	HIPC-FAC	FAC ASIC	MOS	CMOS	로직	94-08-15	96-12-31	96-05-31	전자통신 연구원
253	UA	U-인터페이스 아날로그 칩	MOS	CMOS	리니어	95-11-17	. .	96-05-31	전자통신 연구원
254	SCD-RBT-102	클럭복원기(SCD-RBT-102) ASIC	MOS	CMOS	로직	94-03-24	94-09-30	96-05-31	전자통신 연구원
255	KHJ	SWAN-NT ASIC	MOS	CMOS	로직	94-08-30	94-11-30	96-05-31	전자통신 연구원
256	EGT-C0800-01	CDMA이동통신용 보코더 칩	MOS	CMOS	로직	95-04-10	96-03-31	96-05-31	전자통신 연구원
257	ES-A1021	영상신호용 저전압 저전력 ADC	MOS	CMOS	기타	94-12-28	96-12-31	96-05-31	전자통신 연구원
258	HD66120	LCD 드라이버	MOS	CMOS	기타	94-02-05	94-06-01	96-05-31	히타치세 이사쿠쇼
259	HD66112	LCD 드라이버	MOS	CMOS	기타	95-05-23	95-07-12	96-05-31	히타치세 이사쿠쇼
260	HD66720	LCD 콘트롤러 드라이버	MOS	CMOS	기타	94-08-19	95-05-22	96-05-31	히타치세 이사쿠쇼
261	SL605	MONITOR CONTROLLER용 IC	MOS	CMOS	로직	95-02-17	95-05-31	96-06-03	삼성전자
262	KS88C4208	B Bit MCU IC	MOS	CMOS	마이크로프로세서	94-12-30	95-02-01	96-06-03	삼성전자
263	KS88P0604	KEY BOARD CONTROLLER용 IC	MOS	CMOS	마이크로프로세서	94-09-09	94-10-01	96-06-03	삼성전자
264	KS88C0316	HDLC모듈 내장 CA-TV CONVERTER 8 BiT MICOM IC	MOS	CMOS	마이크로프로세서	94-12-26	95-03-01	96-06-03	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
265	KM732V588	SUPER COMPUTER 용 보조기억 장치 IC	MOS	CMOS	메모리	94-09-15	95-03-04	96-06-03	삼성전자
266	TA2008-B	PCI 한글 CARD용 IC	MOS	CMOS	로직	95-03-10	95-06-30	96-06-03	삼성전자
267	OKSORI2C	SOUND CARD용 IC	MOS	CMOS	로직	94-10-08	95-05-31	96-06-03	삼성전자
268	A5C292	디지탈 비디오 엔코더	MOS	CMOS	로직	95-10-20	96-02-26	96-06-07	리코
269	D78356GC	16비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-01-21	94-05-16	96-06-10	닛본덴기
270	KA78MXX	0. 5A POS. VTG. REG	바이폴라	기타	리니어	95-05-15	95-06-15	96-06-10	삼성전자
271	KA22241B	EQ AMP.	바이폴라	기타	리니어	95-04-15	95-05-15	96-06-10	삼성전자
272	KA386B	LOW PWR AMP.	바이폴라	기타	리니어	95-07-20	95-08-20	96-06-10	삼성전자
273	KT8590L	SLIC	바이폴라	기타	리니어	95-10-30	95-11-30	96-06-10	삼성전자
274	MB814260S	4 M 다이나믹 RAM	MOS	CMOS	메모리	94-03-16	94-05-24	96-06-22	후지쓰
275	KS57C0004	REMOTE CONTROLLER TRANSMITTER용 4BIT MCU	MOS	CMOS	마이크로프로세서	95-05-01	95-09-30	96-06-22	삼성전자
276	KS88C7132	8BIT MICOM	MOS	CMOS	마이크로프로세서	95-04-28	95-07-15	96-06-22	삼성전자
277	KS88C0604	KEY BOARD CONTROL용 IC	MOS	CMOS	마이크로프로세서	95-04-01	95-07-15	96-06-22	삼성전자
278	SL506A	PC MONITOR용 IC	MOS	CMOS	로직	95-06-10	95-07-05	96-06-22	삼성전자
279	V1000	TV가라오케의 MEMORY CONTROLLER IC	MOS	CMOS	로직	95-08-01	95-09-12	96-06-22	삼성전자
280	343S0138-a	매킨토시 I/O SUB SYSTEM용 IC	MOS	CMOS	로직	95-05-15	95-05-18	96-06-22	삼성전자
281	ML85G2	LBP CONTROLLER용 IC	MOS	CMOS	로직	95-08-31	95-09-10	96-06-22	삼성전자
282	MG903XAQFP	PCI SCSI INTERFACE PC용 IC	MOS	CMOS	로직	95-08-31	95-09-23	96-06-22	삼성전자
283	TLV0626	LCD CONTROLLER용 IC	MOS	CMOS	로직	95-07-11	95-08-20	96-06-22	삼성전자
284	NXPI	PENTIUM CHIPEST IC	MOS	CMOS	로직	95-07-31	95-08-11	96-06-22	삼성전자
285	OKSORI2E	SOUND CARD용 IC	MOS	CMOS	로직	95-02-23	95-03-02	96-06-22	삼성전자
286	HANAROPLUS	HDD CONTROLLER용 IC	MOS	CMOS	로직	94-10-08	94-11-10	96-06-22	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
287	OKSORI4B	SOUND CARD용 IC	MOS	CMOS	로직	95-07-20	95-08-01	96-06-22	삼성전자
288	SL606	MONITOR CONTROLLER용 IC	MOS	CMOS	로직	95-05-04	95-05-18	96-06-22	삼성전자
289	MERCURY	INK JET PRINTER CONTROLLER용 IC	MOS	CMOS	로직	95-06-10	95-07-05	96-06-22	삼성전자
290	CV1051AF	GRAPHIC CONTROLLER용 IC	MOS	CMOS	로직	95-04-17	95-05-03	96-06-22	삼성전자
291	CXP911016	CMOS 16BIT 1 CHIP 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-03-22	95-08-16	96-06-22	소니
292	TDA4882	VIDEO CONTROLLER	바이폴라	기타	리니어	94-06-08	94-06-09	96-07-01	필립스
293	TDA4884	TRIPLE GAIN CONTROL VIDEO PRE-AMPLIFIER	바이폴라	기타	리니어	94-06-01	94-06-02	96-07-01	필립스
294	WLAN9502	2.5 GHz 무선 랜 카드용 마이크로웨이브 단일칩	기타	기타	기타	95-03-05	94-01-01	96-07-01	전자통신연구원
295	KS0636	150/160 CH TFT GATE DRIVER	MOS	CMOS	로직	95-04-04	95-05-04	96-07-29	삼성전자
296	KS0791	150 CH COM DRIVER	MOS	CMOS	로직	95-05-16	95-06-16	96-07-29	삼성전자
297	KA2198D	RGB ENCODER - NT/PAL	바이폴라	기타	리니어	95-09-01	95-10-01	96-07-29	삼성전자
298	KA22426B	1 CHIP TUNER	바이폴라	기타	리니어	95-06-03	95-07-13	96-07-29	삼성전자
299	KB0280	PEN PC DIGITIZER	BI-MOS	CMOS	리니어	95-08-01	95-10-01	96-07-29	삼성전자
300	KA2195D	RGB ENCODER	바이폴라	기타	리니어	95-03-01	95-07-01	96-07-29	삼성전자
301	KS2146B	MODE SELECTOR	MOS	CMOS	로직	95-03-01	95-04-01	96-07-29	삼성전자
302	KA2982D	RF MODULATOR-UHF	바이폴라	IIL	리니어	95-03-01	95-04-01	96-07-29	삼성전자
303	KA8122	6 CH PREAMP(VIDEO 4CH + HIFI 2CH)	바이폴라	기타	리니어	95-05-31	95-07-19	96-07-29	삼성전자
304	KB22688	TWO CARRIER 음성다중 I/C	BI-MOS	CMOS	리니어	95-06-05	95-09-06	96-07-29	삼성전자
305	KA22686	TV SOUND PROCESSOR	바이폴라	IIL	리니어	95-09-04	95-10-18	96-07-29	삼성전자
306	KS0125	NTSC/PAL ENCODER FOR VIDEO-CD	MOS	CMOS	로직	95-07-29	95-09-01	96-07-29	삼성전자
307	KS9282C	CDP용 디지탈 신호처리 IC	MOS	CMOS	로직	95-03-20	95-05-01	96-07-29	삼성전자
308	KB8121	무조정 MULTI 대응 Y/C 1 CHIP	BI-MOS	CMOS	리니어	95-08-01	95-09-01	96-07-29	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
309	KA7007D	EVF DRIVER	바이폴라	DTL	리니어	95-11-09	95-12-01	96-07-29	삼성전자
310	KA8408D	DOOR PHONE AUDIO	바이폴라	기타	리니어	95-09-01	95-12-01	96-07-29	삼성전자
311	KS9292	CD - G DECODER	BI-MOS	CMOS	로직	95-08-02	95-10-01	96-07-29	삼성전자
312	KA7408	AUTO FOCUS CTL	BI-MOS	CMOS	리니어	95-09-01	95-10-01	96-07-29	삼성전자
313	KA2139	70 MHz VIDEO AMP	바이폴라	기타	리니어	95-07-01	95-08-01	96-07-29	삼성전자
314	KA7307D	CDS 2세대(CDS + AGC)	바이폴라	기타	리니어	95-08-02	95-09-25	96-07-29	삼성전자
315	KA22425A	1 CHIP TUNER	바이폴라	기타	리니어	95-06-03	95-07-13	96-07-29	삼성전자
316	KB2825	R/W AMP + CTL/FDD	BI-MOS	CMOS	리니어	95-03-01	95-04-01	96-07-29	삼성전자
317	KA22296	DOUBLE DECK SYSTEM FOR ASP	바이폴라	기타	리니어	95-03-10	95-04-25	96-07-29	삼성전자
318	KA9220C	CDP SERVO	BI-MOS	CMOS	리니어	95-06-01	95-07-01	96-07-29	삼성전자
319	KA9202	PSP/CDP3	BI-MOS	CMOS	리니어	95-06-01	95-09-01	96-07-29	삼성전자
320	KA8334B	VCR SERVO	BI-MOS	CMOS	리니어	95-08-02	95-10-01	96-07-29	삼성전자
321	KA2161B	NTSC/PAL C/TV 1 CHIP	바이폴라	IIL	리니어	95-03-01	95-09-01	96-07-29	삼성전자
322	KS2145B	MODE SELECTOR	MOS	CMOS	로직	95-03-01	95-04-01	96-07-29	삼성전자
323	HM51W4260C	4M BIT 다이나믹 램	MOS	CMOS	메모리	94-06-20	95-05-19	96-07-31	히타치세 이사쿠쇼
324	HM538253B/HM 538254B	2M BIT 멀티포트 비디오 램	MOS	CMOS	메모리	94-04-25	95-01-27	96-07-31	히타치세 이사쿠쇼
325	HM514800C	4M BIT 다이나믹 램	MOS	CMOS	메모리	94-02-21	94-12-02	96-07-31	히타치세 이사쿠쇼
326	HM628127HB	128K WORD X 8BIT 고속 SRAM	MOS	CMOS	메모리	94-12-26	95-10-12	96-07-31	히타치세 이사쿠쇼
327	HD6444OS	비디오 데이터 프로세서	MOS	CMOS	마이크로프로세서	94-10-24	95-05-19	96-07-31	히타치세 이사쿠쇼
328	TC9411	CD 그래픽스용 디코더	MOS	CMOS	로직	95-04-06	95-06-05	96-08-16	도시바
329	TA2093F	FM 신호처리용 IC	바이폴라	IIL	리니어	95-03-20	95-05-29	96-08-16	도시바
330	TA8863BF	VTR용 HI-FI 음성신호처리 IC	바이폴라	IIL	기타	94-11-25	94-12-22	96-08-16	도시바
331	TA2075F	카 스테레오용 FM 프로세서	바이폴라	기타	리니어	94-05-23	94-07-04	96-08-16	도시바

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
332	HD66503	LCD 드라이버	MOS	CMOS	기타	94-08-23	94-11-30	96-08-16	히타치세 이사쿠쇼
333	HD66520	LCD 드라이버	MOS	CMOS	기타	94-06-17	94-11-30	96-08-16	히타치세 이사쿠쇼
334	D6211CX	DA 컨버터	MOS	CMOS	리니어	94-08-02	94-11-30	96-08-16	닛본덴기
335	KS0063	80 SEG DRIVER	MOS	CMOS	로직	95-09-26	95-10-26	96-08-16	삼성전자
336	KS0068B	16 CCM/60 SEG DRIVER	MOS	CMOS	로직	95-08-29	95-09-29	96-08-16	삼성전자
337	KS0076	16 CCM/40 SEG DRIVER	MOS	CMOS	로직	95-10-18	95-11-18	96-08-16	삼성전자
338	MB81V16800A	16M 다이나믹 RAM	MOS	CMOS	메모리	94-05-24	94-07-08	96-08-23	후지쓰
339	MB4232	센스앰프 IC	바이폴라	기타	리니어	93-11-04	94-07-26	96-08-23	후지쓰
340	TA1225N	VTR용 칼라보정 IC	바이폴라	기타	리니어	94-12-27	95-02-01	96-08-23	도시바
341	TA1217AN	사운드 프로세서	바이폴라	IIL	로직	94-03-16	94-07-28	96-08-23	도시바
342	TA1218AN	AV 스위치	바이폴라	IIL	로직	95-10-04	95-12-18	96-08-23	도시바
343	TA1227AP	EDTV-2 식별제어 신호검출용IC	바이폴라	IIL	리니어	95-04-26	95-09-07	96-08-23	도시바
344	MB3807A	파워관리스위치 IC	BI-MOS	기타	기타	94-06-27	94-07-22	96-08-23	후지쓰
345	LN-0072-00-A	GaAS 고속전자이동 트랜지스터를 이용한 MMIC	기타	기타	기타	96-04-30	96-07-10	96-09-10	마이크로 통신
346	MB84256C	32K X 8 스태틱 RAM	MOS	CMOS	메모리	93-12-22	94-08-26	96-09-10	후지쓰
347	HN62454	4M BIT 마스크롬	MOS	CMOS	메모리	95-04-20	95-11-17	96-09-10	히타치세 이사쿠쇼
348	HM514260C	4M BIT 다이나믹 램	MOS	CMOS	메모리	94-10-07	95-03-17	96-09-10	히타치세 이사쿠쇼
349	PA-0142-00-A	화합물반도체 PHEMT 1W용 고출력 소자	기타	기타	기타	95-05-10	96-08-22	96-09-10	마이크로 통신
350	PA-0142-01-A	화합물반도체 PHEMT 2W용 고출력 소자	기타	기타	기타	95-05-10	96-08-22	96-09-10	마이크로 통신
351	PA-0142-02-A	화합물반도체 PHEMT 7W용 고출력 소자	기타	기타	기타	95-05-10	96-08-22	96-09-10	마이크로 통신
352	PA-0142-03-A	화합물반도체 PHEMT 4W용 고출력 소자	기타	기타	기타	95-05-10	96-08-22	96-09-10	마이크로 통신
353	MB432101	엔진제어 IC	바이폴라	기타	리니어	94-10-17	94-11-16	96-10-04	후지쓰
354	MB15D11	PLL 주파수 신세사이저	BI-MOS	기타	기타	94-04-11	94-09-26	96-10-04	후지쓰

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
355	MSM6654A	1 Mbit ROM 내장 음성합성 LSI	MOS	CMOS	로직	94-08-27	95-03-20	96-11-30	오키덴키
356	MSM6596A	2 Mbit 시리얼 음성 ROM	MOS	CMOS	메모리	94-10-04	95-01-20	96-11-30	오키덴키
357	MSM9202-XX	도트매트릭스형 형광표시판 콘트롤러 드라이버 IC	MOS	CMOS	로직	96-01-15	96-02-29	96-11-30	오키덴키
358	MSM6722	음성변환 LSI	MOS	CMOS	로직	94-05-12	94-09-14	96-11-30	오키덴키
359	MSA180	피에죠 스피커 구동앰프 IC	바이폴라	기타	기타	94-07-22	94-11-17	96-11-30	오키덴키
360	MSM6658A	4 Mbit ROM 내장 음성합성 LSI	MOS	CMOS	로직	95-03-10	95-08-03	96-11-30	오키덴키
361	MSM6656A	2 Mbit ROM 내장 음성합성 LSI	MOS	CMOS	로직	94-03-06	94-12-15	96-11-30	오키덴키
362	MSM9554	FM 다중 복조용 디코더	MOS	CMOS	로직	95-12-13	96-01-17	96-11-30	오키덴키
363	MB81164840	64M 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	93-12-10	94-09-27	96-11-30	후지쓰
364	TA8241H	파워앰프	바이폴라	기타	리니어	94-12-19	95-03-01	96-11-30	도시바
365	TA1222AN	PAL/NTSC 신호처리 IC	바이폴라	IIL	기타	95-06-01	95-06-12	96-11-30	도시바
366	TA1220FN(CXA 2003N)	VTR용 IC	바이폴라	IIL	리니어	94-11-01	94-12-16	96-11-30	도시바
367	TA8892AN	VTR용 IC	바이폴라	IIL	리니어	94-11-21	95-12-04	96-11-30	도시바
368	S-6790B	64비트 서멀 헤드 드라이버 IC	MOS	CMOS	리니어	94-03-29	94-09-22	96-12-10	세이코
369	D482234LE-70	화상용 듀얼포트 메모리	MOS	CMOS	메모리	94-08-22	94-09-30	96-12-10	닛본덴기
370	CXA1946Q	오디오용 시리얼 콘트롤 전자볼륨	바이폴라	기타	리니어	94-09-28	94-10-15	96-12-10	소니
371	TA1244FN	DVD용 전류-전압 변환 IC	바이폴라	IIL	리니어	96-02-02	96-03-06	96-12-10	도시바
372	TC9084	무비 카메라용 신호처리 IC	MOS	CMOS	로직	95-01-13	95-02-17	96-12-10	도시바
373	TC90A14	무비 카메라용 인코더	MOS	CMOS	로직	95-08-17	95-10-24	96-12-10	도시바
374	TB2113P(TAIYO95-R)	무선조종 완구용 IC	BI-MOS	CMOS	로직	96-01-09	96-02-17	96-12-10	도시바
375	TB2112P(TAIYO95-T)	무선조종 완구용 IC	BI-MOS	CMOS	로직	96-01-09	96-02-17	96-12-10	도시바
376	CXA1797Q	카세트 데크용 음성 신호처리 IC	바이폴라	기타	리니어	94-11-21	94-12-09	96-12-10	소니
377	CXA1810AR	8미리 VTR용 휘도.색신호 처리용 IC	바이폴라	기타	리니어	94-10-21	94-11-16	96-12-10	소니
378	LA7612	칼라 텔레비전 신호처리용 버스 콘트롤 1칩 IC	바이폴라	IIL	리니어	95-12-18	96-02-20	96-12-13	상요덴기
379	LA7687	PAL/NTSC방식 칼라 텔레비전 신호처리용 1칩 IC	바이폴라	IIL	리니어	95-09-26	95-10-30	96-12-13	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
380	D750004	4M비트 싱글칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-09-19	94-11-09	96-12-13	닛본덴기
381	A1822Q	디지탈VCR 및 8미리VTR용 영상입출력 신호처리 IC	바이폴라	기타	로직	94-12-22	95-01-20	96-12-23	소니
382	TB1226AN	멀티칼라신호처리IC	바이폴라	기타	기타	96-03-01	96-03-20	96-12-23	도시바
383	TB31223F	무선전화기용 IC	BI-MOS	CMOS	로직	94-10-31	94-12-28	96-12-23	도시바
384	TB31224F	무선전화기용 IC	BI-MOS	CMOS	로직	95-11-13	95-12-07	96-12-23	도시바
385	JBT6C81	액정드라이버	MOS	CMOS	기타	96-01-17	96-01-24	96-12-23	도시바
386	JBT6C82	액정패널드라이버	MOS	CMOS	기타	95-11-14	96-01-24	96-12-23	도시바
387	315-5690 (FH3006)	화상표시콘트롤용IC	MOS	CMOS	로직	94-08-29	94-11-22	96-12-23	야마하
388	315-5688 (FH3007)	비디오 게임기용 시스템 콘트롤용 IC	MOS	CMOS	로직	94-10-13	94-11-22	96-12-23	야마하
389	315-5687 (YMF292-F)	음원기능을 위한 IC	MOS	CMOS	로직	94-09-19	94-11-22	96-12-23	야마하
390	DBL8014	복사기 TORNER 유무검출 기능 IC	바이폴라	기타	리니어	96-06-30	96-07-01	96-12-23	대우전자
391	DMC42P2008	TV의 OSD기능 IC	MOS	CMOS	마이크로프로세서	96-07-19	96-07-20	96-12-23	대우전자
392	DBL5016	전화기용 SPEECH NETWORK IC	바이폴라	기타	리니어	96-10-08	96-10-09	96-12-23	대우전자
393	DBL1091	자동차 AUDIO SYSTEM의 STEREO ONE CHIP IC	바이폴라	IIL	리니어	96-10-31	96-11-01	96-12-23	대우전자
394	DMC42C4008	LED DISPLAY IC	MOS	CMOS	마이크로프로세서	96-06-22	96-06-23	96-12-23	대우전자
395	LA0200	콤팩트 디스크 플레이어 픽업용 옵토 일렉트로닉스 IC	바이폴라	기타	리니어	95-06-26	95-12-27	96-12-26	상요덴기
396	LA4285	텔레비전용 전자볼륨 내장 파워앰프 IC	바이폴라	기타	리니어	95-06-13	95-10-24	96-12-26	상요덴기
397	LA7840	CRT 디스플레이의 수직편향 출력용 IC	바이폴라	기타	리니어	95-04-15	95-08-07	96-12-26	상요덴기
398	LA71000	VHS방식 VTR용 영상, 음성신호처리 IC	바이폴라	IIL	리니어	95-11-08	95-12-26	96-12-26	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
399	LA72600	VHS방식 VTR용 하이파이 음성녹음재생신호처리 IC	바이폴라	IIL	리니어	95-12-21	96-02-26	96-12-26	상요덴기
400	LA7337	VTR용 SECAM 크로마 신호처리 IC	바이폴라	IIL	리니어	95-09-30	96-01-26	96-12-26	상요덴기
401	LC85400	시단 VTR용 화속변환 IC	MOS	CMOS	로직	94-11-23	95-03-16	96-12-26	상요덴기
402	LC321664BJ-80	CMOS 1M비트 다이나믹 램	MOS	CMOS	메모리	94-11-15	95-05-24	96-12-26	상요덴기
403	LC322260J-80	CMOS 2M비트 다이나믹 램	MOS	CMOS	메모리	95-07-15	95-11-29	96-12-26	상요덴기
404	LC384161T-20	CMOS 4M비트 싱크로너스 다이나믹 램	MOS	CMOS	메모리	95-11-17	96-02-16	96-12-26	상요덴기
405	LC72136	전자동조용 PLL주파수 신세사이저 IC	MOS	CMOS	로직	94-12-26	95-03-13	96-12-26	상요덴기
406	LC72338	LCD DRIVER내장 1칩 PLL+콘트롤러 IC	MOS	CMOS	마이크로프로세서	95-03-31	95-10-26	96-12-26	상요덴기
407	Q P S K DEMODULATOR(HDM8511	0.5㎛용 QPSK DEMODULATOR (HDM8511)	MOS	CMOS	로직	96-02-29	96-05-30	96-12-30	현대전자
408	HDVTXOR3	VIX-GEⅢ(그래픽 엔진 CHIPSET)	MOS	CMOS	로직	95-10-30	96-03-30	96-12-30	현대전자

5. '97년 등록현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
409	LC72700	이동체 FM 다중방송(DRAC) 수신용 IC	MOS	CMOS	로직	95-01-18	95-04-20	97-01-09	상요덴기
410	LC75372	차량 탑재용 전자볼륨 IC	MOS	CMOS	로직	95-06-21	96-01-26	97-01-09	상요덴기
411	LC75391	1칩 전자볼륨 시스템 IC	MOS	CMOS	로직	95-02-06	95-08-02	97-01-09	상요덴기
412	LC651204F	CMOS 4비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-07-10	96-01-12	97-01-09	상요덴기
413	LC6271	CMOS 4비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-10-25	96-01-25	97-01-09	상요덴기
414	LC7972	배터리 잔량표시용 8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-10-24	95-11-29	97-01-09	상요덴기
415	LC864512V	CMOS 8비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-06-26	95-10-31	97-01-09	상요덴기
416	78817	디지탈 오디오용 16비트 D/A 컨버터 IC	MOS	CMOS	리니어	95-01-12	95-09-27	97-01-09	상요덴기
417	LC78836M	디지탈 오디오용 16비트 D/A 컨버터 IC	MOS	CMOS	리니어	95-07-03	95-12-08	97-01-09	상요덴기
418	LC82102	팩시밀리,카피,OCR용 화상처리 IC	MOS	CMOS	로직	95-01-12	95-04-12	97-01-09	상요덴기
419	LC89962	NTSC방식 딜레이 라인 IC	MOS	NMOS	리니어	95-05-24	95-10-31	97-01-09	상요덴기
420	89975M	PAL용 CCD 딜레이 라인 IC	MOS	NMOS	리니어	95-10-05	95-10-27	97-01-09	상요덴기
421	MBM29F016	16M 플래쉬 메모리	MOS	CMOS	메모리	94-03-21	94-12-24	97-01-13	후지쓰
422	AN7190NK	AUDIO POWER IC	바이폴라	기타	리니어	95-05-24	95-10-16	97-01-13	마쓰시다
423	A1981AR	RF신호 및 서보신호 처리용 바이폴라 IC	바이폴라	기타	리니어	94-11-21	94-12-15	97-01-13	소니
424	A2006Q	디지탈 CCD카메라용 헤드앰프 바이폴라 IC	바이폴라	기타	리니어	94-12-22	94-12-28	97-01-13	소니
425	CXA3001N	CDMA셀룰러 전화용 수신 게인 콘트롤 앰프	바이폴라	기타	리니어	94-11-21	95-01-25	97-01-13	소니

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
426	CXA1774S	I^2 C 버스대응의 미국 음성다중TV방송시스템 복조용 IC	바이폴라	기타	리니어	95-01-24	95-02-06	97-01-13	소니
427	CXA3002N	CDMA셀룰러전화용 송신 게인 콘트롤 앰프 IC	바이폴라	기타	리니어	94-11-21	95-01-25	97-01-13	소니
428	CXA1875AM	I^2 C 버스대응의 8비트 5채널 D/A컨버터용 IC	바이폴라	기타	리니어	94-12-22	95-01-31	97-01-13	소니
429	A1742Q	IF필터내장 아날로그 셀룰러(AMPS)용 FM IF IC	바이폴라	기타	리니어	94-11-21	95-03-31	97-01-13	소니
430	MSM7708	ADPCM 코딕	MOS	CMOS	로직	95-08-23	95-08-31	97-01-20	오키덴키
431	TA1236F	DVD용 IC	바이폴라	기타	리니어	96-03-25	96-04-22	97-01-20	도시바
432	TA1253FN	DVD용 IC	바이폴라	기타	리니어	96-04-03	96-04-08	97-01-20	도시바
433	TC90A07	디지탈 비디오 인코더	MOS	CMOS	로직	96-04-19	96-07-16	97-01-20	도시바
434	TMP95C061AF	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-09-05	94-12-21	97-01-20	도시바
435	TMP95C063F	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-11-15	96-05-28	97-01-20	도시바
436	GEONA	CCD 카메라 조리개 및 셔터조절 신호처리 IC	MOS	CMOS	로직	96-05-04	96-12-01	97-01-28	전자통신연구원
437	SPRG2000	3차원 그래픽 콘트롤용 IC	MOS	CMOS	로직	96-04-15	96-11-01	97-01-28	전자통신연구원
438	IMM2A	CDMA단말기용 모뎀칩	MOS	CMOS	로직	96-02-28	97-03-30	97-01-28	전자통신연구원
439	FASTERM	컴퓨터단말기 데이타통신 및 화상제어 ASIC	MOS	CMOS	로직	96-08-30	96-11-01	97-01-28	전자통신연구원
440	CP002	자동차 모의운전 연습기 화면 디스플레이 IC	MOS	CMOS	로직	96-08-30	96-11-01	97-01-28	전자통신연구원
441	WOORi_01	PC인터페이스용 VME버스 및 듀얼포트메모리 제어용 AISC	MOS	CMOS	로직	96-08-30	96-11-01	97-01-28	전자통신연구원
442	WOORi_02	PC인터페이스용 듀얼포트메모리 제어용 AISC	MOS	CMOS	로직	96-08-30	96-11-01	97-01-28	전자통신연구원
443	KIA8000S	WATCH DOG TIMER IC	바이폴라	TTL	리니어	95-02-20	96-01-10	97-01-30	케이이씨
444	MD0044	SPEEDOMETER CONTROL IC	바이폴라	TTL	리니어	96-12-07	96-12-10	97-01-30	케이이씨

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
445	PS0800	TACHOMETER CONTROL IC	바이폴라	TTL	리니어	96-07-25	96-12-10	97-01-30	케이이씨
446	KIA4210SV	LAMP FUILURE INDICATOR	바이폴라	TTL	리니어	96-12-07	96-12-10	97-01-30	케이이씨
447	DMC42C1008	4 BIT 마이콤을 이용한 LCD CONTROLLER/DRIVER	MOS	CMOS	마이크로프로세서	96-05-20	96-09-01	97-02-05	대우전자
448	MSP421	4 BIT용 PERIPHERAL IC	MOS	CMOS	마이크로프로세서	96-06-01	96-06-02	97-02-05	대우전자
449	MSC420	4 BIT CPU	MOS	CMOS	마이크로프로세서	96-06-01	96-06-02	97-02-05	대우전자
450	DMC42P1008	OTP ROM내장 4BIT MICOM이용 LCD CONTROL/DRIVER	MOS	CMOS	마이크로프로세서	96-03-31	96-06-01	97-02-05	대우전자
451	DMC6003	REMOTE CONTROL TRANSMITTER	MOS	CMOS	마이크로프로세서	96-07-31	96-09-01	97-02-05	대우전자
452	DMC42C1106	LED DRIVER기능 4 BIT MCU	MOS	CMOS	마이크로프로세서	95-10-30	95-10-31	97-02-05	대우전자
453	DBL324B	GENERAL OP AMP기능 IC	바이폴라	기타	리니어	95-02-28	96-05-10	97-02-05	대우전자
454	DMC6005	TV.VCR용 REMOTE CONTROL TRANSMITTER	MOS	CMOS	로직	96-06-30	96-08-01	97-02-05	대우전자
455	MSP422	DOT LCD DRIVER 및 HIGH VOLTAGE PORT회로기능	MOS	CMOS	로직	95-10-01	96-01-05	97-02-05	대우전자
456	DBL8013	자동차 점화조절기능 IC	바이폴라	기타	리니어	96-09-18	96-09-19	97-02-05	대우전자
457	DMC42P1106	LCD DRIVER기능 4 BIT MCU	MOS	CMOS	마이크로프로세서	96-11-30	97-02-01	97-02-05	대우전자
458	DMD5603A	주파수 CHAMMEL SELECTION기능내장 PLL IC	MOS	CMOS	로직	96-10-31	96-11-01	97-02-05	대우전자
459	DMC42P4008	LED MICRO CONTROLLER 및 일반 MICOM적용가능 IC	MOS	CMOS	마이크로프로세서	94-12-20	95-07-01	97-02-05	대우전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
460	DBL2075	FREQUENCY SYNTHESIZER for TUNER	바이폴라	ECL	리니어	95-07-12	96-10-15	97-02-05	대우전자
461	DBL5021	전화기 SPEECH NETWORK	바이폴라	기타	리니어	96-11-03	97-01-01	97-02-05	대우전자
462	DBL494	VOLTAGE MODE PWM CONTROLLER	바이폴라	기타	리니어	95-08-19	95-10-01	97-02-05	대우전자
463	DBL2076	C-TV/VCR TUNER용 MIXER	바이폴라	기타	리니어	96-10-31	96-11-01	97-02-05	대우전자
464	DBL2055	TV REMOTE CONTROL SYSTEM 적외선 PREAMPLIFIE	바이폴라	기타	리니어	96-06-30	96-07-30	97-02-05	대우전자
465	DBL2084	VCR용 FRONT LOADING MOTOR DRIVER	바이폴라	기타	리니어	95-12-28	96-07-02	97-02-05	대우전자
466	DBL2056	COLOR MONITOR용 RGB VIDEO AMP. SYSTEM	바이폴라	기타	리니어	94-05-16	95-08-10	97-02-05	대우전자
467	DMC42P8K	ONE TIME PROGRAMMABLE ROM	MOS	CMOS	메모리	96-06-22	96-06-23	97-02-05	대우전자
468	DBL2054	VERTICAL DEFLECTION CIRCUIT for A MONITOR	바이폴라	기타	리니어	94-03-30	95-12-15	97-02-05	대우전자
469	DBL2042	ONE CHIP IC for COLOR TV SIGNAL PROCESSING	바이폴라	기타	리니어	95-02-14	95-05-10	97-02-05	대우전자
470	HD6433394	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-07-10	96-01-22	97-02-13	히타치세이사쿠쇼
471	HD6433397/HD6433396	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-01-17	95-08-22	97-02-13	히타치세이사쿠쇼
472	HD6433294	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-06-28	95-10-17	97-02-13	히타치세이사쿠쇼
473	HD6433292	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-12-19	95-07-03	97-02-13	히타치세이사쿠쇼
474	HD6433437/HD6433337	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-02-07	95-09-26	97-02-13	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
475	HN62454B	4M BIT MASK ROM	MOS	CMOS	메모리	95-11-20	96-06-26	97-02-13	히타치세 이사쿠쇼
476	HM62C3232	1M BIT PIPELINE BURST SRAM	MOS	CMOS	메모리	94-11-10	95-01-27	97-02-13	히타치세 이사쿠쇼
477	HM67S3632	1M BIT STATIC RAM	BI-MOS	TTL	메모리	95-03-21	95-05-29	97-02-13	히타치세 이사쿠쇼
478	H74FCT16244CT9623	MEMORY MODULE상에서 DEVICE와 DRAM INTERFACE	MOS	CMOS	로직	96-06-29	96-10-31	97-02-13	현대전자
479	D784026GC001	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-03-28	95-01-09	97-02-13	닛본덴기
480	MB15D01	PLL 주파수 신세사이저	광 IC	기타	기타	94-12-26	95-01-30	97-02-22	후지쓰
481	MBM29F040A	4M 플래쉬 메모리	MOS	CMOS	메모리	94-09-30	95-02-01	97-02-22	후지쓰
482	HD64F3434	8비트 마이크로컴퓨터	MOS	CMOS	마이크로	94-10-14	95-04-26	97-02-22	히타치
483	KT8582J	SLIC	바이폴라	기타	리니어	95-10-30	95-11-30	97-03-10	삼성전자
484	KM44C4100BK	16 MEGA BIT DRAM	MOS	CMOS	메모리	95-02-28	95-11-18	97-03-10	삼성전자
485	KS57C0302S	COMPARATOR내장 4BIT MICOM	MOS	CMOS	마이크로프로세서	95-03-01	95-04-01	97-03-10	삼성전자
486	KS57P0108	EEPROM내장 전화기용 4 BIT MICOM	MOS	CMOS	마이크로프로세서	94-12-28	95-05-01	97-03-10	삼성전자
487	KS56P450	EEPROM내장 전화기용 4 BIT MICOM	MOS	CMOS	마이크로프로세서	94-12-01	95-05-30	97-03-10	삼성전자
488	KS57C0002	범용 4 BIT MICOM	MOS	CMOS	마이크로프로세서	95-01-10	95-01-30	97-03-10	삼성전자
489	KS88C3116	COLOR TV CONTROL용 8 BIT MICOM	MOS	CMOS	마이크로프로세서	94-11-21	95-03-01	97-03-10	삼성전자
490	KS57C7002	HIGH VOLTAGE 플로피디스크 드라이브용 IC	MOS	CMOS	로직	95-07-30	95-09-01	97-03-10	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
491	KS56C820A	LCD DRIVER용 4 BIT MICOM	MOS	CMOS	마이크로프로세서	95-04-30	95-05-01	97-03-10	삼성전자
492	PDC20630	PDC PERIPHERAL용 IC	MOS	CMOS	로직	94-07-02	95-05-31	97-03-10	삼성전자
493	EC922	586 CHIPSET용 IC	MOS	CMOS	로직	95-04-18	95-05-31	97-03-10	삼성전자
494	EC100G	486 CHIPSET용 IC	MOS	CMOS	로직	94-10-25	95-05-31	97-03-10	삼성전자
495	AZT2316-S	CMOS 0.8㎛이용 EMBEDDED ARRAY제품의 SOUND CARD	MOS	CMOS	로직	95-04-18	95-08-18	97-03-10	삼성전자
496	AZT2316R	CMOS 0.8㎛이용 STAGGERED PAD적용 SOUND CARD	MOS	CMOS	로직	94-05-08	95-06-30	97-03-10	삼성전자
497	JG600042	WORD PROCESSOR용 CONTROLLER IC	MOS	CMOS	로직	95-06-05	95-07-10	97-03-10	삼성전자
498	CT1749-DAQ	SOUND BLASTER IC	MOS	CMOS	로직	95-08-22	95-08-25	97-03-10	삼성전자
499	GA2-C	CONSUMER용 IC	MOS	CMOS	로직	95-08-14	95-08-27	97-03-10	삼성전자
500	DDP95103	CONSUMER용 IC	MOS	CMOS	로직	95-08-18	95-08-30	97-03-10	삼성전자
501	OTI011D	CD-ROM CONTROLLER용 IC	MOS	CMOS	로직	95-07-27	95-08-20	97-03-10	삼성전자
502	SID9401C	HARD DISK CONTROLLER용 IC	MOS	CMOS	로직	95-09-07	95-09-25	97-03-10	삼성전자
503	DGA6618	PCM중계장치의 DATA처리기능을 내장한 IC	MOS	CMOS	로직	96-07-31	96-08-01	97-03-17	대우전자
504	DGA8621	24/32 Bit Binary Pulse Counter 이용 산업용 모터 속도제어	MOS	CMOS	로직	96-02-10	96-02-11	97-03-17	대우전자
505	DGA8802B	폐쇄회로시스템의 4채널 디스플레이 제어용 IC	MOS	CMOS	로직	95-11-28	95-11-29	97-03-17	대우전자
506	DBL5002B	전화기용 TONE RINGER기능 IC	바이폴라	기타	리니어	95-12-08	95-12-09	97-03-17	대우전자
507	DBL5001B	전화기용 TONE RINGER기능 IC	바이폴라	기타	리니어	95-12-08	95-12-09	97-03-17	대우전자
508	424210-60-G	4M BIT DRAM	MOS	CMOS	메모리	94-12-28	95-06-27	97-03-17	닛본덴기
509	424400-60	4M BIT DRAM	MOS	CMOS	메모리	94-09-16	95-02-06	97-03-17	닛본덴기
510	D431232L	1M BIT CMOSRAM	MOS	CMOS	메모리	94-08-12	95-03-27	97-03-17	닛본덴기
511	MB15U11	파워관리스위치 IC	BI-MOS	기타	기타	94-11-18	95-03-06	97-04-07	후지쓰
512	D61010A	MPEG1용 디코더	MOS	CMOS	로직	94-11-22	95-03-10	97-04-07	닛본덴기
513	KID65603PV	THRESHOLD FREE DRIVER IC	바이폴라	기타	리니어	96-03-28	97-02-12	97-04-07	케이이씨

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
514	KIA6347SV	LONG TERM TIMER IC	바이폴라	IIL	로직	97-02-11	97-02-12	97-04-07	케이이씨
515	KM718V787	128K*18 SYNC PIPE SRAM	MOS	CMOS	메모리	96-10-30	96-10-31	97-04-17	삼성전자
516	KM736V604	64K*36 PB3 SYNC SRAM	MOS	CMOS	메모리	97-02-20	. .	97-04-17	삼성전자
517	KM732V595	32K*32 PB3 SYNC SRAM	MOS	CMOS	메모리	96-12-24	97-01-01	97-04-17	삼성전자
518	HANAV101	KARAOKE CONTROLLER IC	MOS	CMOS	로직	95-02-01	95-05-31	97-04-17	삼성전자
519	315-5890 (FH3006B)	화상표시콘트롤용 IC	MOS	CMOS	로직	95-05-29	95-05-29	97-04-17	야마하
520	SIGMA	SOUND CONTROLLER	MOS	CMOS	로직	96-08-20	96-12-01	97-05-09	전자통신 연구원
521	BT1030B	CDMA/FM방식의 휴대폰 IF 아날로그 칩	MOS	CMOS	기타	95-03-07	96-03-31	97-05-09	전자통신 연구원
522	Golf_B	DISPLAY CONTROLLER ASIC	MOS	CMOS	로직	96-08-30	96-12-01	97-05-09	전자통신 연구원
523	FM-STEREO	FM STEREO ASIC	MOS	CMOS	로직	96-09-30	97-02-01	97-05-09	전자통신 연구원
524	M-DDS	다중룸 DDFS ASIC	MOS	CMOS	로직	96-05-30	96-12-01	97-05-09	전자통신 연구원
525	Golf_A	DISPLAY CONTROLLER ASIC	MOS	CMOS	로직	96-08-30	96-12-01	97-05-09	전자통신 연구원
526	AM-STEREO	AM STEREO ASIC	MOS	CMOS	로직	96-10-30	97-03-01	97-05-09	전자통신 연구원
527	ES-B8215 BUN15	ATM 교환망용 IC	MOS	CMOS	로직	95-05-30	97-01-01	97-05-09	전자통신 연구원
528	HM5116160B/HM5116165B	16M BIT 다이나믹 RAM	MOS	CMOS	메모리	95-12-27	96-02-22	97-05-09	히타치세 이사쿠쇼
529	HD6477021S	32 BIT RiSK MICROCOMPUTER	MOS	CMOS	마이크로프로세서	95-06-16	96-03-11	97-05-09	히타치세 이사쿠쇼
530	HM5283206FP	8 M BIT X 32 I/O 싱크로너스 그래픽 RAM	MOS	CMOS	메모리	95-03-21	96-04-23	97-05-09	히타치세 이사쿠쇼
531	HD64F3437	8 BIT MICROCOMPUTER	MOS	CMOS	마이크로프로세서	96-02-09	96-04-26	97-05-29	히타치세 이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
532	HD404629R	4 BIT MICROCOMPUTER	MOS	CMOS	마이크로프로세서	96-07-09	96-12-24	97-05-29	히타치세이사쿠쇼
533	HD6433297/HD6433296	8 BIT MICROCOMPUTER	MOS	CMOS	마이크로프로세서	95-06-28	96-07-30	97-05-29	히타치세이사쿠쇼
534	LA4905	카 스테레오용 BTL 2채널 파워앰프 IC	바이폴라	기타	리니어	95-07-26	96-05-15	97-05-29	상요덴기
535	LA7790	케이블 텔레비전용 QPSK 변조 IC	바이폴라	ECL	리니어	95-12-19	96-01-13	97-05-29	상요덴기
536	LA7105	텔레비전용 튜너밴드 절환 IC	바이폴라	기타	리니어	94-10-05	95-05-26	97-05-29	상요덴기
537	LA7845N	텔레비전·CRT 디스플레이용 수직편향출력 IC	바이폴라	기타	리니어	95-04-15	95-11-13	97-05-29	상요덴기
538	LA7457	8 mm VTR 모너럴 오디오 신호처리 IC	바이폴라	IIL	리니어	95-08-22	96-02-21	97-05-29	상요덴기
539	LB8632	카메라용 모터 드라이버 IC	바이폴라	IIL	리니어	94-11-28	95-05-16	97-05-29	상요덴기
540	LC865632A	CMOS 8 BIT 1 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-02-20	95-05-08	97-05-29	상요덴기
541	IMM2.1	CDMA/FM겸용 휴대전화기 모뎀칩	MOS	CMOS	로직	96-07-30	97-04-30	97-05-31	전자통신연구원
542	IMA2.1	CDMA/FM겸용 이동통신 휴대폰 내장용 IF 아날로그 IC	MOS	CMOS	리니어	96-10-01	97-04-30	97-05-31	전자통신연구원
543	G1010	파워앰프	기타	기타	기타	95-03-22	95-05-05	97-06-04	소니
544	preamp	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신연구원
545	pre	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신연구원
546	pre_1_2x10	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신연구원
547	ld_a4-8a	10Gbps 전송속도 레이저 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신연구원
548	LIM1_5x10	10Gbps 전송속도 제한증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
549	pa_v1	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
550	ld_4-1	10Gbps 전송속도 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
551	LIM1_2x10	10Gbps 전송속도 제한증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
552	IMA2.0	CDMA/FM겸용 이동통신 휴대폰 내장용 IF처리 아날로그 IC	MOS	CMOS	리니어	96-08-01	97-06-30	97-06-19	전자통신 연구원
553	ld_4-3	10Gbps 전송속도 레이저 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
554	ld_4-1A	10Gbps 전송속도 레이저 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
555	la-a1	10Gbps 전송속도 제한증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
556	limit	10Gbps 전송속도 제한증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
557	LMT-10G	10Gbps급 리미팅 증폭기	바이폴라	ECL	리니어	96-04-30	97-06-30	97-06-19	전자통신 연구원
558	PREAMP2_1	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
559	n_agc	10Gbps 전송속도 자동이득제어 증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
560	la-a2	10Gbps 전송속도 제한증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
561	pre_old	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
562	ld_4-2	10Gbps 전송속도 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
563	Id_a4-8	10Gbps 전송속도 레이저 다이오드 구동회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
564	10G-PA2.1	10Gbps급 전치 증폭기	바이폴라	기타	리니어	95-08-30	97-06-30	97-06-19	전자통신 연구원
565	PREAMP1_1	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
566	preamp3_pad3	10Gbps 전송속도 전치증폭회로	기타	ECL	리니어	96-09-30	97-06-30	97-06-19	전자통신 연구원
567	M52957FP	아날로그, 디지탈 혼성 오토포커스용 IC	바이폴라	IIL	리니어	95-04-24	95-05-18	97-06-26	미쓰비시
568	D488170LG6-A50	18M 비트 화상 메모리	MOS	CMOS	마이크로프로세서	95-04-24	95-08-11	97-06-26	닛본덴기
569	μPD70742	32비트 RISC 프로세서	MOS	CMOS	마이크로프로세서	94-11-30	95-05-24	97-06-26	닛본덴기
570	TA31181FN	IF 검파 IC	바이폴라	기타	리니어	95-04-14	95-05-24	97-06-26	도시바
571	LA7472	비디오 카메라용 스테레오 마이크 앰프 IC	바이폴라	기타	리니어	95-06-03	95-08-04	97-06-26	상요덴기
572	LA7473	비디오 카메라용 스테레오 마이크 앰프 IC	바이폴라	기타	리니어	95-05-19	95-10-26	97-06-26	상요덴기
573	LB1879	3상 브러쉬레스.센서레스 모터 드라이버 IC	바이폴라	TTL	리니어	95-05-23	95-10-11	97-06-26	상요덴기
574	LB1956	8mm VTR 캡스턴 모터 드라이버 IC	바이폴라	TTL	리니어	95-09-18	96-05-09	97-06-26	상요덴기
575	LC78622	콤팩트 디스크 플레이어용 디지탈 시그널 프로세서 IC	MOS	CMOS	로직	95-06-02	95-12-20	97-06-26	상요덴기
576	LC78625	콤팩트 디스크 플레이어용 디지탈 시그널 프로세서 IC	MOS	CMOS	로직	95-11-08	96-01-29	97-06-26	상요덴기
577	LC7967C	비디오 프린터용 128비트 서멀 헤드 드라이버 IC	MOS	CMOS	로직	94-10-06	95-06-30	97-06-26	상요덴기
578	MBM29F400A	4M 플래쉬 메모리	MOS	CMOS	메모리	95-02-07	95-06-21	97-07-18	후지쓰
579	TA1238N	L-SECAM 신호처리용 IC	바이폴라	IIL	기타	95-09-18	96-04-02	97-08-13	도시바
580	TMP93PS40F	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-03-13	95-06-13	97-08-13	도시바
581	TA31163AFN	디지탈 이동 무선기용 IC	바이폴라	기타	기타	95-05-17	95-06-15	97-08-13	도시바
582	TA8025P	파형 정형용 IC	바이폴라	기타	리니어	94-05-27	96-02-06	97-08-13	도시바
583	KIA643PV	FLASHER CONTROLLER IC	바이폴라	기타	기타	96-10-05	97-05-16	97-08-13	케이이씨
584	D4216165LG5-A70-7JF	16M DRAM	MOS	CMOS	메모리	95-01-18	55-10-11	97-08-13	닛본덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
585	4217405-60	16M 비트 DRAM	MOS	CMOS	메모리	95-01-20	95-10-05	97-08-13	닛본덴기
586	LC7968C	300dpi LED 프린트 헤드 드라이브 IC	MOS	CMOS	로직	95-05-23	96-04-10	97-08-13	상요덴기
587	LC585214	LCD 드라이버 내장 CMOS 4bit 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-10-02	. .	97-08-13	상요덴기
588	LC86F8208A	플래쉬 EEPROM 내장 CMOS 8bit 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-08-31	96-04-01	97-08-13	상요덴기
589	LC864332A	CMOS 8 bit 1 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-07-18	95-11-30	97-08-13	상요덴기
590	LC864448A	CMOS 8 bit 1 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-05-15	95-06-30	97-08-13	상요덴기
591	LC865520A	CMOS 8 bit 1 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-10-01	96-03-04	97-08-13	상요덴기
592	μPD431018A	1M 비트 스태틱 CMOS RAM	MOS	CMOS	메모리	94-12-16	95-12-04	97-08-25	닛본덴기
593	D481850GF-ES	8M 비트 화상 메모리	MOS	CMOS	메모리	95-01-15	95-07-16	97-08-25	닛본덴기
594	CXA2500N	듀얼 녹음/재생 프리 앰프	바이폴라	기타	리니어	95-07-21	95-08-30	97-08-25	소니
595	12	고주파 SPDT 안테나 스위치	기타	기타	기타	95-08-22	95-11-06	97-08-25	소니
596	A2012R	2ch 기록/재생 앰프	바이폴라	기타	리니어	95-07-21	95-12-11	97-08-25	소니
597	CXA2025AS	컬러 텔레비전용 Y/C/RGB/동기/편향 IC	바이폴라	기타	리니어	96-03-26	96-04-10	97-08-25	소니
598	D784915	16비트 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로	95-06-29	95-09-18	97-08-25	닛본덴기
599	CXA2502M	재생 전용 돌비-B-C타입 노이즈 리덕션 시스템	바이폴라	기타	리니어	95-09-07	95-09-08	97-09-08	소니
600	A3018R	BS/CS용 디모듈레이터	바이폴라	기타	리니어	95-08-22	95-09-20	97-09-08	소니
601	A2032Q	8미리 VTR용 2ch 기록/재생 앰프	바이폴라	기타	리니어	95-09-21	95-11-06	97-09-08	소니
602	CXA2038R	8mmVTR AFM 모노랄 신호 처리	바이폴라	기타	리니어	95-11-21	95-12-04	97-09-08	소니
603	CXA1870S	컬러 텔레비전용 Y/C/jungle	바이폴라	기타	리니어	95-11-21	95-12-15	97-09-08	소니

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
604	CXA3086Q	6bit 140MSPS 플래쉬 A/D 콘버터	바이폴라	기타	리니어	95-11-21	96-01-25	97-09-08	소니
605	CXA1372BQ	CD용 RF 신호처리 서보 앰프	바이폴라	기타	리니어	95-11-21	96-01-31	97-09-08	소니
606	08	고주파 SPDT 스위치	기타	기타	기타	95-08-17	95-08-25	97-09-08	소니
607	CXA1782CQ	CD용 RF 신호처리 서보 앰프	바이폴라	기타	리니어	95-10-20	96-01-31	97-09-08	소니
608	MB811161621A	16M 싱크로너스 다이나믹 RAN	MOS	CMOS	메모리	95-06-19	95-08-17	97-09-12	후지쓰
609	BA6848	3상모터드라이버에 FC출력/FG3상 합성출력을 추가한 반도체 집적회로	바이폴라	기타	리니어	96-07-25	96-09-25	97-09-23	로무
610	BA6849	모터드라이버에 쇼트브레이크 (Short-Brake)기능, 역전브레이크 기능을 추가한 반도체집적회로	바이폴라	기타	리니어	96-08-20	96-09-19	97-09-23	로무
611	BA6852	3상모터드라이버와 가역전모터드라이버 기능을 하나의 반도체 집적회로에 집약한 반도체집적회로	바이폴라	기타	리니어	96-09-10	97-01-20	97-09-23	로무
612	MSM6688L	녹음 재생용 LSI	MOS	CMOS	로직	95-12-15	95-06-12	97-10-07	오키덴키
613	MSM6588L	녹음 재생용 LSI	MOS	CMOS	로직	95-11-20	96-01-12	97-10-07	오키덴키
614	MSM9836	3M 마스크 ROM 내장음성합성 LSI	MOS	CMOS	로직	96-12-09	94-01-17	97-10-07	오키덴키
615	MSM9888L	녹음재생 LSI	MOS	CMOS	로직	96-12-14	97-01-14	97-10-07	오키덴키
616	MSM9560	FM 다중 복조용 디코더	MOS	CMOS	로직	96-09-30	96-11-26	97-10-07	오키덴키
617	MSM66P56	2MOTP 내장음성합성 LSI	MOS	CMOS	로직	96-09-03	96-10-30	97-10-07	오키덴키
618	TC9099	MPEG 1디코더	MOS	CMOS	로직	96-07-22	96-09-27	97-10-17	도시바
619	TC90A19	DVD 데이터 프로세서	MOS	CMOS	로직	96-05-11	96-06-12	97-10-17	도시바
620	TA1246F	VTR용 음성 신호처리 IC	바이폴라	IIL	리니어	96-07-25	96-08-12	97-10-17	도시바
621	TMP96C031ZF	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-09-26	95-08-29	97-10-17	도시바
622	M52992FP	Bi-CMOS 프로세서를 이용한 이미지 센서 인터페이스 IC	BI-MOS	기타	리니어	95-01-16	95-08-31	97-10-17	미쯔비시
623	CXA1784AS	US 음성다중 디코더 IC	바이폴라	기타	리니어	95-07-21	95-09-04	97-10-28	소니
624	MB15D71	PLL 신시사이저	BI-MOS	기타	기타	95-09-05	95-09-29	97-10-28	후지쓰
625	TA31164FN	디지탈 이동 무선기용 IF	바이폴라	기타	기타	95-07-26	95-09-07	97-10-28	도시바

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
626	TMP93CM41F	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	93-09-03	95-10-25	97-10-28	도시바
627	A1665AN	올 밴드 TV 튜너용 IC (VHF~CATV~UHF)	바이폴라	기타	리니어	95-07-24	96-03-20	97-10-29	소니
628	CXA1917AS	돌비 S타입 노이즈 리덕션 프로세서	바이폴라	기타	리니어	96-02-20	96-02-25	97-10-29	소니
629	A1991N	FM 페이저/FM 다중 튜너 IC	바이폴라	기타	리니어	95-10-20	96-03-18	97-10-29	소니
630	A3008	L대 다운 컨버터용 IC	바이폴라	기타	리니어	96-03-26	96-04-15	97-10-29	소니
631	CXA3026AQ	8bit 140MSPS 플래쉬 A/D 컨버터	바이폴라	기타	리니어	96-03-26	96-05-30	97-10-29	소니
632	HD6473217/HD6473214	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-09-20	95-11-10	97-11-17	히타치세이사쿠쇼
633	MBCG61774-001	게이트 어레이	MOS	CMOS	기타	96-10-25	97-01-28	97-11-17	후지쓰
634	MBM29F002T/B	2M 플래쉬 메모리	MOS	CMOS	메모리	95-09-01	96-08-19	97-11-17	후지쓰
635	TB31217FN	PLL 주파수 신세사이저	BI-MOS	ECL	로직	95-09-25	95-10-25	97-12-04	도시바
636	TC90A08	디스크램블 디코더	MOS	CMOS	로직	95-06-15	95-10-30	97-12-04	도시바
637	LH1687	240 출력 TFT-LCD소스 드라이버	MOS	CMOS	로직	97-02-27	97-04-02	97-12-24	샤프
638	A2018Q	기록·재생 앰프	바이폴라	기타	리니어	95-11-21	96-03-25	97-12-24	소니
639	CXA3095N	올 밴드 TV 튜너용 IC (VHF~CATV~UHF)	바이폴라	기타	리니어	95-11-20	95-12-01	97-12-24	소니
640	CXA3025N	올 밴드 TV 튜너용 IC (VHF~CATV~UHF)	바이폴라	기타	리니어	96-03-29	96-04-10	97-12-24	소니
641	A2008	영상 출력 처리	바이폴라	기타	리니어	96-04-30	96-05-15	97-12-24	소니
642	D784036YGC	16비트 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-12-02	96-02-15	97-12-30	닛본덴기
643	70P3002GC-25	32비트 RISC 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-07-04	96-02-13	97-12-30	닛본덴기
644	A1999N	다치 FSK 페이저용 IF앰프	바이폴라	기타	리니어	96-01-23	96-01-31	98-01-19	소니

6. '98년 등록현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
645	CXA1995N	페이저 수신용 필터레스 IC	바이폴라	기타	리니어	96-04-23	96-05-27	98-01-19	소니
646	CXA3099N	다치 FSK 페이저용 IF앰프	바이폴라	기타	리니어	96-03-26	96-04-19	98-01-19	소니
647	HM5241605C	4M bit Synchronous Dynamic RAM	MOS	CMOS	메모리	95-09-01	96-02-22	98-02-10	히타치세 이사쿠쇼
648	HD64F5398	플래쉬 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	96-01-22	96-02-26	98-02-10	히타치세 이사쿠쇼
649	HD6432653	16비트 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	95-10-18	95-01-18	98-02-10	히타치세 이사쿠쇼
650	KIA7125 F/FV	지연회로 내장용 RESET IC	바이폴라	기타	리니어	97-09-30	97-10-01	98-02-17	케이이씨
651	PCT25P	표준화된 PCT급 IC	바이폴라	기타	리니어	97-07-18	97-07-19	98-02-17	케이이씨
652	ATL001	신호처리용 CUSTOM IC	바이폴라	기타	리니어	97-04-30	97-10-15	98-02-17	케이이씨
653	HD6433334Y	8비트 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	95-06-01	96-01-19	98-02-17	히타치세 이사쿠쇼
654	CPU MGB (LR35911)	8비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	96-02-09	96-05-14	98-02-19	샤프
655	PIF-NUS (LR350J04)	4비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	95-12-15	96-01-12	98-02-19	샤프
656	CIC-NUS-6102(LR350G06)	4비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크 로프로 세서	96-03-19	96-04-02	98-02-19	샤프
657	H74FCT162244 CT	메모리 모듈 등에서 신호를 증폭시켜 큰 부하단을 구동시키는 IC	MOS	CMOS	로직	96-06-30	97-01-01	98-02-23	현대전자
658	H74FCT163244 AT	메모리 모듈 등에서 신호를 증폭시켜 큰 부하단을 구동시키는 IC	MOS	CMOS	로직	96-06-30	97-01-01	98-02-23	현대전자
659	H74FCT163244 CT	메모리 모듈 등에서 신호를 증폭시켜 큰 부하단을 구동시키는 IC	MOS	CMOS	로직	96-06-30	97-01-01	98-02-23	현대전자
660	H74FCT162244 AT	메모리 모듈 등에서 신호를 증폭시켜 큰 부하단을 구동시키는 IC	MOS	CMOS	로직	96-06-30	97-01-01	98-02-23	현대전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
661	MSM9201-XX	도트 매트릭스형 형광 표시관 콘드롤러 드라이버	MOS	CMOS	로직	97-03-24	97-05-27	98-02-23	오키덴키
662	MBCS70501A	중앙처리장치	MOS	CMOS	기타	95-09-25	96-02-09	98-02-27	후지쓰
663	T6K01	LCD 드라이버	MOS	CMOS	기타	95-12-22	96-02-01	98-03-03	도시바
664	C61063	바이폴라·프로세스를 이용한 실리콘 포토 다이오드 내장 광픽업 프리 앰프 IC	바이폴라	기타	리니어	96-01-11	96-02-09	98-03-17	미쯔비시
665	LC85401E	VTR, 테이프 레코더 등의 화속 변환 IC	MOS	CMOS	로직	95-10-02	96-02-29	98-03-17	상요덴기
666	CXA2525M	CD/CD-ROM용 RF 앰프	바이폴라	기타	마이크로프로세서	96-02-09	96-02-16	98-03-17	소니
667	A2007R	영상 입력 처리	바이폴라	기타	리니어	96-07-19	97-12-25	98-03-17	소니
668	CXA3117N	다키 FSK 페이저용 IF 앰프	바이폴라	기타	리니어	96-06-25	96-07-05	98-03-17	소니
669	CXA2042S	컬러 텔레비전용 Y/C/RGB/동기/편향 처리	바이폴라	기타	리니어	96-03-26	96-04-12	98-03-17	소니
670	LC82103	팩시밀리, 카피, OCR용 화상처리 IC	MOS	CMOS	로직	95-11-30	96-02-27	97-03-24	상요덴기
671	RF5A122	게임기용 칩 LSI	MOS	CMOS	마이크로프로세서	95-11-01	96-02-13	98-03-24	리코
672	RZ5MM007	범용 복합메모리	MOS	CMOS	메모리	96-12-01	96-12-25	98-03-24	리코
673	RZ5MM012	범용 복합메모리	MOS	CMOS	메모리	96-11-01	96-11-21	98-03-24	리코
674	MB3813A	리튬전지 충전용 IC	BI-MOS	기타	리니어	96-04-04	96-07-17	98-03-31	후지쓰
675	MB3814	리튬전지 병렬 충전용 IC	BI-MOS	기타	리니어	96-10-21	. .	98-03-31	후지쓰
676	MB3825A	동기정류입력 6채널 스위칭 레귤레이터 IC	바이폴라	기타	리니어	97-02-20	97-04-04	98-03-31	후지쓰
677	MB3828	펜티엄용 5비트 프로그래머블 동기정류입력 스위칭 레귤레이터 IC	BI-MOS	기타	리니어	97-06-27	97-07-31	98-03-31	후지쓰
678	LA1780M	차량 탑재 라디오용 1칩 튜너 IC	바이폴라	IIL	리니어	96-02-23	96-07-26	98-03-31	상요덴기
679	LA76070	NTSC 컬러 텔레비전 신호 처리용 버스 콘트롤 1칩 IC	바이폴라	IIL	리니어	96-09-15	96-12-26	98-03-31	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
680	LA71020M	VHS 방식 VTR용 영상·음성 신호처리 IC	바이폴라	IIL	리니어	96-08-29	96-11-26	98-03-31	상요덴기
681	LA0602C	카메라 셔터용 오토 포커스 수광 IC	바이폴라	기타	기타	96-01-19	96-09-06	98-03-31	상요덴기
682	LE28FV8001T	8M 비트 플래쉬 메모리 IC	MOS	CMOS	메모리	96-12-09	97-04-25	98-03-31	상요덴기
683	06	하이파워 고주파 SPDT 안테나 스위치	기타	기타	기타	96-01-23	96-06-15	98-04-10	소니
684	CXA2030R	버스트 록, 비디오 출력 신호처리	바이폴라	기타	리니어	96-06-25	96-06-28	98-04-10	소니
685	A3107N	다치 FSK 페이저용 IF앰프	바이폴라	기타	리니어	96-07-02	96-07-05	98-04-10	소니
686	TA1243F	RF 모듈레이터	바이폴라	IIL	로직	96-02-26	96-03-19	98-04-10	도시바
687	TMP95C061BF	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-09-22	96-05-13	98-04-10	도시바
688	MB3821	동기정류입력 2채널 스위칭 레귤레이터 IC	BI-MOS	기타	리니어	96-04-26	96-07-03	98-04-17	후지쓰
689	LA1837	전자 동조 대응 홈 스테레오용 1칩 IC	바이폴라	IIL	리니어	96-10-21	96-12-19	98-04-27	상요덴기
690	LA71500M	VHS 방식 멀티 VTR용 영상·음성 신호처리 IC	바이폴라	IIL	리니어	96-07-22	96-08-30	98-04-27	상요덴기
691	A8063N	2상 센서레스 모터 드라이버 IC	바이폴라	IIL	리니어	96-04-24	94-10-30	98-04-27	상요덴기
692	LA4601	라디오 카세트용 2채널 파워 IC	바이폴라	기타	리니어	96-06-04	96-07-24	98-04-27	상요덴기
693	LA7688	컬러 텔레비전용 PAL/NTSC 방식 1칩 신호처리 IC	바이폴라	IIL	리니어	96-03-22	96-05-28	98-04-27	상요덴기
694	HD6473318/HD6473316/HD6473315	8bit 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-10-05	96-03-19	98-04-27	히타치세이사쿠쇼
695	LA7458W	8mm VTR용 모노랄 오디오 신호처리 IC	바이폴라	IIL	리니어	96-11-19	96-12-26	98-04-30	상요덴기
696	LC72144M	차량탑재 및 홈용 전자동조 PLL 주파수 신세사이저 IC	MOS	CMOS	로직	95-12-26	96-08-05	98-04-30	상요덴기
697	LC8213K	화상 데이터 압축·신장 프로세서 IC	MOS	CMOS	로직	96-10-01	97-03-24	98-04-30	상요덴기
698	LA9510W	AV 커플러 트랜스미터 IC	바이폴라	IIL	리니어	96-11-08	97-01-16	98-04-30	상요덴기
699	LA7100M	BS 영상 신호처리 IC	바이폴라	기타	리니어	96-06-11	97-05-16	98-04-30	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
700	D4516161G5	16M 비트 싱크로너스 DRAM	MOS	CMOS	메모리	95-07-15	96-07-20	98-04-30	닛본덴기
701	μPD431232A	1M 비트 동기식 스태틱 RAM	MOS	CMOS	메모리	95-09-05	96-07-31	98-05-08	닛본덴기
702	SIB-268A(S-8321)	PFM제어의 승압형 스위칭 레귤레이터	MOS	CMOS	리니어	96-03-26	96-07-24	98-05-08	세이코
703	SIB-268A (S-8322)	PFM제어의 승압형 스위칭 레귤레이터	MOS	CMOS	리니어	96-03-26	96-07-24	98-05-08	세이코
704	SIB-282A (S808CM)	초소형 고정밀도 전압검출기	MOS	CMOS	리니어	96-06-04	96-06-27	98-05-08	세이코
705	SIB-282A (S808NM)	초소형 고정밀도 전압검출기	MOS	CMOS	리니어	96-06-04	97-06-27	98-05-08	세이코
706	MBM29F016A	16M 플래쉬 메모리	MOS	CMOS	메모리	96-07-15	97-04-01	98-05-08	후지쓰
707	D4516821G5	16M 비트 싱크로너스 DRAM	MOS	CMOS	메모리	94-10-25	96-05-10	98-05-08	닛본덴기
708	HD155101F	RF Single-chip Linear IC	바이폴라	기타	리니어	96-03-04	96-04-03	98-05-13	히타치세이사쿠쇼
709	HD6437050	32비트 RISC 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-01-22	96-04-04	98-05-13	히타치세이사쿠쇼
710	UAA2085	Single chip pager receiver	바이폴라	기타	리니어	96-04-03	96-04-03	98-05-13	필립스
711	LV1016	돌비 서라운드용 패시브 디코더 IC	BI-MOS	CMOS	리니어	96-05-16	96-07-25	98-05-13	상요덴기
712	LC7851E	위성방송 수신기용 QPSK 복조 처리 및 음성신호 처리IC	MOS	CMOS	로직	96-11-28	97-03-26	98-05-13	상요덴기
713	SIC-213B-Ⅰ (S-87XXXX)	저검출전압 리세트기능부가 고내압 볼티지 레귤레이터	MOS	CMOS	리니어	95-10-30	96-05-23	98-05-13	세이코
714	SIC-213B-Ⅱ (S-87XXXX)	고검출전압 리세트기능부가 고내압 볼티지 레귤레이터	MOS	CMOS	리니어	96-08-06	97-01-15	98-05-13	세이코
715	HD4074930R	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-02-23	96-04-22	98-05-25	히타치세이사쿠쇼
716	KM48V8104BK-6	64M EDODRAM	MOS	CMOS	메모리	96-06-15	97-05-31	98-05-25	삼성전자
717	KM416V1204CT-6	16M EDODRAM	MOS	CMOS	메모리	96-12-12	96-05-24	98-05-25	삼성전자
718	KM48S8030BT-GL	16M SDRAM	MOS	CMOS	메모리	97-08-10	97-11-07	98-05-25	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
719	KM4132G271AQ-8	8M SGRAM	MOS	CMOS	메모리	97-01-20	97-01-31	98-05-25	삼성전자
720	KM4132G271BQ-10	8M SGRAM	MOS	CMOS	메모리	97-09-30	97-11-04	98-05-25	삼성전자
721	KM4132G512Q-10	16M SGRAM	MOS	CMOS	메모리	97-09-04	97-10-17	98-05-25	삼성전자
722	KM48S2020BT-G10	16M SDRAM	MOS	CMOS	메모리	96-06-18	96-10-16	98-05-25	삼성전자
723	1994A	다치 FSK 복조용 콤퍼레이터	바이폴라	기타	리니어	96-07-23	96-07-27	98-06-08	소니
724	1022	고주파 SPDT 안테나 스위치	바이폴라	기타	리니어	96-07-28	96-08-16	98-06-08	소니
725	G1030	PHS용 파워앰프	바이폴라	기타	리니어	96-07-23	96-08-16	98-06-08	소니
726	A2031R	버스트 록·비디오 입력 신호처리	바이폴라	기타	리니어	96-09-24	97-01-06	98-06-08	소니
727	D488130LG6-A50	16M비트 화상용 메모리	MOS	CMOS	메모리	95-09-29	96-07-16	98-06-08	닛본덴기
728	A2523AR	MD용 RF 매트릭스 앰프	바이폴라	기타	리니어	96-06-13	96-06-20	98-06-12	소니
729	CXA1992AR	RF 신호처리 서보 앰프	바이폴라	기타	리니어	96-10-22	96-11-14	98-06-12	소니
730	LA7642	SECAM 방식 컬러 텔레비전/크로마 IC	바이폴라	IIL	리니어	96-04-15	96-07-26	98-06-19	상요덴기
731	TC90A08A	디스크램블 디코더	MOS	CMOS	로직	96-01-31	96-05-30	98-06-19	도시바
732	HD64E3111	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	94-11-15	96-05-31	98-06-19	히타치세이사쿠쇼
733	M52334FP	바이폴라·프로세스를 이용한 TV/VTR 튜너용 VIF/SIF IC	바이폴라	기타	리니어	96-05-21	96-06-11	98-06-26	미쯔비시
734	TA2061AF	적외선 오디오 신호 송신용 IC	바이폴라	기타	리니어	95-04-12	96-06-10	98-06-26	도시바
735	MBM29LV160T/B	16M 플래쉬 메모리	MOS	CMOS	메모리	97-03-24	97-08-05	98-06-26	후지쓰
736	HD6472246	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-04-15	96-06-13	98-06-26	히타치세이사쿠쇼
737	A2510AQ	재생 이퀄라이저 내장 돌비 B타입 노이즈리덕션 시스템	바이폴라	기타	리니어	96-09-24	96-10-11	98-06-26	소니

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
738	A2511AQ	재생 이퀄라이저 내장 돌비 B-C타입 노이즈리덕션 시스템	바이폴라	기타	리니어	96-09-24	96-10-11	98-06-26	소니
739	A2509AQ	곡간검출기능을 가진 재생 이퀄라이저	바이폴라	기타	리니어	96-10-07	96-10-11	98-06-26	소니
740	CXA2074Q	US음성다중디코더	바이폴라	기타	리니어	96-09-24	96-11-05	98-06-26	소니
741	MB90096	온 스크린 디스플레이 콘트롤러	MOS	CMOS	로직	97-02-21	97-04-10	98-06-26	후지쓰
742	MB90097	온 스크린 디스플레이 콘트롤러	MOS	CMOS	로직	97-02-04	97-07-25	98-06-26	후지쓰
743	MB54608L	직교 변조기 IC	바이폴라	기타	기타	96-07-01	96-07-12	98-07-02	후지쓰
744	MB15A81	아날로그 회로 내장 트리플 PLL 신디사이저 LSI	BI-MOS	기타	기타	96-08-30	96-09-09	98-07-02	후지쓰
745	D703000GC-33	32비트 RISC 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	95-01-26	96-08-30	98-08-26	닛본덴기
746	D488170LG6-A50	16M 비트 화상용 메모리	MOS	CMOS	메모리	95-12-15	96-09-09	98-08-26	닛본덴기
747	TA8238AK	오디오 앰프	바이폴라	기타	리니어	96-04-08	96-06-20	98-08-26	도시바
748	TMP90PS74DF	8비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-07-11	96-07-15	98-08-26	도시바
749	TEA 0676	Dual pre-amplifier and equalizer for reverse tape decks	바이폴라	기타	리니어	96-06-21	96-06-21	98-09-17	필립스
750	RCP-NUS	16M 마스크 ROM	MOS	CMOS	로직	95-11-21	96-06-23	98-09-17	닌텐도
751	D178018GC	8비트 마이크로콘트롤러	MOS	CMOS	마이크로프로세서	95-09-30	96-07-05	98-09-30	닛본덴기
752	TA2097N	모터 드라이버	바이폴라	기타	리니어	96-05-30	96-07-25	98-09-30	도시바
753	TB1234F/FN	PLL주파수 신세사이저 IC	BI-MOS	CMOS	로직	96-07-11	96-08-05	98-09-30	도시바
754	G1024	하이파워 고주파 2X4 안테나 스위치	바이폴라	기타	리니어	96-07-26	96-08-02	98-09-30	소니
755	G1013	1.7~2.0GHz 로우 노이즈 앰프 또는 다운 컨버젼 믹서	바이폴라	기타	리니어	96-08-20	96-09-17	98-09-30	소니
756	Xcent	데이터 패킷 전송 스위치	MOS	CMOS	로직	97-10-17	99-11-01	98-09-30	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
757	LA0601C	카메라 셔터용 오토 포커스 수광 IC	바이폴라	IIL	기타	95-10-25	96-09-06	98-11-21	상요덴기
758	LA71010M	VHS 방식 VTR용 영상·음성 신호처리 IC	바이폴라	IIL	리니어	96-09-12	96-11-29	98-11-21	상요덴기
759	LA7476W	디지탈 VTR용 오디오 신호 입출력 인터페이스 IC	바이폴라	IIL	리니어	96-08-20	96-12-06	98-11-21	상요덴기
760	RS5C382	비디오디지탈엔코더 + DA변환기	MOS	CMOS	로직	98-04-01	98-04-13	98-11-21	리코
761	A2555Q	CD 및 CD-ROM용 RF 앰프	바이폴라	기타	리니어	96-11-23	96-11-30	98-11-21	소니
762	CXA2050S	컬러 텔레비전용 PAL 및 NTSC용 IC	바이폴라	기타	리니어	96-08-20	96-08-27	98-11-21	소니
763	MB86612	IEEE1394 준거의 고성능 시리얼 버스콘트롤러	MOS	CMOS	로직	97-04-21	97-05-30	98-11-21	후지쓰
764	DI001	번인(Burn-In) 시스템용 시험 데이터 분석 및 비교값 출력 ASIC	MOS	CMOS	로직	98-06-30	98-09-01	98-11-24	전자통신 연구원
765	A3174N	GSM/PCS용 AGC IF	바이폴라	기타	리니어	96-12-17	97-02-14	98-11-24	소니
766	UFC9701D	유니버설 카운터용 계측 주차수 산출 및 디스플레이용 제어신호 생성 ASIC	MOS	CMOS	로직	98-06-20	98-09-15	98-11-24	전자통신 연구원
767	A2019Q	NTSC 및 PAL용 크로마 디코더	바이폴라	기타	리니어	97-01-22	97-01-27	98-11-24	소니
768	CXA3179N	다치 FSK 페이저용 IF 앰프(AFC 대응)	바이폴라	기타	리니어	97-01-22	97-02-28	98-11-24	소니
769	CXA2054S	US 음성 다중 디코더	바이폴라	기타	리니어	97-03-26	97-04-03	98-11-24	소니
770	17	하이파워 고주파 DPDT 안테나 스위치	기타	기타	리니어	96-05-28	96-12-15	98-11-24	소니
771	HD6432242	16비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-07-31	96-10-01	98-11-24	히타치세이사쿠쇼
772	HM67S36130	4M 싱크로너스 SRAM	BI-MOS	기타	메모리	96-06-24	96-10-02	98-11-24	히타치세이사쿠쇼
773	D703002GC	32비트 RISC 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-02-27	96-10-21	98-11-24	닛본덴기
774	D178P018GC	8비트 마이크로콘트롤러	MOS	CMOS	마이크로프로세서	96-04-10	96-09-20	98-11-24	닛본덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
775	S-809ANMP	지연회로 내장형 고정밀도 전압검출기	MOS	CMOS	리니어	96-12-28	96-09-25	98-11-24	세이코
776	S-809ALMP	지연회로 내장형 고정밀도 전압검출기	MOS	CMOS	리니어	96-12-28	96-09-25	98-11-24	세이코
777	GM72V66841ET	PC 100 INTEL spec.의 Synchronous DRAM	MOS	CMOS	메모리	98-04-10	98-08-31	98-11-24	LG전자
778	GM72V28441AT	PC 100 INTEL spec.의 Synchronous DRAM	MOS	CMOS	메모리	98-06-12	98-09-05	98-11-24	LG전자
779	MB3829	휴대 전화기용 시스템 전원 IC	BI-MOS	기타	리니어	97-10-03	97-10-22	98-11-28	후지쓰
780	MB15C101	IF용 PLL 주파수 신디사이저	MOS	CMOS	기타	97-11-25	98-04-01	98-11-28	후지쓰
781	MB871121	PWM 전원 제어 IC	MOS	CMOS	리니어	97-12-18	98-01-19	98-11-28	후지쓰
782	HD6483111	8비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-07-10	96-10-23	98-11-28	히타치세이사쿠쇼
783	HD6437042/HD6437043	32비트 RISC 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-03-06	96-10-08	98-11-28	히타치세이사쿠쇼
784	HD6433202	8비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-04-23	97-08-26	98-11-28	히타치세이사쿠쇼
785	HD6433212	8비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-02-16	96-10-22	98-11-28	히타치세이사쿠쇼
786	97LM20G-4	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신연구원
787	97CLKGN1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 클럭생성 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신연구원
788	97KAMMIC-1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
789	97CE24S20-E-W-VIA	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
790	97CB12S20-E-DP	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
791	97CE24S20-E-W	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
792	97PA-10G	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
793	97LMT10G	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
794	97LM20G	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
795	97CE6S20-E-SP	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
796	97CBS20-DP1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
797	97KAMMIC-2	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
798	97DEC10-3	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 판별기능 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
799	97LM20G-5	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
800	97LM20G-7	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
801	97CB12S20-E	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
802	97DEC10-2	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 판별기능 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
803	97DEC10-1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 판별기능 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
804	97CE12S20-E-SP	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
805	97CB6S20-E-DP	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
806	97PA20G-2	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
807	97PA20G-4	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
808	97PA20G-5	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
809	97LM20G-2	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
810	97LM20G-1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
811	LD_D	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 레이저 다이오드 구동회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	96-09-30	97-06-30	98-11-28	전자통신 연구원
812	LA-3A	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 10Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	96-09-30	97-06-30	98-11-28	전자통신 연구원
813	97PA20G-1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
814	97LM20G-3	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 제한기능 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
815	97CB24S20-E	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
816	20GLD-2	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 레이저 다이오드 구동회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
817	97DEC-1	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 판별기능 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
818	97PA20G-3	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 20Gbps이상의 고속에서 동작하는 전치 증폭회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
819	97CB24S15-E	이종접합 바이폴라 트랜지스터(HBT)를 이용하여 Ka-대역인 26GHz 주파수 범위에서 동작하는 전력 증폭 회로의 제작을 위한 배치설계	바이폴라	ECL	리니어	97-09-30	98-09-30	98-11-28	전자통신 연구원
820	1027	송신용 드라이버 앰프	기타	기타	기타	97-03-26	97-04-05	98-11-30	소니
821	20A	PHS용 파워 앰프	기타	기타	기타	97-03-26	97-04-07	98-11-30	소니
822	A3175Q	리더 및 라이터 변복조회로, 송신출력단	바이폴라	기타	리니어	97-02-26	97-04-21	98-11-30	소니
823	TA2109F	CD용 서보 헤드 앰프	바이폴라	기타	리니어	97-01-30	97-03-28	98-11-30	도시바
824	D4217405LA-60	16M 비트 DRAM	MOS	CMOS	메모리	95-08-13	96-12-25	98-11-30	닛본덴기
825	TMPA8700CS	8비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-04-25	96-11-11	98-12-08	도시바
826	TPS831	적외선 포토 IC	기타	기타	리니어	95-06-14	96-11-18	98-12-08	도시바
827	HPA2	HPA2는 19~23GHz 마이크로파 대역에서 1Watt의 RF Output Power를 갖는 고출력증폭기 MMIC chip임	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원
828	ATTENUATOR	ATTENUATOR는 18~30GHz 마이크로파 대역에서 고출력증폭기에 필요한 전력을 조절하기 위한 MMIC CHIP임	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
829	DRIVER	DRIVER는 18~30GHz 마이크로파 대역에서 고출력증폭기에 필요한 전력을 공급하기 위한 MMIC CHIP임	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원
830	HPA1	HPA1은 19~23GHz 마이크로파 대역에서 1Watt의 RF Output Power를 갖는 고출력증폭기 MMC chip임	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원
831	WLNA	WLNA는 30GHz 주파수 대역의 신호를 저잡음 증폭할 수 있도록 잡음지수를 최소화하였으며, balanced 형태로 구성되어 있어 반사손실 특성도 우수하고, 약 10GHz 정도의 넓은 주파수 대역폭을 가짐.	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원
832	LNA	LNA는 30GHz 주파수 대역을 사용하는 위성중계기 및 지상무선시스템의 저잡음 증폭기에 사용되어야 하므로 저잡음 특성을 갖도록 입력회로를 구성하였으며, 안정화 회로를 추가하여 안정된 주파수 특성을 갖도록 하였음.	기타	기타	기타	97-12-31	98-07-30	98-12-08	전자통신 연구원
833	MBM29DL800A	8M 플래시 메모리	MOS	CMOS	메모리	97-07-23	98-03-18	98-12-08	후지쓰
834	HD64411	퀵 2D 그래픽스 렌더러	MOS	CMOS	마이크로프로세서	96-08-02	96-11-13	98-12-08	히타치세이사쿠쇼
835	TMPA8701CM	8비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-06-18	96-12-12	98-12-08	도시바
836	TA1249F	VTR용 앰프	바이폴라	기타	리니어	96-09-06	96-12-27	98-12-08	도시바
837	MB81G83222A	128K x 32비트 x 2뱅크 SGRAM	MOS	CMOS	메모리	96-09-02	96-12-20	98-12-08	후지쓰
838	DMC60C52-041	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-08-31	98-09-01	98-12-08	대우전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
839	DMC60C51E-147	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-07-20	98-09-25	98-12-08	대우전자
840	DMC60C51E-138	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-03-31	98-04-01	98-12-08	대우전자
841	DBL5021	유무선 전화기에 사용하는 스피치 네트웍(Speach Network) 기능을 구비한 반도체집적회로임	바이폴라	기타	리니어	98-06-01	98-09-01	98-12-08	대우전자
842	DMC60C51E-139	8비트 범용 마이크로 프로세서로 인텔 60C51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-04-10	98-05-10	98-12-08	대우전자
843	DMC60C52-031	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-02-13	98-02-15	98-12-08	대우전자
844	C168-006	PLL 및 Frequency Synthesizer와 IFC ADC가 내장된 CAR AUDIO용 DTS 마이콤	MOS	CMOS	마이크로프로세서	98-06-08	98-06-30	98-12-08	대우전자
845	DW-167MN05	OSD 기능을 내장한 Voltage Synthesizer 방식의 8비트 마이콤	MOS	CMOS	마이크로프로세서	98-04-01	98-07-01	98-12-08	대우전자
846	DMC60C52-033	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-03-25	98-04-25	98-12-08	대우전자
847	DBL5022	유무선 전화기에 사용하는 SPEECH NETWORK 기능을 가진 모놀리식 리니어방식 집적회로	바이폴라	기타	리니어	98-08-31	98-09-01	98-12-08	대우전자
848	DMC60C51L-142	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-05-28	98-06-28	98-12-08	대우전자
849	DMC60C51E-143	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-06-25	98-06-25	98-12-08	대우전자
850	DMC73C167-003	OSD 모듈을 내장한 Voltage Synthesizer 방식의 8비트 마이콤	MOS	CMOS	마이크로프로세서	98-04-01	98-07-01	98-12-08	대우전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
851	DBL3103	LOW DROP 전압기능과, DUAL VOLTAGE 레귤레이터를 구비한 반도체 집적회로임	바이폴라	기타	리니어	97-10-30	97-11-01	98-12-08	대우전자
852	DBL1018B	카스테레오 리시버(Car Stereo Receiver) 기능을 구바한 반도체집적회로임	바이폴라	기타	리니어	97-10-15	97-12-10	98-12-08	대우전자
853	DMC60C52-035	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-07-14	98-07-14	98-12-08	대우전자
854	DMC820	PLL 및 범용 IC로써 MDS용 8비트 마이콤	MOS	CMOS	마이크로프로세서	98-05-30	98-07-01	98-12-08	대우전자
855	DBL2091	리모콘 기능과 프리앰프 기능을 내장한 반도체 집적회로	바이폴라	기타	리니어	98-07-30	98-09-05	98-12-08	대우전자
856	DMC80C49-232A	8비트 범용 마이크로 프로세서로 인텔 80C49와 호환되는 반도체집적회로	MOS	CMOS	마이크로프로세서	98-04-01	98-05-01	98-12-08	대우전자
857	DMC42C2008-104	OSD 모듈을 내장한 마이콤 반도체 집적회로	MOS	CMOS	마이크로프로세서	97-12-05	97-12-05	98-12-08	대우전자
858	DMD8801	전화기의 PULSE, TONE, GENERATOR ASSP	MOS	CMOS	로직	98-08-31	98-09-10	98-12-08	대우전자
859	C168-004	PLL 및 Frequency Synthesizer와 IFC ADC가 내장된 CAR AUDIO용 DTS 마이콤	MOS	CMOS	마이크로프로세서	98-05-06	98-06-30	98-12-08	대우전자
860	C168-003	PLL 및 Frequency Synthesizer와 IFC ADC가 내장된 CAR AUDIO용 DTS 마이콤	MOS	CMOS	마이크로프로세서	98-04-05	98-06-30	98-12-08	대우전자
861	DMC73C168-002	PLL 및 Frequency Synthesizer와 IFC ADC가 내장된 CAR AUDIO용 DTS 마이콤	MOS	CMOS	마이크로프로세서	97-11-13	98-02-03	98-12-08	대우전자
862	DMC60C52-034	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-04-01	98-04-03	98-12-08	대우전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
863	DMC60C51E-146	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-07-20	98-09-25	98-12-08	대우전자
864	DMC60C51E-144	8비트 범용 마이크로 프로세서로 인텔 60c51과 호환되는 범용임	MOS	CMOS	마이크로프로세서	98-09-25	98-09-25	98-12-08	대우전자
865	DMC73C167-002	OSD 모듈을 내장한 Voltage Synthesizer 방식의 8비트 마이콤	MOS	CMOS	마이크로프로세서	98-04-01	98-07-01	98-12-08	대우전자
866	DMC60C52-016	TIMER와 SIO가 내장된 범용 8비트 마이콤 기능을 구비한 반도체 집적회로임	MOS	CMOS	마이크로프로세서	97-11-21	97-11-25	98-12-08	대우전자
867	DBL 1100	RF 기기에 적용되는 Front-end의 직접회로	바이폴라	기타	리니어	98-10-05	98-10-05	98-12-08	대우전자
868	DBL3842A	Low start-up Current 기능을 갖는 전류 모드 pwm 반도체 집적회로	바이폴라	기타	리니어	98-07-20	98-10-01	98-12-08	대우전자
869	DMC60C52-040	8비트 범용 마이크로 프로세서로 인텔 60c52와 호환되는 범용 반도체 집적회로	MOS	CMOS	마이크로프로세서	98-08-31	98-09-01	98-12-08	대우전자
870	DBL2089	티브이 및 모니터용 수직 편향 기능을 구비한 반도체 집적회로임	바이폴라	기타	리니어	97-08-30	97-10-30	98-12-08	대우전자
871	DMC42C2008-102	OSD 모듈을 내장한 마이콤 집적회로	MOS	CMOS	마이크로프로세서	97-12-05	97-12-05	98-12-08	대우전자
872	DGA 8623	전전자 교환기용 ASIC	MOS	CMOS	로직	98-07-31	98-10-02	98-12-08	대우전자
873	DBL3101	SMPS의 PWM방식의 컨트롤 IC	바이폴라	기타	리니어	98-02-01	98-02-01	98-12-08	대우전자
874	HM5216165	16M 비트 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	96-08-28	96-11-27	98-12-08	히타치세이사쿠쇼
875	HN29W6411	64M 비트 플래시 메모리	MOS	CMOS	메모리	95-06-20	96-11-26	98-12-08	히타치세이사쿠쇼
876	HM5165400A/HM5165405A	64M DRAM A마스크	MOS	CMOS	메모리	95-04-10	96-11-27	98-12-08	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
877	HD6432655	16비트 마이크로 컴퓨터	MOS	CMOS	마이크로프로세서	96-08-21	96-12-05	98-12-14	히타치세이사쿠쇼
878	KIA6801K	양방향 DC MOTOR DRIVER IC	바이폴라	기타	리니어	98-06-19	98-10-29	98-12-14	케이이씨
879	KIA7806AP	정전압 IC	바이폴라	기타	리니어	98-07-16	98-11-20	98-12-14	케이이씨
880	KIA78DS05BP	LOW DROP REGULATOR IC	바이폴라	기타	리니어	98-07-03	98-11-20	98-12-14	케이이씨
881	KIA393P	2CH COMPARATOR IC	바이폴라	기타	리니어	98-03-09	98-04-13	98-12-14	케이이씨
882	KIA7905PI	정전압 REGULATOR IC	바이폴라	기타	리니어	96-12-05	97-01-10	98-12-14	케이이씨
883	KID65083AP	8 GATE TRANSISTOR ARRAY IC	바이폴라	기타	로직	97-12-29	98-10-23	98-12-14	케이이씨
884	KID65783AP	8 GATE TRANSISTOR ARRAY IC	바이폴라	기타	로직	98-07-28	98-11-03	98-12-14	케이이씨
885	KIA8052S/SV	양방향 DC MOTOR DRIVER IC	바이폴라	기타	리니어	98-06-30	98-10-14	98-12-14	케이이씨
886	HU80C32	8-bit cpu와 주변장치로 구성된 one-chip Micro Computer	MOS	CMOS	마이크로프로세서	98-04-30	98-04-30	98-12-16	현대전자
887	HU80C52	8-bit cpu와 주변장치로 구성된 one-chip Micro Computer	MOS	CMOS	마이크로프로세서	98-04-30	98-04-30	98-12-16	현대전자
888	HP018ROA	촬상소자와 ADC(Analog/Digital Converter), Digital Control Block의 복합칩	MOS	CMOS	로직	98-06-30	98-07-01	98-12-16	현대전자
889	HM5118165/HM5116160C/HM5118160/HM5116160	16비트 다이나믹 RAM	MOS	CMOS	메모리	95-11-30	97-01-22	98-12-29	히타치세이사쿠쇼
890	MB87J0010	세미커스텀 임베디드 어레이	MOS	CMOS	로직	97-10-28	98-01-01	98-12-29	후지쓰
891	MB91106	32비트 RISC 콘트롤러	MOS	CMOS	마이크로프로세서	97-12-15	98-01-07	98-12-29	후지쓰
892	MB90652A	16비트 마이크로콘트롤러	MOS	CMOS	마이크로프로세서	97-05-16	97-06-04	98-12-29	후지쓰

7. '99년 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
893	CXA2055P	고해상도 컴퓨터 디스플레이용 프리 앰프	바이폴라	기타	리니어	97-03-26	97-06-15	99-01-08	소니
894	CXA1982Q	CD용 RF 신호 처리 서보 앰프	바이폴라	기타	리니어	97-06-25	97-07-27	99-01-08	소니
895	IMA30V1	본IMA30V1은 CDMA방식의 PCS phone에 적용하기 위하여 개발된 IC로서,0.35um 4-metal 2-poly CMOS기술을 이용하여 full custom방식으로 배치설계하였으며, 약 25,000개의 트랜지스터,커패시터 및 저항등의 소자로 구성되어 있다.	MOS	CMOS	리니어	98-07-25	99-03-31	99-01-08	전자통신 연구원
896	HV-FED-GATE	HV-FED-GATE집적회로는 1.2㎛ 아날로그 CMOS공정기술에 LDMOS(lateral double diffused MOS)소자를 집적화하여 고전압(20-100V, 10mA)출력을 가지고, 전계방출디스플레이의 Row측 즉 게이트라인 64개를 선택적으로 구동할 수 있는 고전압 구동 집적회로로서, 5000개의 트랜지스터,커패시터 및 저항등의 소자로 구성되어 있다.	MOS	CMOS	리니어	98-05-30	00-03-01	99-01-08	전자통신 연구원
897	HV-FED-COL	HV-FED-COL집적회로는 1.2㎛아날로그 CMOS공정기술에 LDMOS(lateral double diffused MOS)소자를 집적화하여 8비트 입력에대한 256계조 표현이 가능한 PWM기능의 고전압(20-100V, 10mA)출력을 가지고, 전계방출디스플레이의 Column측 즉 캐소드라인 32개를 구동할 수 있는 고전압 구동 집적회로로서, 18,000개의 트랜지스터,커패시터 및 저항등의 소자로 구성되어 있다.	MOS	CMOS	리니어	98-09-30	00-03-01	99-01-08	전자통신 연구원
898	BIM 1.0	무선가입자 선로용(WLL)단말기 모뎀 칩	MOS	CMOS	로직	98-03-30	99-03-30	99-01-08	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
899	TIM 1.0	무선가입자 선로용(WLL)단말기 모뎀 칩	MOS	CMOS	로직	98-03-30	99-03-30	99-01-08	전자통신 연구원
900	IMM2.2	CDMA 셀룰러폰 또는 PCS 단말기용 모뎀 칩	MOS	CMOS	로직	98-07-30	99-03-30	99-01-08	전자통신 연구원
901	D42S16165LG 5-A50-7JF 9729 MY900	16M 비트 DRAM	MOS	CMOS	메모리	96-07-22	97-01-24	99-01-22	닛본덴기
902	TB1231N	영상신호처리 IC	BI-MOS	CMOS	리니어	97-05-20	97-07-14	99-01-22	도시바
903	TPD2004F	에어백용 드라이버	BI-MOS	기타	리니어	97-11-28	98-03-09	99-01-22	도시바
904	TA1276AN	PAL/NTSC 시그날 프로세서	바이폴라	IIL	로직	97-10-02	97-12-15	99-01-22	도시바
905	HM628512A	4M 비트 스태틱 RAM	MOS	CMOS	메모리	96-06-13	97-02-28	99-02-03	히타치세 이사쿠쇼
906	HM514265D	4M 비트 다이내믹 RAM	MOS	CMOS	메모리	95-11-24	97-02-06	99-02-03	히타치
907	HD6433214	8비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-01-16	97-02-08	99-02-03	히타치세 이사쿠쇼
908	MSM9562	FM 다중복조용 디코더	MOS	CMOS	로직	98-04-03	98-06-15	99-02-10	오키덴키
909	MSM9405	디지털정보복제용 LSI	MOS	CMOS	로직	98-09-16	98-11-05	99-02-10	오키덴키
910	TA8052AS	풀 브리지 드라이버	바이폴라	기타	리니어	96-01-22	97-04-22	99-02-25	도시바
911	TMP94C241BF	32비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	98-03-11	98-04-27	99-02-25	도시바
912	FMDI1	ATM교환기 망동기용 235MHz 클럭 체배 분배 IC로서 회로는 리니어/로직 혼합형으로 구성되고 소자 구조 및 기술은 표준형 CMOS로 이루어진다.	MOS	CMOS	리니어	97-11-15	98-06-30	99-02-27	전자통신 연구원
913	HM5216805	16M 비트 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	95-02-20	97-03-25	99-03-05	히타치세 이사쿠쇼
914	HD6472655R	16 비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	96-11-29	97-03-31	99-03-05	히타치세 이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
915	HD407A4669	4 비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-10-03	97-03-07	99-03-05	히타치세이사쿠쇼
916	HM51W17805	16M 비트 다이나믹 RAM	MOS	CMOS	메모리	96-03-20	97-03-27	99-03-05	히타치세이사쿠쇼
917	TB2111AFA	PLL 주파수 신세사이저	BI-MOS	CMOS	로직	97-02-17	97-04-16	99-03-16	도시바
918	HD4074889	4비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	97-02-03	97-04-16	99-03-31	히타치세이사쿠쇼
919	HD6477042A/HD6477043A	32비트 RISC 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-12-24	97-04-04	99-03-31	히타치세이사쿠쇼
920	HD404889	4비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-11-21	97-05-26	99-03-31	히타치세이사쿠쇼
921	HD6433318/HD6433316/HD6433315	8비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-04-11	97-05-07	99-03-31	히타치세이사쿠쇼
922	CXA1992BR	RF신호 처리 서보 앰프	바이폴라	기타	리니어	97-09-20	97-09-24	99-04-29	소니
923	A1960Q	FM 라디오 및 AM 라디오용 IC	바이폴라	기타	리니어	97-06-25	97-09-24	99-04-29	소니
924	CXA2513M	3밴드 프리세트 그래픽 이퀄라이져 IC	바이폴라	기타	리니어	97-08-27	97-09-10	99-04-29	소니
925	CXA2112R	LCD드라이버	바이폴라	기타	리니어	97-09-20	97-09-24	99-04-29	소니
926	HD6437410F	DSP기능내장 32비트 RISC 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-10-24	97-05-16	99-04-30	히타치세이사쿠쇼
927	HD6472128	16비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	97-03-19	97-05-16	99-04-30	히타치세이사쿠쇼
928	HD6437044/HD6437045	32비트 RISC 마이크로프로세서	MOS	CMOS	마이크로프로세서	97-02-24	97-05-21	99-04-30	히타치세이사쿠쇼
929	M7B2000FP	DRAM 내장 로직 IC	MOS	CMOS	기타	97-05-20	97-05-29	99-05-27	미쯔비시

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
930	HD64F5398S	16비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	97-06-10	97-07-23	99-05-31	히타치세이사쿠쇼
931	HD64412	퀵 2D 그래픽스 렌더러	MOS	CMOS	마이크로프로세서	97-07-10	97-07-31	99-05-31	히타치세이사쿠쇼
932	98SG12b50M-ADC	12b 50MHz CMOS A/D Converter(변환기)	MOS	CMOS	리니어	98-12-29	. .	99-06-01	이승훈
933	M52386FP	바이폴라 리니어를 사용한 비디오용 신호 처리 리니어 IC	바이폴라	기타	리니어	97-05-16	97-06-12	99-06-10	미쯔비시
934	TEA6823T/TEA6825T	In Car Entertainment(ICE) car radio	바이폴라	ECL	리니어	97-06-20	97-06-20	99-06-15	필립스
935	T6K03	LCD 드라이버	MOS	CMOS	기타	97-05-09	97-07-01	99-06-24	도시바
936	KIA78R05PI	출력 on/off 기능을 내장한 4단자 Low Drop Regulator IC	바이폴라	기타	리니어	97-09-30	99-06-08	99-07-15	케이이씨
937	KIA494AP	VOLTAGE MODE PWM CONTROL용 SWITCHING REGULATOR IC	바이폴라	기타	리니어	98-09-30	99-02-09	99-07-15	케이이씨
938	KID65003AP	7 GATE DARLINGTONTRANSISTORARRAYIC	바이폴라	기타	로직	99-03-02	99-05-24	99-07-15	케이이씨
939	KID65004AP	7 GATE DARLINGTONTRANSISTORARRAYIC	바이폴라	기타	로직	99-03-02	99-05-24	99-07-15	케이이씨
940	D4504161G5-A12-7JF 9734L 9001	4Mbit SDRAM 하드디스크 버퍼용 메모리	MOS	CMOS	메모리	97-07-04	97-07-22	99-07-22	닛본덴기
941	CXA3176N	FM 수신기용 IF 엠프	바이폴라	기타	리니어	97-02-26	97-10-01	99-07-22	소니
942	A2559Q	곡간 검출 기능 부착 재생 이퀄라이져	바이폴라	기타	리니어	97-09-24	97-10-07	99-07-22	소니
943	HD64F7044/HD64F7045	32비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-03-31	97-08-19	99-07-27	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
944	HD6432127/HD6432126/HD6432127W/HD6432126W	16 비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-06-27	97-08-25	99-07-27	히타치세이사쿠쇼
945	D464336LS1-A 6 9737KF002	4Mbit SRAM	BI-MOS	CMOS	메모리	97-07-25	97-08-01	99-07-29	닛본덴기
946	HD6433217/HD6433216	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	96-04-25	97-08-27	99-08-02	히타치세이사쿠쇼
947	D434016ALE 9742KY911	4M비트 비동기 SRAM	MOS	CMOS	리니어	97-05-29	97-08-12	99-08-10	닛본덴기
948	HD64F2144/HD64F2134	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-05-20	97-09-04	99-08-18	히타치세이사쿠쇼
949	HM5264405	64M비트 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	97-06-13	97-11-14	99-08-18	히타치세이사쿠쇼
950	HD155121F	RF 싱글 칩 IC	BI-MOS	기타	기타	97-10-31	97-11-18	99-08-18	히타치세이사쿠쇼
951	MBM29PL160D	16M 플래쉬 메모리	MOS	CMOS	메모리	98-05-22	98-07-21	99-08-19	후지쓰
952	A2557R	CD 및 CD-ROM용 RF 엠프	바이폴라	기타	리니어	97-09-24	97-11-25	99-08-19	소니
953	CXA2060AS	컬러 텔레비젼용 PAL, NTSC 및 SECAM 방식 대응 IC	바이폴라	기타	리니어	97-12-20	97-12-24	99-08-19	소니
954	A2540AN	ATIP FM 디모듈레이터	바이폴라	기타	리니어	97-11-26	97-12-29	99-08-19	소니
955	D705101	32비트 RISC 마이크로프로세서	MOS	CMOS	마이크로프로세서	96-11-27	97-08-25	99-08-19	닛본덴기
956	ML9205-XX	도트 매트릭스형 형광표시관 제어구동기	MOS	CMOS	로직	99-01-30	99-03-01	99-09-01	오키덴키
957	LR35410	리얼 타임 클록 내장 시리얼 데이타 변조·복조 회로	MOS	CMOS	로직	97-09-12	97-10-03	99-09-02	샤프
958	HD6433834S	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-03-19	97-10-21	99-09-14	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
959	HD6433837S	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	96-06-26	97-11-21	99-09-14	히타치세이사쿠쇼
960	HD6473657	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-08-27	97-10-27	99-09-14	히타치세이사쿠쇼
961	MBM29DL323D	32M 플래쉬 메모리	MOS	CMOS	메모리	98-06-19	98-10-02	99-09-16	후지쓰
962	D4502161G5-A12-7JF 9831 LY006	2M 비트 SDRAM	MOS	CMOS	메모리	97-08-08	97-10-01	99-09-16	닛본덴기
963	D442000LGU-B10X -9JH 9737 KD901	2M 비트 SRAM	MOS	CMOS	메모리	97-05-30	97-09-30	99-09-16	닛본덴기
964	KM416S1020CT-G10	16M SDRAM	MOS	CMOS	메모리	98-02-12	98-02-24	99-09-29	삼성전자
965	KM44S64230T-G10	256M SYNC DRAM	MOS	CMOS	메모리	96-07-24	98-02-10	99-09-29	삼성전자
966	KM432S2030BT-G10	64M SDRAM	MOS	CMOS	메모리	97-09-25	98-03-30	99-09-29	삼성전자
967	KA8516	PAGER용 IF Dectector	바이폴라	기타	리니어	97-09-05	97-12-10	99-09-29	삼성전자
968	KM23SV32205T-01	32M SYNC MASKROM	MOS	CMOS	메모리	98-03-15	98-04-28	99-09-29	삼성전자
969	KA8515	PAGER용 IF Dectector	바이폴라	기타	리니어	98-01-03	98-05-11	99-09-29	삼성전자
970	KM736V849T-75	8M NtRAM	MOS	CMOS	메모리	98-08-31	98-12-15	99-09-29	삼성전자
971	KM416S1120DT-G10	16M SDRAM	MOS	CMOS	메모리	98-12-11	99-01-31	99-09-29	삼성전자
972	KM4132G112Q-7	32M SGRAM	MOS	CMOS	메모리	98-11-30	99-01-12	99-09-29	삼성전자
973	KM432D5131TQ-G10	16M DDR SGRAM	MOS	CMOS	메모리	98-07-04	98-08-14	99-09-29	삼성전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
974	KM432V515J-6	16M EDORAM	MOS	CMOS	메모리	98-02-10	98-03-20	99-09-29	삼성전자
975	KM48V8104CS-6	64M DRAM	MOS	CMOS	메모리	97-11-30	98-06-17	99-09-29	삼성전자
976	KM48S8030CT-G8	64M SDRAM	MOS	CMOS	메모리	98-04-28	98-05-30	99-09-29	삼성전자
977	KM48S8030DT-F10	64M SDRAM	MOS	CMOS	메모리	99-02-23	99-03-31	99-09-29	삼성전자
978	KM432S2030CT-F8	64M SDRAM	MOS	CMOS	메모리	99-02-20	99-03-15	99-09-29	삼성전자
979	KM416H4031T-G10	200M BPS DDR SDRAM	MOS	CMOS	메모리	98-07-20	98-10-26	99-09-29	삼성전자
980	KM48S16030T-GL	128M SDRAM	MOS	CMOS	메모리	98-04-09	98-06-22	99-09-29	삼성전자
981	KM48S16030AT-GL	128M SDRAM	MOS	CMOS	메모리	99-03-31	99-06-30	99-09-29	삼성전자
982	LR35915	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	97-11-12	97-11-27	99-10-05	샤프
983	HD407A4374	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-08-04	97-10-30	99-10-06	히타치세이사쿠쇼
984	HD6417092	32비트 RISC 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-05-30	98-01-16	99-10-06	히타치세이사쿠쇼
985	HD404082	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-08-25	99-01-13	99-10-06	히타치세이사쿠쇼
986	MB81G163222	256K 워드×32 비트×2 뱅크 SGRAM	MOS	CMOS	메모리	97-07-07	97-12-15	99-10-07	후지쓰
987	LR3593	8비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	99-07-02	99-07-23	99-10-26	샤프

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
988	LR350R	4비트 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	98-11-30	98-12-16	99-10-26	샤프
989	LA72630M	VHS 방식 비디오용 HiFi 음성 신호 기록 재생 처리 IC	바이폴라	IIL	리니어	97-04-04	97-11-05	99-11-02	상요덴기
990	LC99057	이미지 센서용 스탠다드 셀 IC	MOS	CMOS	로직	97-03-25	97-11-07	99-11-02	상요덴기
991	HD6413006/HD6413007	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-09-25	97-11-27	99-11-04	히타치세이사쿠쇼
992	HM5164405	64M비트 DRAM C마스크	MOS	CMOS	메모리	96-08-20	97-12-25	99-11-04	히타치세이사쿠쇼
993	D705100	32 비트 RISC 프로세서	MOS	CMOS	로직	97-06-06	97-11-12	99-11-04	닛본덴기
994	D4265805G5-A60-7JD	64M 비트 DRAM	MOS	TTL	메모리	96-09-20	97-11-13	99-11-04	닛본덴기
995	HM5264805D	64M 비트 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	97-10-16	98-10-22	99-11-17	히타치세이사쿠쇼
996	D784216YGF-8	16비트 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-10-08	97-11-30	99-11-18	닛본덴기
997	D4564841G5-A10B-9JF 9916 EY005	64M비트 SDRAM	MOS	CMOS	메모리	97-04-09	97-12-09	99-11-25	닛본덴기
998	D432232LGF-A8 97 25K7926	2M 파이프 라인 버스트 고속 SRAM	MOS	CMOS	메모리	97-04-16	97-11-28	99-11-25	닛본덴기
999	LC72720M	RDS 신호처리 1칩 IC	MOS	CMOS	로직	96-04-03	97-11-28	99-11-25	상요덴기
1000	KETI500	유기 신호 디코딩용 ASIC	MOS	CMOS	기타	99-11-01	. .	99-11-30	전자부품연구원
1001	HD6473637	8비트 싱글칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-10-08	97-12-22	99-12-08	히타치세이사쿠쇼
1002	LA2784	돌비 프로로직 디코더 IC	바이폴라	IIL	리니어	97-04-18	97-12-16	99-12-09	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1003	LA7780M	컬러 텔레비전용 QPSK 다운 컨버터 IC	바이폴라	ECL	리니어	96-03-11	97-12-17	99-12-09	상요덴기
1004	LC72343	저전압 1칩 PLL+콘트롤러 IC	MOS	CMOS	로직	97-07-10	98-11-26	99-12-09	상요덴기
1005	LC75750	1/3 듀티 VFD 드라이버 IC	MOS	CMOS	로직	96-12-02	98-03-24	99-12-09	상요덴기
1006	LV1035M	돌비 프로로직 서라운드 디코더 IC	BI-MOS	CMOS	리니어	97-04-23	97-12-16	99-12-09	상요덴기
1007	LA71520M	VHS 방식 비디오용 1칩 신호 처리 IC	바이폴라	IIL	리니어	96-06-13	98-01-28	99-12-14	상요덴기
1008	LA9250M	콤팩트 디스크(CD) 플레이어용 서보 신호 처리 IC	바이폴라	IIL	리니어	97-03-14	98-04-10	99-12-14	상요덴기
1009	LC723748	1칩 PLL+콘트롤러 IC	MOS	CMOS	로직	97-06-30	99-03-03	99-12-14	상요덴기
1010	LC75754M	1/3 듀티 VFD 드라이버 IC	MOS	CMOS	로직	97-04-10	00-03-10	99-12-14	상요덴기
1011	LV1041M	돌비 프로로직 서라운드 디코더 IC	BI-MOS	CMOS	리니어	97-10-30	98-01-26	99-12-14	상요덴기
1012	LA9700M	DVD 플레이어용 헤드 앰프 IC	바이폴라	기타	리니어	97-02-28	98-07-16	99-12-16	상요덴기
1013	LC75757	1/3 듀티 VFD 드라이버 IC	MOS	CMOS	로직	97-02-13	98-02-17	99-12-16	상요덴기
1014	LC3564B	64K 비트 SRAM IC	MOS	CMOS	메모리	97-08-10	98-02-13	99-12-16	상요덴기
1015	LA76170	NTSC 컬러 텔레비젼용 IC	바이폴라	IIL	리니어	97-06-24	97-12-24	99-12-16	상요덴기
1016	LC662716A	CMOS 4비트 마이크로 컴퓨터 IC	MOS	CMOS	마이크로프로세서	97-05-07	98-08-17	99-12-16	상요덴기
1017	LC73883M	DTMF 리시버 IC	MOS	CMOS	로직	97-03-07	97-12-18	99-12-16	상요덴기
1018	LC87F5164A	플래쉬 ROM 내장 8비트 1칩 마이크로컴퓨터 IC	MOS	CMOS	마이크로프로세서	96-08-22	98-02-04	99-12-16	상요덴기
1019	TF201AS10	MMC(Multi Media Cord)를 사용하는 MP3 Player 콘트롤러	MOS	NMOS	로직	99-10-15	99-11-17	99-12-16	토필드
1020	99AA301-1	500MHz Low Voltage Programmable PLL	MOS	CMOS	기타	99-08-05	99-12-10	99-12-27	아남반도체
1021	HD6432343	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-01-14	98-01-19	99-12-29	히타치세이사쿠쇼
1022	ML9211	56세그먼트 VFD 드라이버	MOS	CMOS	로직	99-07-09	99-10-19	99-12-30	오키덴키

8. '00년 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1023	MB15G202	16 비트 마이크로콘트롤러	Bi-MOS	기타	기타	97-12-24	98-02-06	00-01-06	후지쓰
1024	JP21816-6099 13H9002	16M 비트 DRAM	MOS	CMOS	메모리	97-03-31	98-01-28	00-01-20	닛본덴기
1025	HD64F2128	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-01-06	98-02-03	00-01-31	히타치세이사쿠쇼
1026	D4811650GF	화상 처리용 16Mbit 싱크로너스 그래픽 RAM	MOS	CMOS	메모리	97-07-31	98-02-23	00-02-10	닛본덴기
1027	HD407A4389	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-03-23	98-06-15	00-02-24	히타치세이사쿠쇼
1028	HD6472345	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-06-20	98-03-12	00-02-24	히타치세이사쿠쇼
1029	HD64F2345	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-07-23	98-07-31	00-02-24	히타치세이사쿠쇼
1030	CXA2036AS	VIF/SIF/EIAJ 방식 음성 다중 복조 IC	바이폴라	기타	리니어	98-04-22	98-06-18	00-02-29	소니
1031	G1045N	GSM용 하이파워 DPDT 스위치	기타	기타	기타	98-07-14	98-07-25	00-02-29	소니
1032	CXA3219M	VTR용 UHF대 RF 모듈레이터	바이폴라	기타	리니어	97-10-22	98-03-15	00-02-29	소니
1033	LR3592	컬러 LCD 게임용 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	98-04-24	98-07-06	00-02-29	샤프
1034	MB91001A	휴대 전화용 베이스밴드 LSI	MOS	CMOS	로직	98-03-19	98-04-22	00-03-02	후지쓰
1035	MB3870	펜티엄 Ⅱ용 DC/DC 컨버터	Bi-MOS	기타	리니어	98-03-09	98-06-05	00-03-02	후지쓰
1036	A2127W	잉크젯 프린터 드라이버	바이폴라	기타	기타	98-06-15	98-10-12	00-03-07	소니
1037	CXA2064M	US 음성 다중 디코더	바이폴라	기타	기타	98-08-27	98-10-26	00-03-07	소니
1038	LC72708E	VICS 대응 이동체를 위한 FM 다중 방송용 IC	MOS	CMOS	로직	97-12-18	98-04-06	00-04-04	상요덴기
1039	D4516821AG5 -A10-9NF	16MSDRAM 하드 디스크 버퍼용 메모리	MOS	CMOS	메모리	97-01-27	98-04-16	00-04-04	닛본덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1040	MB15G203	이동체 통신 기기용 반도체 집적 회로	Bi-MOS	기타	기타	98-02-27	98-04-23	00-04-20	후지쓰
1041	LR38564A	메모리 뱅크 콘트롤러용 게이트 어레이	MOS	CMOS	로직	98-04-21	98-05-12	00-04-28	샤프
1042	아날로그 및 디지털 인터페이스 칩	1개의 12-bit ADC,4개의 12-bit DAC,32-bit programmable IO와 16-bit X 128 dual port RAM을 내장한 아날로그와 디지털 인터페이스를 동시에 수행함으로써 공장자동화에 사용되는 기존의 아날로그 보드와 디지털 보드를 이 한개의 칩으로 대체함	MOS	CMOS	기타	99-10-31	. .	00-05-03	박홍준
1043	ADC 내장 32-bit 마이크로 콘트롤러 칩	32-bit SPARC CPU, FPU, ADC와 DAC가 내장된 모터 제어용 32비트 마이크로 콘트롤러	MOS	CMOS	마이크로프로세서	99-10-31	. .	00-05-03	박홍준
1044	MB81116822B	16M 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	97-01-13	98-05-07	00-05-04	후지쓰
1045	HD6433038/HD6433037/HD6433036	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-04-07	98-06-04	00-05-17	히타치세이사쿠쇼
1046	HD404374	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-10-09	98-08-03	00-05-17	히타치세이사쿠쇼
1047	HD404344R	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-01-28	98-07-06	00-05-17	히타치세이사쿠쇼
1048	KM418RD8C-RK80	8M × 18 RDRAM	MOS	CMOS	메모리	98-09-07	99-01-30	00-05-17	삼성전자
1049	MB81F641642C	M워드×16비트×4뱅크 싱크로너스 DRAM	MOS	CMOS	메모리	97-07-07	98-05-22	00-05-18	후지쓰
1050	ML9572	3미디어 VICS 디코더	MOS	CMOS	로직	99-08-01	99-09-20	00-05-19	오키덴키
1051	BG616	LASER SIGNAL DETECTOR IC	바이폴라	기타	리니어	99-06-12	99-09-22	00-05-19	케이이씨
1052	LA2350M	차량 탑재 LAN용 DA 컨버터+트랜시버 IC	바이폴라	기타	리니어	98-03-09	98-06-09	00-05-25	상요덴기
1053	LA9606W	미니 디스크 플레이어용 RF·매트릭스 신호 처리 IC	바이폴라	기타	리니어	98-05-19	98-08-17	00-05-25	상요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1054	LA9701M	CD/DVD 플레이어용 프론트 엔드 프로세서 IC	바이폴라	기타	리니어	98-04-24	99-07-16	00-05-25	상요덴기
1055	D4564323G5-A10B-9JH 9840 KY018	DRAM	MOS	CMOS	메모리	97-12-26	98-06-11	00-06-08	닛본덴기
1056	M65845AFP	CMOS 프로세서를 이용한 16K비트 SRAM 내장 원 칩 디지털 에코 IC	MOS	CMOS	기타	98-05-26	98-07-14	00-06-08	미쯔비시
1057	RDRAM36-NUS	DRAM	MOS	TTL	메모리	98-04-06	98-06-15	00-06-13	닛본덴기
1058	D488172G6-A53	18Mbit DRAM	MOS	TTL	메모리	97-10-22	98-06-15	00-06-13	닛본덴기
1059	D441000LGU-C12X-9KH	1M비트 SRAM	MOS	CMOS	메모리	98-05-21	98-06-17	00-06-13	닛본덴기
1060	LC86F8604A	플래쉬 EEPROM 내장 8비트 1칩 마이크로 컴퓨터 IC	MOS	CMOS	마이크로프로세서	98-06-10	98-06-30	00-06-13	상요덴기
1061	CXA2581N	CD용 RF 신호 처리	바이폴라	기타	기타	99-01-07	99-02-25	00-07-06	소니
1062	A2524R	MD 및 MD2용 RF 매트릭스 앰프	바이폴라	기타	기타	98-08-26	99-04-15	00-07-06	소니
1063	A2588R	MD용 RF 매트릭스 앰프	바이폴라	기타	기타	99-05-18	99-07-12	00-07-06	소니
1064	CXA1511A	적외선 리모트 컨트롤 시스템 수신용 IC	바이폴라	기타	기타	98-07-03	98-08-10	00-07-06	소니
1065	CXA2576	적외선 리모트 컨트롤 시스템 수신용 IC	바이폴라	기타	기타	99-04-20	99-06-08	00-07-06	소니
1066	G1090	집적 컨트롤 로직 내장 고파워 2×4 안테나 스위치 MMIC	기타	기타	기타	99-06-08	99-07-26	00-07-06	소니
1067	G1084	집적 컨트롤 로직 내장 고파워 2×4 안테나 스위치 MMIC	기타	기타	기타	99-06-15	99-08-05	00-07-06	소니
1068	HD6437490	DAB 디코더	MOS	CMOS	로직	98-06-09	98-07-15	00-07-10	히타치세이사쿠쇼
1069	HM621400H/HM624100H/HM628511H/HM6216255H	4M비트 하이스피드 SRAM	MOS	CMOS	메모리	98-02-05	98-08-06	00-07-24	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1070	LC82151	FAX용 1칩 콘트롤러 IC	MOS	CMOS	로직	98-04-24	98-07-31	00-07-27	상요덴기
1071	MB86615	IEEE1394 직렬 버스 제어기	MOS	CMOS	로직	98-07-23	98-08-26	00-08-17	후지쓰
1072	HD6433637	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-02-09	98-08-26	00-08-18	히타치세이사쿠쇼
1073	HD6472237	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-06-09	98-09-03	00-08-18	히타치세이사쿠쇼
1074	IDEC HF9909A12_0017	Radio Frequency를 이용한 인식코드 전송장치	MOS	CMOS	리니어	99-09-12	. .	00-08-18	이광엽
1075	CIS99-01	CMOS Image sensor Array	MOS	CMOS	기타	99-09-30	. .	00-08-18	조경록
1076	SDA1000	8비트 100MHz 디지털 아날로그 변환기	MOS	CMOS	기타	00-05-31	. .	00-08-22	서두인칩
1077	MB81F64842D	64M싱크로너스 다이나믹RAM	MOS	CMOS	메모리	98-07-27	98-09-11	00-08-30	후지쓰
1078	G1078	GSM 듀얼 밴드용 SP4T 안테나 스위치 3V+Logic	기타	기타	기타	99-06-29	99-09-10	00-09-07	소니
1079	D464336ALS19836KF001	4Mbit SRAM	Bi-MOS	CMOS	메모리	98-05-29	98-09-30	00-09-19	닛본덴기
1080	HD64F2148R/HD64F2138R	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-03-11	98-09-24	00-09-21	히타치세이사쿠쇼
1081	HD404669	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	96-11-14	98-12-09	00-10-05	히타치세이사쿠쇼
1082	HN29W6411A	64M비트 플래시 메모리 A마스크	MOS	CMOS	메모리	97-05-08	98-11-20	00-10-05	히타치세이사쿠쇼
1083	HD6433657	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	97-10-27	98-10-29	00-10-05	히타치세이사쿠쇼
1084	MB15G212	이동체 통신기기용 반도체 집적회로	Bi-MOS	기타	기타	99-02-25	99-03-11	00-10-05	후지쓰
1085	MB15G207	다운 콘버터 LSI	Bi-MOS	기타	기타	99-03-16	99-04-05	00-10-05	후지쓰
1086	MBM29LV160E	16M 플래쉬 메모리	MOS	CMOS	메모리	98-09-02	99-07-08	00-10-05	후지쓰
1087	MBM30LV0064	64M NAND형 플래쉬 메모리	MOS	CMOS	메모리	98-05-22	99-01-18	00-10-05	후지쓰

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1088	MBM29SL160D	16M 플래쉬 메모리	MOS	CMOS	메모리	98-07-09	98-12-14	00-10-05	후지쓰
1089	MB91V110	FR 32비트 오리지널아키텍쳐 내장형 제어기	MOS	CMOS	마이크로프로세서	99-03-15	99-05-07	00-10-05	후지쓰
1090	MB87M0010	세미 커스텀 내장형 어레이	MOS	CMOS	로직	99-03-05	99-05-06	00-10-05	후지쓰
1091	MB86614	IEEE1394 시리얼 버스 컨트롤러	MOS	CMOS	로직	99-02-04	99-02-19	00-10-05	후지쓰
1092	MB86511	AS-MO 콘트롤러	MOS	CMOS	로직	98-12-04	99-01-22	00-10-05	후지쓰
1093	A3304	ETC용 IF IC	바이폴라	기타	리니어	99-05-10	99-09-23	00-10-05	소니
1094	CXA1959N	FM 및 AM 라디오	바이폴라	기타	리니어	99-10-07	99-11-10	00-10-05	소니
1095	LC89217	공중 전화 회선망용 14400bps 모뎀 IC	MOS	CMOS	로직	98-08-31	98-10-20	00-10-12	상요덴기
1096	TB1274AF	멀티 컬러 TV	Bi-MOS	CMOS	리니어	00-01-28	00-02-25	00-10-26	도시바
1097	LC821040-NF4	FAX·스캐너용 컬러 화상 처리 IC	MOS	CMOS	로직	97-10-02	98-11-09	00-10-31	상요덴기
1098	LC82210LK-PE3	모션 JPEG 대응 인코더/디코더 IC	MOS	CMOS	로직	98-10-07	98-11-04	00-10-31	상요덴기
1099	AC1088	무전기에 적용하며, 파워엠프 선형성을 증가시켜, 성능증가와 더불어 소비전력을 줄이는 효과를 갖는다.	기타	CMOS	리니어	99-12-31	. .	00-11-06	전자통신연구원
1100	ES_MS10135_kmg2	5비트 디지털 단일칩 초고주파 위상변위기	기타	기타	기타	99-12-22	00-11-01	00-11-06	전자통신연구원
1101	00PS5B-13G15G	Ku-밴드 5-비트 위상변위기 MMIC	기타	기타	기타	00-03-31	01-11-01	00-11-06	전자통신연구원
1102	ES_MS10135_msj2	5비트 디지털 단일칩 초고주파 위상변위기	기타	기타	기타	99-12-22	00-11-01	00-11-06	전자통신연구원
1103	KIA88R05PI	On/Off 기능을 내장한 4단자 Low Drop Voltage Regulator IC	바이폴라	기타	리니어	00-06-10	00-12-01	00-11-08	케이이씨
1104	HM628512B/HM62V8512B/HM62W8512B	4M비트 스태틱 RAM	MOS	CMOS	메모리	98-03-10	98-12-18	00-11-10	히타치세이사쿠쇼
1105	97GSBIC-100	IDDQ 테스팅을 위한 내장형 전류감지기	MOS	CMOS	리니어	97-05-31	99-10-01	00-11-17	한석붕
1106	97KNUT-CMAC10b	(10-b,10-b)×(10-b,10-b) 복소수 승산-누적기 회로	MOS	CMOS	로직	97-08-30	. .	00-11-17	신경욱

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1107	99KNUT-DMM	단정도/배정도 이중모드 승산기	MOS	CMOS	로직	99-11-30	. .	00-11-17	신경욱
1108	99KNUT-PADFE7	파이프라인 방식으로 동작하는 적응 결정귀환 등화기	MOS	CMOS	로직	99-11-30	. .	00-11-17	신경욱
1109	2000SG10b100M-DAC	10b 100MHz CMOS D/A Converter (변환기)	MOS	CMOS	리니어	00-08-30	00-08-30	00-11-17	이승훈
1110	MCSA_IDEC20	새로운 구조의 고속 가산기	MOS	CMOS	로직	99-12-29	. .	00-11-17	이광엽
1111	99LP_ST_DIV	셀프타임드 나눗셈기	MOS	CMOS	기타	99-07-22	. .	00-11-17	원재희
1112	Low Noise Amplifier	Voltage Controlled Oscillator	MOS	CMOS	기타	99-07-10	99-07-10	00-11-17	윤헌일
1113	Voltage Controlled Oscillator	Voltage Controlled Oscillator	MOS	CMOS	기타	99-10-10	99-10-10	00-11-17	박진구
1114	Ka 대역 저잡음증폭기	LMDS용 저잡음증폭기	기타	기타	기타	99-10-01	. .	00-11-17	황인갑
1115	LV1018	돌비 서라운드용 패시브 디코더 IC	Bi-MOS	CMOS	리니어	98-06-05	99-02-08	00-11-21	상요덴기
1116	LV1150	가상 음악 시스템 IC	Bi-MOS	CMOS	리니어	98-07-31	99-02-16	00-11-21	상요덴기
1117	LC86F8716A	플래쉬 EEPROM 내장 8비트 1칩 마이크로컴퓨터 IC	MOS	CMOS	마이크로프로세서	98-06-15	99-09-09	00-11-21	상요덴기
1118	D4564841G5-A10B-9JF 9849 L5001	64M비트 싱크로너스 DRAM	MOS	CMOS	메모리	98-03-13	98-11-25	00-11-24	닛본덴기
1119	D432836ALGF-A339 918P7217	2M비트 싱크로너스 SRAM	MOS	CMOS	메모리	98-08-13	98-12-01	00-11-24	닛본덴기
1120	μPD78 4916B	16비트 싱글 칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	96-12-04	98-12-01	00-11-24	닛본덴기
1121	ACMD-01	모터 구동 회로	MOS	CMOS	로직	00-09-30	01-04-01	00-11-27	전자부품 연구원
1122	99AX222-0	8-bit 100 Msps Low-Voltage, High-Speed Digital-to-Analog Converter	MOS	CMOS	기타	99-08-05	99-12-10	00-12-18	아남 반도체

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1123	99AX211-1	8-bit 30 Msps Low-Voltage, High-Speed Analog-to-Digital Converter	MOS	CMOS	기타	99-08-05	99-12-10	00-12-18	아남 반도체
1124	HD64F2147N/ HD64F2137N/ HD64F2142R/ HD64F2132R	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-12-02	99-01-29	00-12-20	히타치세이사쿠쇼
1125	HD6433887	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-11-18	99-01-08	00-12-20	히타치세이사쿠쇼
1126	D45128163G5 -A10B-9JF 9851K9909	128M비트 싱크로너스 DRAM	MOS	CMOS	메모리	98-02-27	99-01-06	00-12-26	닛본덴기
1127	D4565821G5-A75 - 9 J F 9916K9502	64M비트 싱크로너스 DRAM	MOS	TTL	메모리	98-07-22	99-01-18	00-12-26	닛본덴기
1128	ECRYPT01	SEED 및 Triple-DES 암호처리 칩	MOS	CMOS	로직	00-05-01	01-12-01	00-12-28	전자통신 연구원

9. '01년 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1129	HD6433627	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-01-25	99-06-18	01-01-03	히타치세이사쿠쇼
1130	HD6473627	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-11-10	99-01-28	01-01-03	히타치세이사쿠쇼
1131	LC75742E	1/2 듀티 VFD 드라이버 IC	MOS	CMOS	로직	98-10-26	99-08-12	01-01-09	상요덴기
1132	MB81FL12442	128M 싱크로너스 다이나믹 RAM	MOS	CMOS	메모리	99-01-18	99-05-10	01-01-11	후지쓰
1133	LC72P3700	전자 동조용 1칩 마이크로 컨트롤러 IC	MOS	CMOS	로직	98-01-19	99-05-10	01-01-18	상요덴기
1134	HD6417612R	32비트 RISC 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-09-23	99-02-01	01-01-19	히타치세이사쿠쇼
1135	LC868364A	8비트 1칩 마이크로 컴퓨터 IC	MOS	CMOS	마이크로프로세서	98-12-30	99-02-08	01-01-30	상요덴기
1136	LC75893M	1/3 듀티 다이나믹 LCD 표시 드라이버 IC	MOS	CMOS	로직	97-12-19	99-02-19	01-01-30	상요덴기
1137	LC72345W	PLL, LCD 드라이버 내장 저전압 전자 동조 1칩 마이크로 컨트롤러 IC	MOS	CMOS	로직	98-12-10	99-02-18	01-02-06	상요덴기
1138	LC75844M	1/4듀티 범용 LCD 드라이버 IC	MOS	CMOS	로직	98-12-07	99-09-08	01-02-06	상요덴기
1139	HD64F3857	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-01-13	99-03-24	01-02-08	히타치세이사쿠쇼
1140	HD6432237	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-02-10	00-02-09	01-02-08	히타치세이사쿠쇼
1141	HD6433867	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-11-17	99-02-26	01-02-08	히타치세이사쿠쇼
1142	CXD9542GB	128 Bit MPU	MOS	CMOS	마이크로프로세서	99-09-02	99-09-21	01-02-13	도시바

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1143	HY57V161610	6th 16M SDRAM	MOS	CMOS	메모리	98-01-01	99-04-01	01-02-22	현대전자
1144	HY29F002TT	0.35μ stack gate cell을 사용한 STANDARD x8전용 2M FLASH MEMORY	MOS	CMOS	메모리	97-03-01	99-09-01	01-02-22	현대전자
1145	HY57V1298020	2nd 128M SDRAM	MOS	CMOS	메모리	97-09-01	99-03-10	01-02-22	현대전자
1146	HY57V2571620	1st 256M SDRAM	MOS	CMOS	메모리	98-12-17	99-05-01	01-02-22	현대전자
1147	HY57V1291620	3rd 128M SDRAM	MOS	CMOS	메모리	99-03-01	00-02-01	01-02-22	현대전자
1148	HY29F800TT	0.35μ stack gate cell을 사용한 (x8 / x16겸용) 8M FLASH MEMORY	MOS	CMOS	메모리	96-09-01	99-06-01	01-02-22	현대전자
1149	HY29F200	split gate cell을 사용한 x8 / x16 겸용 2M FLASH MEMORY	MOS	CMOS	메모리	96-03-30	99-06-01	01-02-22	현대전자
1150	HY29F040T	split gate cell을 사용한 x8전용 even sector 4M FLASH MEMORY	MOS	CMOS	메모리	96-03-30	99-06-01	01-02-22	현대전자
1151	HY5DV651622	4th 64M DDR(Double Data Rate) SDRAM	MOS	CMOS	메모리	98-04-30	99-09-30	01-02-22	현대전자
1152	HY29DS163	0.35μ stack gate cell을 사용한 dual bank 16M FLASH MEMORY	MOS	CMOS	메모리	99-06-10	00-04-01	01-02-22	현대전자
1153	HY57V653220	2M x 32 DDR(Double Data Rate) SDRAM	MOS	CMOS	메모리	99-06-25	00-05-01	01-02-22	현대전자
1154	HY5DU1291622	128M DDR(Double Data Rate) SDRAM	MOS	CMOS	메모리	98-09-01	99-05-01	01-02-22	현대전자
1155	HY29F080T	0.35μ stack gate cell을 사용한 STANDARD x8전용 8M FLASH MEMORY	MOS	CMOS	메모리	96-06-01	99-06-01	01-02-22	현대전자
1156	HY57V651620	4th 64M SDRAM	MOS	CMOS	메모리	98-06-01	99-04-30	01-02-22	현대전자
1157	HY29F400TT	0.35μ stack gate cell을 사용한 (x8 / x16겸용) 4M FLASH MEMORY	MOS	CMOS	메모리	98-12-01	99-06-01	01-02-22	현대전자

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1158	HD407A4359R	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-01-29	99-03-30	01-03-02	히타치세이사쿠쇼
1159	HD6432142/HD6432132/HD6432130	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-09-29	99-03-24	01-03-02	히타치세이사쿠쇼
1160	HM62G36128	4M비트 싱크로너스 스태틱 RAM	MOS	CMOS	메모리	98-09-15	99-03-30	01-03-02	히타치세이사쿠쇼
1161	HM62V16256B/HM62V16258B/HM62W16256B/HM62W16258B	4M비트 스태틱 RAM	MOS	CMOS	메모리	98-07-17	99-03-30	01-03-02	히타치세이사쿠쇼
1162	TA1303BFN	신호 처리 IC	바이폴라	기타	리니어	99-05-19	99-06-28	01-03-22	도시바
1163	HD64F7055R	32비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-08-21	99-12-07	01-03-27	히타치세이사쿠쇼
1164	HD64E7055	32비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	98-09-17	99-07-09	01-03-27	히타치세이사쿠쇼
1165	SSL5803	게임 소프트 카피 방지용 FLASH 내장 ASIC	MOS	CMOS	로직	99-04-05	99-04-23	01-04-19	세이코엡손
1166	CXA2134Q	US 음성 다중 디코더	바이폴라	기타	리니어	99-12-21	00-01-14	01-04-24	소니
1167	CXA3271GE	지문 센서	MOS	CMOS	리니어	99-12-02	00-01-22	01-04-24	소니
1168	MA2000	10Mbps 송수신기 집적회로 (Transceiver IC)	Bi-MOS	기타	기타	01-02-01	. .	01-04-25	㈜메이드테크놀러지
1169	HD6433624S	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-04-20	99-12-22	01-05-04	히타치세이사쿠쇼
1170	HD64F7054	32비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-03-24	99-05-11	01-05-04	히타치세이사쿠쇼
1171	HD6473847R	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-03-25	99-05-14	01-05-04	히타치세이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1172	HM62G36256	8M비트 싱크로너스 스태틱 RAM	MOS	CMOS	메모리	98-04-13	99-05-31	01-05-04	히타치세 이사쿠쇼
1173	MB15G211A	디지털 휴대전화용 PLL 내장 RFLSI	Bi-MOS	기타	기타	99-12-10	00-01-20	01-05-10	후지쓰
1174	HD404358R	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-01-29	99-10-04	01-05-28	히타치세 이사쿠쇼
1175	HD4074899	4비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-02-11	99-06-18	01-05-28	히타치세 이사쿠쇼
1176	HD64471F	미디어 버스 컨트롤러	MOS	CMOS	로직	99-05-10	99-06-10	01-05-28	히타치세 이사쿠쇼
1177	LA1843	전자 동조 대응 홈 스테레오용 튜너 IC	바이폴라	TTL	리니어	99-04-16	99-09-22	01-05-29	상요덴기
1178	LA75675M	NTSC 인터 캐리어 대응 VIF/SIF IC	바이폴라	기타	리니어	99-06-07	99-09-22	01-05-29	상요덴기
1179	LA76810	텔레비전용 PAL/NTSC 버즈 콘트롤 1칩 IC	바이폴라	IIL	리니어	98-11-15	99-07-22	01-05-29	상요덴기
1180	LA78045	BUS 시스템 대응 수직 편향 출력 IC	바이폴라	기타	리니어	98-09-07	99-06-02	01-05-29	상요덴기
1181	LA9238	CD-ROM용 디지털 서보 RF(FEP) IC	바이폴라	기타	리니어	98-10-28	99-08-31	01-05-29	상요덴기
1182	TDA 4857	In Car Entertainment(ICE) car radio	바이폴라	IIL	리니어	99-05-21	99-07-20	01-05-31	필립스
1183	128FF-DQ1-C 6 0 - 5 3 0006EW004	128M비트 주기억용 메모리	MOS	CMOS	메모리	99-04-30	99-07-12	01-06-05	닛본덴기
1184	D4564323G5-A70-9JH	64M SDRAM	MOS	CMOS	메모리	99-07-07	99-07-07	01-06-05	닛본덴기
1185	TA2125F	CD 플레이어용 드라이버	바이폴라	기타	리니어	99-09-02	99-10-27	01-06-14	도시바
1186	TA1323F	DVD/CD RF 엠프	바이폴라	IIL	로직	99-12-02	99-12-10	01-06-26	도시바
1187	TA8268H	4ch 파워 엠프	바이폴라	기타	리니어	99-10-15	99-11-09	01-06-26	도시바
1188	A3537	팬 모터 드라이버	바이폴라	기타	리니어	00-07-18	01-05-29	01-06-26	소니
1189	광대역 전력 증폭기	17 ~ 36GHz 대역에서 동작하는 광대역 초고주파 통신용 전력 증폭기	기타	기타	기타	01-06-12	2002. .	01-06-27	한국정보 통신학원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1190	HM5264165F	64M비트 싱크로너스 DRAM	MOS	CMOS	메모리	98-05-18	99-07-23	01-07-10	히타치세 이사쿠쇼
1191	LA2615	음장 재생 처리 IC	바이폴라	TTL	리니어	99-05-26	99-11-10	01-07-12	상요덴기
1192	LA2788C	돌비 프로로직 서라운드 매트릭스 디코더 IC	바이폴라	TTL	로직	99-06-29	00-01-21	01-07-12	상요덴기
1193	LA78040	BUS 시스템 대응 수직 편향 출력 IC	바이폴라	기타	리니어	98-08-26	00-02-28	01-07-12	상요덴기
1194	LV1050M	돌비 프로로직 서라운드 1칩 디코더 IC	Bi-MOS	CMOS	로직	99-06-29	01-01-21	01-07-12	상요덴기
1195	LR350T	4비트 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	99-05-18	99-07-13	01-07-12	샤프
1196	LMDS-LNA	LMDS용 저잡음증폭기	기타	기타	기타	01-06-30	02-08-01	01-07-18	윤경식
1197	MB90098A	온스크린 디스플레이 콘트롤러	MOS	CMOS	로직	99-06-22	99-09-28	01-07-25	후지쓰
1198	MB90099	온스크린 디스플레이 콘트롤러	MOS	CMOS	로직	99-03-25	99-08-31	01-07-25	후지쓰
1199	K4E160812D-FC50	16M EDO	Bi-MOS	CMOS	메모리	00-01-01	00-01-31	01-07-27	삼성전자
1200	K4S640832E-TC10	64M SDRAM	Bi-MOS	CMOS	메모리	00-11-01	00-12-31	01-07-27	삼성전자
1201	K4H560838B-TCA0	256M SDRAM	MOS	CMOS	메모리	00-05-01	00-11-23	01-07-27	삼성전자
1202	K4S280832C-TC75	128M SDRAM	MOS	CMOS	메모리	00-01-01	00-02-28	01-07-27	삼성전자
1203	K4R881869M-NCK8	288Mb RDRAM(HB version)	MOS	CMOS	메모리	00-06-28	00-10-27	01-07-27	삼성전자
1204	K4R271669B-NCK8	128M RDRAM(RAMBUS DRAM)	MOS	CMOS	메모리	00-07-08	00-10-19	01-07-27	삼성전자
1205	40G LNA	40GHz대역 2단 저잡음 증폭기	기타	기타	기타	00-10-31	. .	01-08-03	전자통신 연구원
1206	40G WLAN LNA	40GHz대역 4단 저잡음 증폭기	기타	기타	기타	00-10-31	. .	01-08-03	전자통신 연구원
1207	40G WLAN D-MIXER	40GHz대역 하향 주파수 혼합기	기타	기타	기타	00-10-31	. .	01-08-03	전자통신 연구원
1208	고격리도 주파수 혼합기	400~700 MHz 대역의 신호를 23~28 GHz 대역으로 변환하는 초고주파 통신용 상향주파수 혼합기	기타	기타	기타	01-06-30	. .	01-08-09	한국정보 통신학원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1209	HD64F2258	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-06-30	00-08-24	01-08-09	히타치세이사쿠쇼
1210	HD6432258	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-09-01	99-11-25	01-08-09	히타치세이사쿠쇼
1211	A5V850(RM203)	복사기, 프린터의 화상데이터 처리기능	MOS	CMOS	로직	99-12-15	99-12-15	01-08-10	리코
1212	A5V851(RU303)	복사기, 프린터의 화상데이터 처리기능	MOS	CMOS	로직	00-12-15	00-12-15	01-08-10	리코
1213	A5V860(RU301)	복사기, 프린터의 화상데이터 처리기능	MOS	CMOS	로직	00-12-07	00-12-07	01-08-10	리코
1214	CXA2174S	US 음성 다중 디코더	바이폴라	기타	리니어	00-10-17	01-03-14	01-08-16	소니
	1215	D45D128842G5-C75-9LG0004KY904	128MDDR SDRAM	MOS	CMOS	메모리	99-04-15	99-09-06	01-08-16
	1216	D4382362GF 9904K7057	8M비트 싱크로너스 스태틱 RAM	MOS	CMOS	메모리	98-12-17	99-08-21	01-08-16
1217	HM62G36256	8M비트 싱크로너스 스태틱 RAM	MOS	CMOS	메모리	98-06-04	99-09-27	01-08-23	히타치세이사쿠쇼
1218	HD6433847R	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-07-01	00-02-24	01-08-23	히타치세이사쿠쇼
1219	HD64F3854	8비트 싱글 칩 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-08-03	99-11-19	01-08-23	히타치세이사쿠쇼
1220	HM5164405F	64M 비트 DRAM F마스크	MOS	CMOS	메로리	99-03-31	99-09-29	01-08-29	히타치세이사쿠쇼
1221	HD5225405B	256M 비트 싱크로너스 DRAM	MOS	CMOS	메모리	98-12-07	99-08-31	01-08-29	히타치세이사쿠쇼
1222	ADT 2000	REMOTE PRE-AMP IC	바이폴라	기타	리니어	99-12-20	00-01-01	01-09-09	㈜한국고덴시

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1223	KRSYG-B14	10비트 30MHz Analog to Digital 변환기	MOS	CMOS	리니어	01-02-28	. .	01-09-03	김석기
1224	FAN8038B	모터 구동 회로	바이폴라	기타	리니어	99-10-01	99-12-02	01-09-04	페어차일 드코리아 반도체㈜
1225	7527	모터 구동 회로	바이폴라	TTL	기타	00-10-31	01-04-01	01-09-04	페어차일 드코리아 반도체㈜
1226	FAN8039D	모터 구동 회로	바이폴라	기타	리니어	00-06-10	00-12-29	01-09-04	페어차일 드코리아 반도체㈜
1227	7000	모터 구동 회로	바이폴라	기타	리니어	00-03-28	00-09-08	01-09-04	페어차일 드코리아 반도체㈜
1228	KA9259D	모터 구동 회로	바이폴라	기타	리니어	09-07-23	00-07-21	01-09-04	페어차일 드코리아 반도체㈜
1229	KMJHR A02	적외선(IrDA)송수신 IC	MOS	CMOS	리니어	01-05-30	. .	01-09-13	임신일
1230	TDA 4863	Vertical deflection booster	바이폴라	기타	리니어	99-08-27	99-09-15	01-09-14	필립스
1231	S-8241(SIC-368A A1옵션003)	S-8241(SIC-368A A1옵션003)	MOS	CMOS	리니어	99-11-12	99-10-12	01-10-05	세이코
1232	S-8241(SIC-368A A1옵션002)	S-8241(SIC-368A A1옵션002)	MOS	CMOS	리니어	99-11-12	99-10-12	01-10-05	세이코
1233	S-8241(SIC-368A A1옵션006)	S-8241(SIC-368A A1옵션006)	MOS	CMOS	리니어	99-11-12	99-10-12	01-10-05	세이코
1234	HD155021	듀얼밴드 PLL 리니어 IC	Bi-MOS	기타	리니어	99-03-25	99-11-17	01-10-11	히타치세 이사쿠쇼
1235	HD155131	RF 싱글칩 리니어 IC	Bi-MOS	기타	리니어	99-01-14	99-11-04	01-10-11	히타치세 이사쿠쇼
1236	HD6483164	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	99-09-10	99-10-22	01-10-11	히타치세 이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1237	D448012GY-C70 X - M J H 0039K7980	8M비트 CMOS 스태틱 RAM	MOS	CMOS	메모리	99-09-10	99-11-20	01-10-16	닛본덴기
1238	저전력 디지털 다운 컨버터 칩	이동통신 단말기의 중간주파수 처리용 저전력 병렬처리 필터	MOS	CMOS	로직	01-03-30	. .	01-10-19	장영범
1239	RFID용 저전력 C M O S Transponder 칩	RF 기술을 이용한 인식코드 전송기능을 갖는 칩	MOS	CMOS	리니어	01-03-31	. .	01-10-24	이광엽
1240	GPSKCR01-01	디지털 통신용 QPSK 클럭동기 복원회로	MOS	CMOS	로직	01-03-30	. .	01-10-25	조경록
1241	2001SG10b120M-ADC	10b 120MHz CMOS A/D Converter (변환기)	MOS	CMOS	리니어	01-08-31	. .	01-11-05	이승훈
1242	MMIC SPDT Switch	DC-3GHz SPDT MMIC 스위치	기타	기타	기타	01-10-30	02-12-01	01-11-07	윤경식 외1명
1243	WLAN-VCO	2.4 GHz 전압제어발진기	기타	기타	기타	01-10-31	02-12-01	01-11-08	황인갑
1244	KIPO 2000 KULKS B13	8비트 150MS/s 아날로그 디지털 변환기	MOS	CMOS	리니어	00-10-22	. .	01-11-08	이근석
1245	TLTRN/ W1VCO_2	근거리통신망(DSRC)용 Voltage Controlled Oscillator	기타	기타	기타	01-10-30	02-02-01	01-11-08	㈜텔트론
1246	TELTRON/ T5002	근거리통신망(DSRC)용 저잡음 증폭기	기타	기타	기타	01-10-30	02-02-01	01-11-08	㈜텔트론
1247	TLTRN/A1ASK-KA	근거리통신망(DSRC)용 ASK Modulator	기타	기타	기타	01-10-30	02-02-01	01-11-08	㈜텔트론
1248	TLTRN/A11M-1K	근거리통신망(DSRC)용 하향 주파수 혼합기	기타	기타	기타	01-10-30	02-02-01	01-11-08	㈜텔트론
1249	TLTRN/W1PR-1W	근거리통신망(DSRC)용 Prescaler	기타	기타	기타	01-10-30	02-02-01	01-11-08	㈜텔트론
1250	ETRI-EMD01v1	10Gb/s 전송속도의 광통신용 송신부의 시스템에 사용되는 광변조기를 구동하는 구동회로	기타	기타	기타	01-09-30	. .	01-11-08	전자통신 연구원외1
1251	ETRI-LA01v1	10Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되는 제한 증폭기 회로	기타	기타	기타	01-09-30	. .	01-11-08	전자통신 연구원외1

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1252	ETRI-LDD01v1	10Gb/s 전송속도의 광통신용 송신부의 시스템에 사용되는 다이오드를 구동하는 구동회로	기타	기타	기타	01-09-30	. .	01-11-08	전자통신 연구원외1
1253	ETRI-PreAmp01v1	10Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 광신호를 전기적 신호인 전압으로 변환증폭하는 회로이다.	기타	기타	기타	01-09-30	. .	01-11-08	전자통신 연구원외1
1254	ETRI-EAD01v1	10Gb/s 전송속도의 광통신용 송신부의 시스템에 사용되는 전계흡수형 변조방식의 다이오드를 구동하는 구동회로로 출력크기를 조절할수 있다	기타	기타	기타	01-09-30	. .	01-11-08	전자통신 연구원외1
1255	PA_EFB21	이동통신 단말기용 MESFET 전력증폭기	기타	기타	기타	01-07-31	. .	01-11-09	황인덕
1256	KIPO 2000 SJKJY A04	초저저항 MOS 스위치	MOS	CMOS	리니어	01-03-30	. .	01-11-09	김준엽
1257	전류테스팅을 위한 전류감지회로	회로검사용 전류 감지회로	MOS	CMOS	기타	01-03-31	. .	01-11-09	김정범
1258	KIPO 2000DGKSSA11	8-BIT Analog-Digital Converter	MOS	CMOS	로직	00-12-31	. .	01-11-09	송민규
1259	KJKSK-A10	QPSK 수신기 동기회로	MOS	CMOS	기타	01-03-31	. .	01-11-09	광주과학 기술원
1260	5.8GHz 저잡음 증폭기	GaAs PHEMT를 이용하여 5.8GHz 대역에서 동작하는 저잡음증폭기회로의 제작을 위한 배치설계	기타	기타	기타	01-11-07	. .	01-11-09	한국정보 통신학원
1261	GTP145-1	Ku-band 전력증폭기 칩	바이폴라	기타	기타	01-10-30	02-06-30	01-11-09	㈜가인 테크
1262	GRP145-2	Ku-band 전력증폭기 칩	바이폴라	기타	기타	01-10-30	02-06-30	01-11-09	㈜가인 테크
1263	PAGEN_5A_2	PCS 대역 단말기용 전력증폭 MMIC	바이폴라	기타	리니어	01-09-30	01-11-30	01-11-10	㈜젠스텍
1264	STA2001	Infra-Red Optical Signal Prdcessor	MOS	CMOS	리니어	01-11-06	01-12-01	01-11-10	실리콤텍 ㈜

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1265	LDT SH	32비트 DSP용 디코더	MOS	CMOS	마이크로프로세서	01-02-01	01-12-01	01-11-10	㈜엘디티
1266	KWLSY	512비트 RSY 암호 프로세서	MOS	CMOS	로직	01-03-31	. .	01-11-10	정용진 외 2명
1267	SEC ES0127 MPW00-2-B	512비트 RSA 암호 프로세서	MOS	CMOS	로직	01-03-31	. .	01-11-10	정용진 외 2명
1268	FC6812	24GHz 구동증폭기	기타	기타	기타	01-06-30	01-10-31	01-11-10	㈜FCI
1269	FC6621	35GHz 전압제어 발진기	기타	기타	기타	01-06-30	01-10-31	01-11-10	㈜FCI
1270	FC6882	24GHz 고출력 전력증폭기	기타	기타	기타	01-06-30	01-10-31	01-11-10	㈜FCI
1271	FC1703	SiGe Bi-CMOS Dual Band Tripple Mode Receiver	기타	기타	기타	01-03-31	01-10-31	01-11-10	㈜FCI
1272	FC5215	GaAs MESFET Receiver	기타	기타	기타	01-03-31	01-10-31	01-11-10	㈜FCI
1273	D45128841G5-S 7 5 - 9 J F 9943PU601	128M-bit SDRAM	MOS	CMOS	메모리	99-08-25	99-12-29	01-12-04	닛본덴기
1274	HD6483161	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-01-27	00-03-20	01-12-05	히타치세이사쿠쇼
1275	HD6483192	비접촉 IC카드용 LSI	MOS	CMOS	마이크로프로세서	00-05-17	00-06-15	01-12-05	히타치세이사쿠쇼
1276	01BTRF05-B	근거리 고속 무선통신, 특히 2.4GHz대 고속 블루투스의 송수신시스템에서 RF front end 모듈에서 사용되는 신호 증폭기의 배치설계	MOS	CMOS	기타	01-05-15	. .	01-12-19	전자통신연구원
1277	01BTRF05-C	근거리 고속 무선통신, 특히 2.4GHz대 고속 블루투스 시스템에서 중간주파수 신호를 2.4GHz대 신호로 변환시키는 주파수 변환기의 배치설계	MOS	CMOS	기타	01-05-15	. .	01-12-19	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1278	BMIX	ka-band용 부고조파 주파수 변환기 chip으로서, 24.25GHz~26.75GHz의 RF신호를 12GHz의 근처 LO신호를 이용하여 0.25~2.75GHz의 IF로 하향또는 0.25~2.75GHz의 IF주파수를 12GHz 대역의 LO를 이용하여 24.25~26.75GHz의 RF를 얻을수 있는 UP-DOWN 겸용, 부고조파, 이미지잡음 제거기능을 갖는 회로(GaAs MMIC로 배치설계)	기타	기타	기타	01-05-31	. .	01-12-19	전자통신 연구원
1279	ETRI TP001	비트 디지털 위상변위기 초고주파집적회로는 MESFET 기술을 사용하여 embeded high-low pass 필터 구조의 RF부분, CMOS TTL 외부회로와 인터페이스 가능한 negative edge-triggered D flip-flop 디지털 부분과 디지털 회로 입력에 ESD 보호회로로 구성	기타	기타	기타	01-10-31	. .	01-12-19	전자통신 연구원
1280	01BIF06-1	근거리 고속 무선통신, 특히 블루투스 2에 필요한 중간주파수 대역(50~400MHz) 아날로그 신호 처리용 집적회로 제작에 사용된 배치설계	MOS	CMOS	기타	01-06-13	. .	01-12-19	전자통신 연구원
1281	01BIF07-1	무선LAN, 블루투스 2 등의 근거리 고속 무선통신에 필요한 2.4GHz대 RF수신기 및 중간주파수 대역 아날로그 신호 처리용 집적회로 제작에 사용	MOS	CMOS	기타	01-07-18	. .	01-12-19	전자통신 연구원
1282	KULNA	Ku-band 무선중계용 저잡음 증폭기 chip으로서, 14GHz~14.5GHz 대역의 RF신호를 잡음지수가 최소화된 신호로 증폭시켜주는 회로(GaAs MMIC로 배치설계)	기타	기타	기타	01-05-31	. .	01-12-19	전자통신 연구원
1283	40GHz Band DRA40	40GHz 대역 무선중계용 중전력 증폭기 chip으로서, 35GHz~41GHz 대역의 신호를 12dB 이상의 이득을 가지고 최고 27dB까지의 출력으로 증폭가능(GaAs MMIC로 배치설계)	기타	기타	기타	00-07-31	. .	01-12-19	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1284	KUDRA	Ku-band 위성중계기용 구동 증폭기 chip으로서, 12.252GHz~12.752GHz의 RF신호를 증폭시켜주는 회로(GaAs MMIC로 배치설계)	기타	기타	기타	01-05-31	. .	01-12-19	전자통신 연구원
1285	KAMIX	Ku-band 위성중계기용 주파수 변환기 chip으로서, 30.6GHz~31.0GHz의 RF신호를 20.8GHz~21.2GHz의 IF로 하향 변환시키기 위한 회로(GaAs MMIC로 배치설계)	기타	기타	기타	01-05-31	. .	01-12-19	전자통신 연구원
1286	GLNA	ka-band용 저잡음 증폭기 chip으로서, 18.0GHz~25.0GHz의 RF신호를 증폭시켜주는 회로(GaAs MMIC로 배치설계)	기타	기타	기타	98-04-30	. .	01-12-19	전자통신 연구원
1287	LNA2	Ka-band 저잡음 증폭기 chip으로서, 28.0GHz~32.0GHz의 RF신호를 증폭시켜주는 회로(GaAs MMIC로 배치설계)	기타	기타	기타	98-04-30	. .	01-12-19	전자통신 연구원
1288	EIMR01RPT	Dual-band 중계기용 Rx MMIC로 전력이득을 갖는 2개의 저잡음 증폭기와 주파수를 낮추는 혼합기, 중간주파수 증폭기로 구성됨	기타	기타	기타	00-12-31	. .	01-12-19	전자통신 연구원
1289	PCS 단말기용 유기 EL Dr iver IC	128* 128 유기 EL 패널 제어 및 구동 드라이버 IC	MOS	CMOS	기타	01-09-30	01-09-30	01-12-19	전자부품 연구원
1290	CXD9615GB	128 Bit MPU	MOS	CMOS	마이크로프로세서	00-06-19	00-08-15	01-12-20	도시바
1291	2001SG8b52M-ADC	8b 52MHz CMOS A/D Converter(변환기)	MOS	CMOS	리니어	01-08-31	01-08-31	01-12-24	이승훈
1292	2001SG10b50M-ADC	10b 50MHz CMOS A/D Converter(변환기)	MOS	CMOS	리니어	01-08-31	01-08-31	01-12-24	이승훈
1293	TEF301SC10	디지털 방송수신기 DVB-CI 규격의 수신자제한장치 제어기	MOS	CMOS	로직	00-04-30	00-05-30	01-12-26	㈜토필드

10. '02년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1294	DRIVE320V2	32-비트 모터 컨트롤러	MOS	CMOS	로직	01-09-05	01-09-20	02-01-16	LG산전㈜
1295	TA2142FN	AM/FM 튜너	바이폴라	기타	리니어	00-04-20	00-06-20	02-01-29	도시바
1296	HD155173	듀얼밴드 APC 리니어 IC	Bi-MOS	기타	리니어	99-05-18	00-05-09	02-02-08	히타치세 이사쿠쇼
1297	HD64F2214	16비트 마이크로 프로세서	MOS	CMOS	마이크 로프로 세서	00-02-24	00-05-18	02-02-08	히타치세 이사쿠쇼
1298	HD6432238R	16비트 마이크로 프로세서	MOS	CMOS	마이크 로프로 세서	00-07-10	00-09-27	02-02-08	히타치세 이사쿠쇼
1299	HD6432225	16비트 마이크로 프로세서	MOS	CMOS	마이크 로프로 세서	00-03-07	00-10-05	02-02-08	히타치세 이사쿠쇼
1300	IDEC SEC ESO152E MPW 00-2-C	간단한 구조를 갖는 초고속 무선모뎀용 CCK 변복조기	MOS	CMOS	로직	02-02-05	· ·	02-02-26	학교법인 한양학원
1301	GTA10GD	OC-192 10Gbps 광대역 저잡음 전치증폭기 칩	광 IC	기타	기타	02-02-01	02-05-01	02-02-28	(주)가인 테크
1302	GTA3SD	OC-48 2.5Gbps 광대역 저잡음 전치증폭기 칩	광 IC	기타	기타	02-02-01	02-05-01	02-02-28	(주)가인 테크
1303	HD651340	8비트 마이크로 프로세서	MOS	CMOS	마이크 로프로 세서	00-06-06	00-08-11	02-03-07	히타치세 이사쿠쇼
1304	HD6483113S	8비트 마이크로 프로세서	MOS	CMOS	마이크 로프로 세서	00-01-12	00-10-13	02-03-07	히타치세 이사쿠쇼

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1305	HD651350	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-06-06	00-10-30	02-03-07	히타치세이사쿠쇼
1306	HD6437195	32비트 RISC 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-06-22	00-07-31	02-03-18	히타치세이사쿠쇼
1307	HD6437034B	32비트 RISC 마이크로 프로세서	MOS	CMOS	마이크로프로세서	01-03-07	01-04-25	02-03-18	히타치세이사쿠쇼
1308	LPL001	Power Management IC	바이폴라	기타	리니어	02-03-15	02-03-15	02-03-27	케이이씨
1309	CST56I01	스마트카드 제어용 IC	MOS	CMOS	로직	01-05-30	01-05-31	02-04-25	크로스반도체기술㈜
1310	CST51C01	스마트카드 제어용 IC	MOS	CMOS	로직	02-01-08	02-02-14	02-04-25	크로스반도체기술㈜
1311	TB62725FN	LED 드라이버	Bi-MOS	기타	리니어	00-02-08	00-11-24	02-05-07	도시바
1312	TDA 4822	COSMIC, Video Enhancement	MOS	CMOS	기타	00-05-31	00-07-04	02-05-13	코닌크리지케 필립스
1313	MBE002	전기차단기 Control IC	바이폴라	기타	리니어	01-11-01	02-01-10	02-05-15	주식회사 모빌일렉트론
1314	WKFRE08-2001	기준셀을 사용하지 않는 센싱 방법으로 동작하는 강유전체 메모리(FRAM)	MOS	CMOS	메모리	02-05-01	02-05-15	02-05-18	원광대학교
1315	WKKJS	단일 폴리 게이트를 갖는 플래쉬 메모리	MOS	CMOS	메모리	02-05-01	02-05-15	02-05-18	원광대학교
1316	02-CJ-ISLAB-1	CMOS image sensor에 사용 가능한 analog-digital converter	MOS	CMOS	리니어	02-05-10	· ·	02-05-20	청주대학교

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1317	SKJYS	FM Transmitter IC	MOS	CMOS	리니어	02-05-15	. .	02-05-24	서경 대학교
1318	S1C88V20	표시 콘트롤러 내장 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	00-04-10	00-06-14	02-05-24	세이코 엡손
1319	MBE00 3	자동차용 연료게이지 연료잔량 검출 IC	바이폴라	기타	리니어	01-04-01	01-05-01	02-05-30	주식회사 모빌일렉트론
1320	02CBIC001	32채널, 900MHz~905MHz의 동작주파수를 갖는 CMOS 주파수 합성기	MOS	CMOS	기타	02-02-28	03-06-30	02-05-30	전북 대학교
1321	CBHSK-KIPO 2001	256 bit High Radix Modular Multiplier	MOS	CMOS	로직	02-05-31	. .	02-05-31	충북 대학교
1322	HD64F2238R	16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	01-01-11	01-04-02	02-06-05	히타치세이사쿠쇼
1323	HD6417615AR	32비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-08-25	00-10-02	02-06-05	히타치세이사쿠쇼
1324	EPHMA-VMT1212	V-band 대역 MBS(Mobile Bradband System) 송신부의 전력 증폭용 단일칩 초고주파 집적회로 (MMIC Power Amplifier)	기타	기타	기타	01-12-10	02-12-01	02-06-14	한국전자통신연구원
1325	EPHMA-QWLT1422	Q-band 대역 무선랜 및 광대역 무선 멀티미디어용 시스템 송신부의 전력 증폭용 단일칩 초고주파 집적회로 (MMIC Power Amplifier)	기타	기타	기타	01-05-16	02-12-01	02-06-14	한국전자통신연구원
1326	EPHMA-QWLT1317	Q-band 대역 무선랜 및 광대역 무선 멀티미디어용 시스템 송신부의 구동 증폭용 단일칩 초고주파 집적회로 (MMIC Power Amplifier)	기타	기타	기타	01-05-16	02-12-01	02-06-14	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1327	D4416001G5-A17-9JF 0011K9901	16M 비트 CMOS 고속 스태틱 RAM	MOS	CMOS	메모리	99-05-11	00-08-30	02-06-25	닛본덴기
1328	GVD2.5G4-1	근거리 광통신용 다채널 VSR application에 사용되는 송신부 출력단에 사용되는 4채널 2.5Gbps 표면방출레이저 구동 칩	기타	기타	기타	01-12-08	03-04-01	02-06-27	(주)가인테크
1329	GVD10G-1	근거리 광통신용 VSR application에 사용되는 송신부 출력단에 사용되는 10Gbps 표면방출레이저 구동 칩	기타	기타	기타	01-11-17	03-04-01	02-06-27	(주)가인테크
1330	HD65011R	비접촉 IC카드용 LSI	MOS	CMOS	마이크로프로세서	00-11-22	01-02-21	02-07-04	히타치세이사쿠쇼
1331	HD651460	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-08-25	01-06-12	02-07-04	히타치세이사쿠쇼
1332	HD651330	8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-12-20	01-06-18	02-07-04	히타치세이사쿠쇼
1333	LR35950	32비트 RISC CPU 및 8비트 CISC CPU 탑재 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	00-06-09	00-07-18	02-07-09	샤프
1334	LR35926	8비트 CISC CPU 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	00-07-18	00-09-11	02-07-09	샤프
1335	TB62726F	TB62725F의 시프트 레지스터·래치·AND 게이트·정전류 출력 회로를 16비트 구성으로 한 16비트 LED 드라이버	Bi-MOS	기타	리니어	00-09-18	01-03-01	02-07-16	도시바

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1336	타원곡선 암호프로세서 칩	타원곡선 암호알고리즘을 처리하는 프로세서	MOS	CMOS	마이크로프로세서	02-05-30	· ·	02-08-08	서경 대학교
1337	HD65145C	8비트 CPU, ROM, RAM, EEPROM, I/O포트를 내장한 8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	00-08-24	01-01-18	02-08-12	히타치세이사쿠쇼
1338	HD64F2215	256kB FLASH, 16kB RAM, USB, A/D, SCI, TMR, PORT를 내장한 16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	01-05-25	01-11-12	02-08-12	히타치세이사쿠쇼
1339	HD64F2268	256kB FLASHROM, 16kB RAM, LCD, DTMF, SCI, TMR, PORT, A/D, D/A를 내장한 16비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	01-05-29	01-07-24	02-08-12	히타치세이사쿠쇼
1340	HD651450	8비트 CPU, ROM, RAM, EEPROM, I/O포트를 내장한 8비트 마이크로 프로세서	MOS	CMOS	마이크로프로세서	01-01-16	01-05-09	02-08-12	히타치세이사쿠쇼
1341	TA1339F	위상차 방식 트래킹 에러 신호 생성·DVD/CD 자동 조정 RF 이퀄라이저 회로·RF 리플 검출 등의 기능을 구비한 DVD용 RF 앰프	바이폴라	IIL	로직	00-12-25	01-01-15	02-08-27	도시바
1342	CXA3271AGE	타이밍 제네레이터를 1칩화한 모노시릭 IC를 이용한 지문 센서	MOS	CMOS	리니어	00-08-10	00-10-10	02-10-01	소니
1343	BSTD21	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전원회로, 전력이득을 조절하는 제어 회로로 구성되며, on-wafer 측정을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1344	B S T D 2 6	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전원회로, 전력이득을 조절하는 제어 회로로 구성되며, 패키지 제작을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1345	B S T D 2 5	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전원회로, 전력이득을 조절하는 제어 회로로 구성되며, 패키지 제작을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1346	B S T D 2 3	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전원회로, 전력이득을 조절하는 제어 회로로 구성되며, 패키지 제작을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1347	B S T D 2 8	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전력이득을 조절하는 기능을 갖는 전원회로로 구성되며, 패키지 제작을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1348	B S T D 2 7	초소형 다기능 트랜서버용 구동증폭기로 RF 입/출력과 전원회로, 전력이득을 조절하는 제어 회로로 구성되며, 패키지 제작을 위한 패드 배치가 이루어져 있다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1349	B S T D 1 1	초소형 다기능 트랜서버용 구동증폭기로 입출력, 전원회로, 그리고 이득조절단자로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1350	B S T U D 1 2	초소형 다기능 트랜서버용 상향주파수혼합기와 구동증폭기로 상향주파수혼합기는 IF 와 LO 입력, RF 출력과 전원회로로, 구동증폭기는 입출력, 전원회로, 그리고 이득조절단자로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1351	B S T U D 1 3	초소형 다기능 트랜서버용 상향주파수혼합기와 구동증폭기로 상향주파수혼합기는 IF 와 LO 입력, RF 출력과 전원회로로, 구동증폭기는 입출력, 전원회로, 그리고 이득조절단자로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1352	BSTUD14	초소형 다기능 트랜서버용 상향주파수혼합기와 구동증폭기로 상향주파수혼합기는 IF 와 LO 입력, RF 출력과 전원회로로, 구동증폭기는 입출력, 전원회로, 그리고 이득조절단자로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1353	BSTU11	초소형 다기능 트랜서버용 상향주파수혼합기로 IF 와 LO 입력, RF 출력과 전원회로로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1354	BSTUD11	초소형 다기능 트랜서버용 상향주파수혼합기와 구동증폭기로 상향주파수혼합기는 IF 와 LO 입력, RF 출력과 전원회로로, 구동증폭기는 입출력, 전원회로, 그리고 이득조절단자로 구성된다	바이폴라	기타	기타	02-05-15	06-11-01	02-10-08	한국전자통신연구원
1355	PH_UM60_03	v-band 광대역무선멀티미디어용 시스템송신부 주파수변환 MMIC	기타	기타	기타	01-12-31	02-12-01	02-10-08	한국전자통신연구원
1356	PH_UM40414	Q-band 무선랜 및 광대역무선멀티미디어용 시스템송신부 주파수변환 MMIC	기타	기타	기타	01-12-31	02-12-01	02-10-08	한국전자통신연구원
1357	HOMES2010	HOMES2010은 10Mbps급 전화선 모뎀(HomePAN2.0)의 AFE(Analog Front End)에 적용하기 위해 설계/제작한 반도체집적회로임	MOS	CMOS	기타	02-05-31	03-03-01	02-10-08	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1358	HOMES2010_T1	HOMES2010_T1은 10Mbps급 전화선모뎀(HomePAN2.0)의 AFE(Analog Front End)에 사용되는 10비트 ADC(Analog-to-digital Converter)와 DAC(Digital-to-Analog Converter)를 설계/제작한 반도체집적회로임	MOS	CMOS	기타	02-05-31	03-03-01	02-10-08	한국전자통신연구원
1359	HOMES2010_T2	HOMES2010_T2는 10Mbps급 전화선 모뎀(HomePAN2.0)의 AFE(Analog Front End)에 사용되는 VGA(Variable Gain Amplifier), LPF(Low Pass Filter), LD(Line Driver)를 설계/제작한 반도체집적회로임	MOS	CMOS	기타	02-05-31	03-03-01	02-10-08	한국전자통신연구원
1360	ETRI_IMT2000 PA v1	IMT-2000용 단말기 수신부에 사용되는 증폭기	기타	기타	기타	02-01-15	· ·	02-10-08	한국전자통신연구원
1361	ETRI_IMT2000 PA v2	IMT-2000용 단말기 수신부에 사용되는 증폭기	기타	기타	기타	02-01-15	· ·	02-10-08	한국전자통신연구원
1362	TMPA8803CPN	8비트의 CPU·ROM·RAM등 외에 스크린 상의 디스플레이 컨트롤러·자막 디코더 등을 포함한 PAL/NTSC텔레비전용 집적회로	MOS	CMOS	마이크로프로세서	00-11-27	01-05-16	02-10-29	도시바
1363	MultiStream II(AT2021)	디지털비디오 녹화(DVR : Digital Video Recording)시스템, 비디오 편집(Video Editing)시스템 등에 적합한 MPEG-2 MP@ML 표준을 만족하는 다채널 비디오 영상 압축 칩	MOS	CMOS	로직	01-07-23	01-11-09	02-10-29	(주)펜타마이크로

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1364	2차 전지 보호회로를 위한 충전, 방전 스위치 구조의 설계	2차 전지 보호회로의 충전, 방전 전류 흐름 제어 스위치를 MOSFET의 diode connection 기법을 이용하여 보호회로 칩 내에 집적한 스위치 구조	MOS	CMOS	리니어	01-09-26	. .	02-10-29	국민 대학교
1365	시험검사가 용이한 내장형 전류 감지회로	COMS 집적회로의 제조 및 동작 중에 발생하는 결함을 검출하도록 CMOS 집적회로에 내장되는 전류 감지회로	MOS	CMOS	기타	02-04-30	. .	02-10-31	김정범
1366	전류 감지회로를 이용한 타이밍 오류 검출회로	전류 감지회로를 이용하여 순차시스템에서 발생하는 준비시간(setup time)위반, 대기시간(hold time) 위반 등과 같은 타이밍 오류를 검출하는 회로	MOS	CMOS	기타	02-03-31	. .	02-10-31	김정범
1367	CMOS 4치 논리 전가산기	4치 논리 전가산기를 전류모드 CMOS 회로로 구현한 회로	MOS	CMOS	기타	02-05-31	. .	02-10-31	김정범
1368	전류모드 CMOS 4치 논리 8×8 병렬 곱셈기	8×8 병렬 곱셈기를 전류모드 CMOS 회로로 구현한 회로	MOS	CMOS	기타	02-05-31	. .	02-10-31	김정범
1369	Low swing 기술을 이용한 저전력 8×8 곱셈기	CPL 구조의 전가산기에 low-swing 기술을 적용하여 8×8 병렬 곱셈기를 저전력 동작을 하도록 구현한 회로	MOS	CMOS	기타	02-07-31	. .	02-10-31	김정범
1370	4치 논리회로를 이용한 전류 모드 32 × 32 modified Booth 곱셈기	32×32 modified Booth 곱셈기를 전류모드 CMOS 회로로 구현한 회로	MOS	CMOS	기타	02-08-31	. .	02-10-31	김정범

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1371	SJMSID2002-A05	10-bit Resolution, 10MS/s의 성능을 가지는 파이프라인 구조의 ADC로서 18.7mW의 낮은 소비전력과 1㎟의 작은 Core 면적을 특징으로 한다.	MOS	CMOS	기타	02-04-30	. .	02-10-31	세종 대학교
1372	SEA505B	전원 차단기 집적회로(Circuit breaker IC)	바이폴라	기타	기타	02-09-10	. .	02-11-11	(주)메이드테크놀러지
1373	ML9361	128 출력 유기 EL 양극 드라이버 IC로서, 양극 드라이버는 정전류출력으로 되어 있고, 각 출력마다 전류와 펄스폭을 조정할 수 있는 LSI이다	MOS	CMOS	로직	02-05-11	02-06-10	02-11-21	오키덴키 고교
1374	TA2154FN	1.5V계 포터블 라디오, 헤드폰 스테레오의 AM/FM/TV 수신용으로 개발된 튜너 반도체 집적회로	바이폴라	IIL	리니어	01-09-19	01-11-28	02-12-11	도시바
1375	전류 제어 방식을 이용한 OLED 디스플레이 구동 IC	128 × 128 유기 EL 패널 제어 및 구동하기 위한 드라이버 IC	MOS	CMOS	기타	02-11-30	02-11-30	02-12-12	전자부품 연구원
1376	3V/5V의 IC-Card 수용이 가능한 리더용 AFE(Analog Front-End) 인터페이스	3V/5V의 IC-Card 수용이 가능한 리더용 인터페이스 IC	MOS	CMOS	기타	02-12-10	02-12-10	02-12-23	전자부품 연구원
1377	HCH602099_RF01	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	01-11-30	03-02-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1378	RFIC02_RF25	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	02-09-15	03-02-01	02-12-24	한국전자통신연구원
1379	MoVa ASIC	0.35마이크로 CMOS 공정을 이용하여 1Poly 4M을 사용하였다. 배치배선은 ARM7을 중앙에 두고 각 모듈을 배치배선 하였다	MOS	CMOS	기타	02-03-31	03-07-01	02-12-24	한국전자통신연구원
1380	ETRI-TIA_1006_V4	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 광신호의 전류를 전기적 신호인 전압으로 변환 증폭하는 회로이다	기타	기타	기타	02-10-30	04-01-01	02-12-24	한국전자통신연구원
1381	ETRI-NAND_02_V1	디지털 회로를 구성하는 기본적인 logic gate로써 두 개의 입력에 대한 AND, NAND동작을 하는 회로이다	기타	기타	로직	02-10-30	04-01-01	02-12-24	한국전자통신연구원
1382	ETRI-RS_latch_02_V1	디지털 회로를 구성하는 기본적인 순서논리회로(sequential logic circuits)인 RS F/F(Flip flop)으로 R(reset)과 S(set) 두개의 입력을 가진 회로이다	기타	기타	로직	02-10-30	04-01-01	02-12-24	한국전자통신연구원
1383	ETRI-Gated_RS_latch_02_V1	디지털 회로를 구성하는 기본적인 동기식 순서논리회로(asynchronous sequential logic circuits)인 RS F/F(Flip flop)으로 R(reset),S(set)와 Ck(clock) 세개의 입력과 두개의 상보적인 출력을 가진 회로이다	기타	기타	로직	02-10-30	04-01-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1384	DAC_TP1	DAC_TP1은 10Mbps급 전화선모뎀(HomePNA 2.0)의 AFE(Analog Front End)에 사용되는 10비트 DAC(Digital-to-Analog Converter)를 설계/제작한 반도체 집적회로임	MOS	CMOS	기타	02-11-14	03-03-01	02-12-24	한국전자통신연구원
1385	ADC_TP1	ADC_TP1은 10Mbps급 전화선모뎀(HomePNA 2.0)의 AFE(Analog Front End)에 사용되는 10비트 ADC(Analog-to-Digital Converter)를 설계/제작한 반도체 집적회로임	MOS	CMOS	기타	02-11-14	03-03-01	02-12-24	한국전자통신연구원
1386	H-20112	H-20112는 10Mbps급 전화선모뎀(HomePNA 2.0)의 AFE(Analog Front End)에 적용하기 위해 설계/제작한 반도체집적회로임	MOS	CMOS	기타	02-11-14	03-03-01	02-12-24	한국전자통신연구원
1387	DAC-TP2	DAC_TP2는 10Mbps급 전화선모뎀(HomePNA 2.0)의 AFE(Analog Front End)에 사용되는 10비트 DAC(Digital-to-Analog Converter)를 설계/제작한 반도체 집적회로임	MOS	CMOS	기타	02-11-14	03-03-01	02-12-24	한국전자통신연구원
1388	ADC-TP2	ADC_TP2는 10Mbps급 전화선모뎀(HomePNA 2.0)의 AFE(Analog Front End)에 사용되는 10비트 ADC(Analog-to-Digital Converter)를 설계/제작한 반도체 집적회로임	MOS	CMOS	기타	02-11-14	03-03-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1389	EPHPA3-CWLT252	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-04	03-10-01	02-12-24	한국전자통신연구원
1390	EPHPA2-CWLT1627	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-04	03-10-01	02-12-24	한국전자통신연구원
1391	PA_5G16V1R02	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-20	03-10-01	02-12-24	한국전자통신연구원
1392	PA_5G10S1R02	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-20	03-10-01	02-12-24	한국전자통신연구원
1393	PA_5G10V1R02	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-20	03-10-01	02-12-24	한국전자통신연구원
1394	PA_5G10V2R07	5GHz 대역 노트북의 무선 LAN용 PA(power amplifier), 무선 LAN용 PA, ITS용 PA, HomeRF용 PA, 그외 Bluetooth 등 WPAN, 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	02-11-20	03-10-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1395	HCH602099_RF02	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	01-11-30	03-02-01	02-12-24	한국전자통신연구원
1396	HCH602099_RF06	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	01-11-30	03-02-01	02-12-24	한국전자통신연구원
1397	HCH602099_RF08	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	01-11-30	03-02-01	02-12-24	한국전자통신연구원
1398	KU-LNA-V01	Ku Band(10~13GHz) Low Noise Amplifier는 입력된 신호를 저잡음 증폭하는 칩이다	기타	기타	기타	02-10-31	03-04-01	02-12-24	한국전자통신연구원
1399	KA-LNA-V02	Ka Band(21~22GHz) Low Noise Amplifier는 입력된 신호를 저잡음 증폭하는 칩이다	기타	기타	기타	02-10-31	03-04-01	02-12-24	한국전자통신연구원
1400	KU-RX-PS	Ku Band(11.7~12.75GHz) 5-bit Phase Shifter는 입력된 신호를 5개의 제어 신호에 따라 11.25° Step으로 360° 전체에서 위상을 조절할 수 있는 칩이다	기타	기타	기타	02-10-31	03-04-01	02-12-24	한국전자통신연구원
1401	KA-RX-PS-V01	Ka Band(21~31GHz) 5-bit Phase Shifter는 입력된 신호를 5개의 제어 신호에 따라 11.25° Step으로 360° 전체에서 위상을 조절할 수 있는 칩이다	기타	기타	기타	02-10-31	03-04-01	02-12-24	한국전자통신연구원
1402	RFIC02_RF30	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	02-09-15	03-02-01	02-12-24	한국전자통신연구원
1403	RFIC02_RF22	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	02-09-15	03-02-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1404	RFIC02_RF26	비접촉 IC카드를 위한 아날로그 부분 및 디지털 부분을 High Voltage CMOS 공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	02-09-15	03-02-01	02-12-24	한국전자통신연구원
1405	BT25C02	고속 블루투스(Bluetooth 2) 또는 무선 개인영역 네트워크(WPAN)용 2.4GHz대 Radio 단일칩의 배치설계로서, 게이트 선폭 0.25㎛의 CMOS공정으로 제작되었으며, 저잡음 증폭기, 상/하향 변환믹서 등의 고주파 회로는 물론이고 베이스밴드 가변 이득증폭기, 필터, 복조기 등을 모두 포함하고 있음	MOS	CMOS	기타	02-09-09	04-02-01	02-12-24	한국전자통신연구원
1406	RF6GCMA-02	근거리 고속 무선통신, 특히 ADSRC(Advanced Dedicated Short Range Communication)용 5.8GHz대 고주파 MMIC 중에서 저잡음 증폭기의 배치설계로서, 게이트 선폭 0.18㎛의 thick top-metal CMOS공정으로 제작되었음	MOS	CMOS	기타	02-08-05	04-02-01	02-12-24	한국전자통신연구원
1407	TIA02HSE	10Gbps용 트랜스임피던스증폭기로 입출력단자, 증폭단, 버퍼단으로 구성된다	바이폴라	기타	기타	02-10-15	04-02-28	02-12-24	한국전자통신연구원
1408	TIA03HSE	10Gbps용 트랜스임피던스회로 입출력단자, 2단 증폭단, 버퍼단으로 구성된다	바이폴라	기타	기타	02-10-15	04-02-28	02-12-24	한국전자통신연구원
1409	TIA4BHSE	10Gbit/s용 트랜스임피던스회로로 입출력단자, 2단 증폭단, 궤환회로, 버퍼단으로 구성된다	바이폴라	기타	기타	02-10-15	04-02-28	02-12-24	한국전자통신연구원
1410	TIA5DHSE	10Gbps용 트랜스임피던스회로 입출력단자, 2단 증폭단, 버퍼단으로 구성된다	바이폴라	기타	기타	02-10-15	04-02-28	02-12-24	한국전자통신연구원
1411	TIA7AHSE	10Gbps용 트랜스임피던스회로 입출력단자, 증폭단, 버퍼단으로 구성된다	바이폴라	기타	기타	02-10-15	04-02-28	02-12-24	한국전자통신연구원
1412	PH-MM0001	5.8GHz ITS-DSRC용 시스템 송신부의 구동 증폭기를 구현한 단일칩 초고주파 집적회로(MMIC Drive Amplifier)	바이폴라	기타	기타	02-10-16	03-02-01	02-12-24	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1413	PH-MMB0001	5.8GHz ITS-DSRC용 시스템 송신부의 구동 증폭기를 SiGe BiCMOS기술로 구현한 단일칩 초고주파 집적회로(MMIC Drive Amplifier)	Bi-MOS	기타	기타	02-09-10	03-02-01	02-12-24	한국전자통신연구원
1414	PH-MM0002	5.8GHz ITS-DSRC용 시스템 송신부의 구동 증폭기를 2단으로 구현한 단일칩 초고주파 집적회로(MMIC Drive Amplifier)	바이폴라	기타	기타	02-10-16	03-02-01	02-12-24	한국전자통신연구원
1415	02_5GUMX_0805	차세대 단거리 무선통신용 송신시스템에서 5GHz 대 RF front end 모듈에 사용되는 주파수 변환기의 배치설계로서, 게이트 선폭 0.18㎛의 thick top-metal CMOS 공정으로 제작되었음	MOS	CMOS	기타	02-08-05	04-02-01	02-12-24	한국전자통신연구원
1416	02_5GDMX_0805	차세대 단거리 무선통신용 수신시스템에서 5GHz 대 RF front end 모듈에 사용되는 주파수 변환기의 배치설계로서, 게이트 선폭 0.18㎛의 thick top-metal CMOS 공정으로 제작되었음	MOS	CMOS	기타	02-08-05	04-02-01	02-12-24	한국전자통신연구원
1417	MH-UM60-01	v-band 대역 무선랜 및 광대역 무선 멀티미디어용 시스템 송신부의 상향 주파수 변환용 단일칩 초고주파 집적회로(MMIC Up-Mixer)	기타	기타	기타	01-12-31	02-12-31	02-12-24	한국전자통신연구원
1418	Disturbance free 2T FRAM Array	비파괴 읽기 쓰기와 비휘발성 저장기능을 가지는 단일 강유전체 MOSFET 소자를 적용한 FRAM IC 배선기술로서 저전압 동작, 전류구동 방식에 의한 높은 잡음 면역성, 전원과 신호배선의 종적 교차, 메모리 셀을 기준으로 한 입출력 신호의 격리 등을 특징으로 한다	기타	기타	메모리	02-10-10	04-10-10	02-12-24	한국전자통신연구원
1419	ETRI-NGICC192B	본 배치설계는 접촉식/비접촉식 겸용 IC카드의 디지털 부분을 설계한 것이다	MOS	CMOS	기타	02-12-11	03-10-01	02-12-24	한국전자통신연구원

11. '03년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1420	A3289AR	LCD 드라이버로서, 12V 소스 드라이버에 대응한 TFT 컬러 액정 표시 모듈용 인터페이스 IC	바이폴라	기타	리니어	00-11-14	01-01-24	03-01-06	소니
1421	1100	로직 컨트롤 내장 고파워 DPDT 스위치로서, CMOS 컨트롤로 동작 가능한 고파워 DPDT 스위치 MMIC	기타	기타	리니어	01-04-03	01-05-26	03-01-06	소니
1422	CST36C00	32비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	02-11-04	02-12-17	03-01-08	크로스반도체기술㈜
1423	TA1359F	자동 조정 RF 이퀄라이저 회로 및 레이저 컨트롤용 APC 회로를 포함한 DVD용 RF 앰프로서 개발된 반도체 집적회로	바이폴라	IIL	리니어	01-11-07	02-01-30	03-01-10	도시바
1424	SA2002H	클래스 1보다 더 양호한 정확도로 1000:1의 전력 범위에 걸쳐 전력 소비에 비례하는 빈도로 순간펄스 출력을 발생하는 단상 양방향 전력/에너지 계산 IC	기타	기타	기타	00-08-10	01-01-16	03-01-16	마이크로-일렉트로닉 시스템즈
1425	CNCKM_DWT	8-bits의 영상이미지 값을 받아 이산 웨이블릿 필터링된 영상 이미지값을 출력하는 모듈	MOS	CMOS	마이크로프로세서	02-09-30	. .	03-01-28	전남대학교
1426	CNLTW_DSTC	차등화 서비스 지원 트래픽 조절기는 분류기, Meter, Marker로 구성되어 있으며, 분류된 각 스트림의 지원을 위해 각 서비스 클래스별로 Meter와 Marker를 구성하였다	MOS	CMOS	마이크로프로세서	02-11-30	. .	03-01-28	전남대학교
1427	CNCKM_SEED	16-bits의 데이터와 키를 입력으로 받아 16-bits의 암호화된 데이터를 처리할수 있는 프로세서	MOS	CMOS	마이크로프로세서	01-07-31	. .	03-01-28	전남대학교

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1428	V-band Power Amplifier MMIC	58~62GHz 대의 전력증폭기 MMIC로서, 출력전력(OP1dB)은 16.3dBm 이상, 소신호이득이 12.4dB 이상이며, 입력 정합은 -6~-12dB, 출력 정합은 -3~-13dB로 우수한 성능을 가지며, 60GHz대역의 무선LAN 시스템에 적용이 가능하다	기타	기타	기타	01-10-31	06-12-30	03-01-30	전자통신 연구원
1429	EMHPA-VMT1210	V-band 대역 MBS(Mobile Broadband System)송신부의 전력 증폭용 단일칩 초고주파 집적회로(MMIC Power Amplifier)	기타	기타	기타	03-01-08	03-12-01	03-01-30	전자통신 연구원
1430	TL431	2.495V의 기준전압을 갖는 Voltage Regulator	바이폴라	기타	리니어	02-11-30	03-01-20	03-02-17	태진기술 (주)
1431	A5T743	전원제어 및 충전제어	MOS	CMOS	리니어	01-09-07	01-07-04	03-02-26	리코
1432	A5T752	전원제어 및 충전제어	MOS	CMOS	리니어	01-03-13	01-11-09	03-02-26	리코
1433	BSTM1	초소형 다기능 트랜시버용 모듈레이터(BSTM1)	기타	기타	기타	02-07-11	06-11-01	03-02-28	전자통신 연구원
1434	BSTD6	초소형 다기능 트랜시버용 구동증폭기(BSTD6)	기타	기타	기타	02-04-08	06-11-01	03-02-28	전자통신 연구원
1435	TIFM1200V7	L-Band용 QPSK 변조기	Bi-MOS	기타	기타	02-11-30	03-12-01	03-02-28	전자통신 연구원
1436	TC94A21F	6계통의 아날로그 스위치, 3채널 AD 컨버터, 6채널 DA컨버터 및 전자 볼륨을 내장한 DSP 반도체 집적회로	MOS	CMOS	로직	02-02-20	02-03-15	03-03-10	도시바
1437	TL0322	휴대폰 및 PDA 등 이동통신용 소형 LCD module에 들어가는 제품으로 48COM/84SEG Driver&Controller기능을 가지고 있음	MOS	CMOS	기타	02-08-10	. .	03-03-18	(주)토마토엘에스아이
1438	02HYNIX025TP-1	고주파 영역에서 동작하는 집적회로 설계시 사용되는 능/수동 소자(PMOS, NMOS, Capacitor, inductor, varactor)	MOS	CMOS	기타	02-11-15	. .	03-03-29	한국정보통신학원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1439	02DB025TP-1	고주파 영역에서 동작하는 집적회로 설계시 사용되는 능/수동 소자 (PMOS, NMOS, Capacitor, inductor, varactor)	MOS	CMOS	기타	02-09-15	. .	03-03-29	한국정보 통신학원
1440	02AN025TP-1	고주파 영역에서 동작하는 집적회로 설계시 사용되는 능/수동 소자 (PMOS, NMOS, Capacitor, inductor, varactor)	MOS	CMOS	기타	02-07-15	. .	03-03-29	한국정보 통신학원
1441	TL0326	DDRAM(12,960bits)내장 81COM 160SEG Graphic-Dot-matrix LCD Controller Driver	MOS	CMOS	기타	02-05-02	03-02-25	03-04-01	(주)토마 토엘에스 아이
1442	KKU2002I2C-1	I2C 마스터/슬레이브 코어	MOS	CMOS	기타	03-03-15	. .	03-04-07	건국대학 교
1443	BSTD1	인체정보 통신용 구동증폭기 (BSTD1)	기타	기타	기타	02-04-08	06-11-01	03-04-17	전자통신 연구원
1444	BSTD4	인체정보 통신용 구동증폭기 (BSTD4)	기타	기타	기타	02-04-08	06-11-01	03-04-17	전자통신 연구원
1445	BSTD5	인체정보 통신용 구동증폭기 (BSTD5)	기타	기타	기타	02-04-08	06-11-01	03-04-17	전자통신 연구원
1446	이동통신 송신용 집적회로 (TX_MVT1926 PC)	RF 송신회로를 HBT를 이용하여 MMIC로 집적, 구성한 PCS대역 이동통신 단말기용 RFIC.	기타	기타	기타	01-12-31	02-01-01	03-04-28	(주)엠비 션
1447	LR35955	32비트 RISC CPU 및 8비트 CISC CPU를 탑재하고, 컬러 LCD 콘트롤러, 사운드 제네레이터, 타이머, 시리얼 인터페이스 및 입출력 포트를 구비하여 핸디 게임기의 기능을 CMOS를 이용하여 실현한 반도체 집적회로	MOS	CMOS	마이크 로프로 세서	01-07-31	01-10-31	03-05-20	샤프
1448	TC9386FU	칩 내에 고추파 중첩 출력을 2채널 내장한 광 디스크 LD용 반도체 집적회로	MOS	CMOS	리니어	02-05-24	02-10-10	03-05-20	도시바
1449	CNHJT_AES	32-bits의 데이터와 키를 입력으로 받아 32-bits의 암호화된 데이터를 출력하는 프로세서	MOS	CMOS	마이크 로프로 세서	03-05-30	. .	03-07-21	전남 대학교

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1450	CNRSJ_HASH	32-bits의 데이터를 입력으로 받아 32-bits의 해쉬코드 데이터를 출력하는 HAS-160, SHA-1의 통합 프로세서	MOS	CMOS	마이크로프로세서	03-05-30	. .	03-07-21	전남대학교
1451	LNBDC01	위성방송 수신용 저잡음주파수 변환기	기타	기타	기타	03-06-20	04-03-20	03-08-11	미션텔레콤㈜
1452	BSR01	초소형 다기능 집적변환리시버용 RF MMIC는 LNA와 Demodulator가 하나의 칩에 내장된 구조로, RF입력, LO입력, BB출력과 전원회로로 구성된다	기타	기타	기타	03-02-03	07-11-01	03-09-04	전자통신연구원
1453	BSR02	초소형 다기능 집적변환리시버용 RF MMIC는 LNA와 Demodulator가 하나의 칩에 내장된 구조로, LNA는 RF입력과 출력, 전원회로로 구성되며, Demodulator는 RF입력, LO입력, BB출력과 전원회로로 구성된다	기타	기타	기타	03-02-03	07-11-01	03-09-04	전자통신연구원
1454	BSMOD11	초소형 다기능 트랜시버용 모듈레이터는 BB입력, LO입력, IF출력과 전원회로로 구성된다	기타	기타	기타	02-07-15	06-11-01	03-09-04	전자통신연구원
1455	BSMOD12	초소형 다기능 트랜시버용 모듈레이터는 BB입력, LO입력, IF출력과 전원회로로 구성된다	기타	기타	기타	02-07-15	06-11-01	03-09-04	전자통신연구원
1456	BSMOD21	초소형 다기능 트랜시버용 모듈레이터는 BB입력, LO입력, IF출력과 전원회로로 구성된다	기타	기타	기타	02-08-28	06-11-01	03-09-04	전자통신연구원
1457	DQTX1	초소형 다기능 트랜시버용 송신기(DQTX1)	기타	기타	기타	03-03-03	08-01-31	03-09-04	전자통신연구원
1458	μPD8924	그래픽 처리, 오디오 처리 및 주변 IC와의 인터페이스 기능을 구비한 연산 프로세서	MOS	CMOS	로직	00-09-28	01-09-14	03-09-09	닌텐도
1459	THM2002J	SiGe 공정을 이용하고, 단일 공급 전원을 사용하며, 9 dBm의 Output P1dB와 내부 매칭회로를 갖는 DC~3GHz 대역폭을 갖는 광대역 증폭기	기타	기타	리니어	02-08-31	. .	03-10-01	(주)타키오닉스

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1460	THM2001Z	SiGe 공정을 이용하고, 단일 공급 전원을 사용하며, 12 dBm의 Output P1dB와 내부 매칭회로를 갖는 DC~3GHz 대역폭을 갖는 광대역 증폭기	기타	기타	리니어	02-08-31	. .	03-10-01	(주)타키오닉스
1461	THM4002N	SiGe 공정을 이용하고 power save function을 갖는 3V 전원용 Active double balanced 2GHz Downconversion MMIC Mixer	기타	기타	리니어	02-08-31	. .	03-10-01	(주)타키오닉스
1462	THM4001XS	SiGe 공정을 이용하고 power save function을 갖는 5V 전원용 Active double balanced 2GHz Downconversion MMIC Mixer	기타	기타	리니어	02-08-31	. .	03-10-01	(주)타키오닉스
1463	THM1001TE	전력 조절 및 차단 기능과 single ended mode로 동작하는 2단 구조의 2.4기가헤르츠(GHz) 주파수 대역 전력 증폭기	기타	기타	리니어	03-06-04	. .	03-10-01	(주)타키오닉스
1464	TARF2106(THM1051TE)	전력 조절 및 차단 기능과 차동 입력을 갖는 2단 구조의 2.4기가헤르츠(GHz) 주파수 대역 전력 증폭기	기타	기타	리니어	03-03-28	. .	03-10-01	(주)타키오닉스
1465	TLTRN/A3TXV1-3	ITS(Intelligent Transport System)용 송신 MMIC	기타	기타	기타	03-07-31	. .	03-10-21	(주)텔트론
1466	ICU-OTx1250	레이저 다이오드의 온도특성 보상 장치 및 이를 구비한 Burt-mode 1.25Gb/s 광 송신기	MOS	CMOS	리니어	03-03-11	. .	03-10-27	오영훈
1467	8비트 다항식 CRC를 이용한 24비트 데이터 오류검출회로	8비트 다항식 CRC를 이용한 24비트 데이터 오류검출회로	MOS	CMOS	로직	03-09-30	. .	03-10-28	김정범
1468	저 전력 8x8 비트 modified Booth 곱셈기	8x8 비트의 곱셈 연산을 저 전력 특성으로 처리하는 회로	MOS	CMOS	로직	03-09-30	. .	03-10-28	김정범
1469	32비트 ALU	RISC 구조를 갖는 32비트 산술논리 연산 장치	MOS	CMOS	로직	03-09-30	. .	03-10-28	김정범

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1470	다치 논리회로를 이용한 전류모드 16x16 비트 곱셈기	16x16비트 곱셈기를 전류모드 CMOS 다치논리로 구현한 회로	MOS	CMOS	로직	02-11-30	. .	03-10-28	김정범
1471	고속 8x8비트 modified Booth 곱셈기	8X8비트의 곱셈 연산을 고속으로 처리하는 회로	MOS	CMOS	로직	02-12-30	. .	03-10-28	김정범
1472	고성능 32비트 RISC 프로세서	RISC 구조를 갖는 고성능 32비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	02-12-30	. .	03-10-28	김정범
1473	Redundant 2진 구조를 이용한 8x8비트 복소수 곱셈기	Redundant 2진 구조를 이용하여 8x8비트 복소수 곱셈 연산을 처리하는 회로	MOS	CMOS	로직	02-12-30	. .	03-10-28	김정범
1474	고속 16비트 RISC 프로세서	RISC 구조를 갖는 고속 16비트 마이크로프로세서	MOS	CMOS	마이크로프로세서	03-03-31	. .	03-10-28	김정범
1475	고속 전류모드 CMOS 4치 논리 가산기	전류모드 4치 논리의 가산을 고속으로 처리하는 CMOS 회로	MOS	CMOS	로직	03-06-30	. .	03-10-28	김정범
1476	전류모드 CMOS 4치-2진 논리 변환 디코더	전류모드 4치 논리를 전압모드 2진 논리로 변환해 주는 CMOS회로	MOS	CMOS	로직	03-06-30	. .	03-10-28	김정범
1477	저전력 고속 탐색을 위한 TCAM	검색동작을 수행할 때에 partial bank activation을 통해 저전력 검색을 할수 있고 NAND type cell을 쓰면서도 3ns 이내에 144bit date를 검색할 수 있는것을 특징으로함.	MOS	CMOS	메모리	03-05-15	. .	03-10-30	최성대
1478	T32O-AD	10bit 50MHz의 Pipelined ADC로 70MHz의 샘플링 주파수에서도 9bit 이상의 ENOB를 갖는다	MOS	CMOS	기타	03-06-30	. .	03-10-30	최중호
1479	T25U-AJ	Cut-off 주파수 및 group delay 특성이 50 ~ 100MHz까지 외부전압으로 조절이 가능하고, 우수한 선형 특성을 갖는 아날로그 필터	MOS	CMOS	기타	03-04-30	. .	03-10-30	최중호

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1480	L1/L2 이중대역 GPS 수신기용 CMOS RF 집적회로	GPS 수신기용 CMOS RF 집적회로	MOS	CMOS	기타	03-05-31	. .	03-10-30	(주)파이칩스
1481	TL1754	Color 휴대폰 및 PDA 등 이동통신용 소형 LCD module에 들어가는 제품으로 2400utput small TFT Gate/Power driver기능을 가지고 있음.	MOS	CMOS	기타	02-12-26	. .	03-10-30	(주) 토마토 엘스아이
1482	TL1755	Color 휴대폰 및 PDA 등 이동통신용 소형 LCD module에 들어가는 제품으로 528Output small TFT Source driver기능을 가지고 있음.	MOS	CMOS	기타	02-12-26	. .	03-10-30	(주) 토마토 엘스아이
1483	2003EyeTracker-1	사용자가 응시하고 있는 좌표를 찾는 장치(Eye Tracker)	MOS	CMOS	기타	03-09-30	. .	03-10-31	김동수
1484	RT2.0 YONSEIUNIVERSITY	원격 계측/제어용 무선통신 시스템을 위한 SoC	MOS	CMOS	로직	03-05-19	. .	03-10-31	황상윤
1485	KWDWT	DWT를 이용한 영상압축·복원 전용 프로세서로서 하이닉스 CMOS 0.35um Technology로 제작되었다	MOS	CMOS	로직	03-03-31	. .	03-10-31	서영호
1486	SA9903B	유효전력, 무효전력, RMS 전압 및 메인 주파수를 측정하는 CMOS 혼합신호 아날로그/디지털 집적회로	기타	기타	기타	02-05-17	02-06-05	03-12-02	마이크로일렉트로닉시스템즈
1487	SA2005M	클래스 1보다 더 양호한 정확도로 1000:1의 전력범위에 걸쳐 전력/에너지 계산을 수행하는 CMOS 혼합신호 아날로그/디지털 집적회로	기타	기타	기타	02-06-21	02-09-13	03-12-02	마이크로-일렉트로닉 시스템즈
1488	SA2007P	클래스 1보다 더 양호한 정확도로 1000:1의 전력범위에 걸쳐 전력/에너지 계산을 수행하는 CMOS 혼합신호 아날로그/디지털 집적회로	기타	기타	기타	01-11-20	02-06-05	03-12-02	마이크로-일렉트로닉 시스템즈

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1489	SA9904B	유효전력, 무효전력, RMS 전압 및 메인주파수를 측정하는 CMOS 혼합 신호 아날로그/디지털 집적회로	기타	기타	기타	01-12-03	02-03-27	03-12-02	마이크로-일렉트로닉 시스템즈
1490	SA2102D	IEC 61036 클래스 1 스펙을 능가하는 정확도로 1000:1의 동적 범위에 걸쳐 전력/에너지 계산을 수행하는 CMOS 집적회로	기타	기타	기타	02-07-01	02-10-14	03-12-02	마이크로-일렉트로닉 시스템즈
1491	SA2007M	클래스 1보다 더 양호한 정확도로 1000:1의 전력범위에 걸쳐 전력/에너지 계산을 수행하는 CMOS 혼합 신호 아날로그/디지털 집적회로	기타	기타	기타	01-12-03	02-06-11	03-12-02	마이크로-일렉트로닉 시스템즈
1492	RFAI02	USIM에 비접촉 RF통신을 위한 아날로그 부분 및 일부 디지털 클럭부분을 High Voltage CMOS공정을 이용하여 설계한 것이다.	MOS	CMOS	리니어	03-09-01	04-02-01	03-12-05	전자통신연구원
1493	RFAI06	USIM에 비접촉 RF통신을 위한 아날로그 부분 및 일부 디지털 클럭 부분을 High Voltage CMOS공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	03-09-01	04-02-01	03-12-05	전자통신연구원
1494	RFAI08	USIM에 비접촉 RF통신을 위한 아날로그 부분 및 일부 디지털 클럭 부분을 High Voltage CMOS공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	03-09-01	04-02-01	03-12-05	전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1495	DAC	0.18㎛아날로그 CMOS공정을 이용하여 구현한, 12bit의 디지털 입력을 갖고, differential 아날로그 출력을 가지며, current-steering방식으로 구성되었으며, 내부구조는 segmented-architecture로 구성되고, 디코딩방식은 thermometer code decoding방식을 이용하여 구성된 DAC이다. 칩내부의 배치는 칩의 상단에 디코더 및 각종 디지털 신호를 처리하는 부분을 위치시켰고, 칩의 하단에 DAC의 전류셀 및 기타 아날로그 신호를 처리하는 부분을 위치시켰다.	MOS	CMOS	기타	03-09-03	04-05-01	03-12-05	전자통신 연구원
1496	CFL-VHF 1	CFL-VHF 1은 디지털 주파수 초협대역 단말 시스템에 적용되어 전력증폭기 선형성을 개선하기 위하여 사용되는 반도체집적회로로서 핵심부품임	MOS	CMOS	기타	03-09-30	04-08-01	03-12-05	전자통신 연구원
1497	BRL1S	저역통과여파기	기타	기타	기타	03-02-03	07-11-01	03-12-05	전자통신 연구원
1498	RFA09	USIM에 비접촉 RF통신을 위한 아날로그 부분 및 일부 디지털 클럭 부분을 High Voltage CMOS공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	03-09-01	04-02-01	03-12-05	전자통신 연구원
1499	RFA10	USIM에 비접촉 RF통신을 위한 아날로그 부분 및 일부 디지털 클럭 부분을 High Voltage CMOS공정을 이용하여 설계한 것이다	MOS	CMOS	리니어	03-09-01	04-02-01	03-12-05	전자통신 연구원
1500	EMHDA-WV1	V-band MBS(Mobile Broadband System) 송신부 전력증폭 MMIC	기타	기타	기타	03-04-21	04-12-01	03-12-05	전자통신 연구원
1501	EMHDA-WV2	V-band MBS(Mobile Broadband System)송신부 전력증폭 MMIC	기타	기타	기타	03-04-21	04-12-01	03-12-05	전자통신 연구원
1502	EMHLNA-WV1	V-band MBS(Mobile Broadband System)송신부 전력증폭 MMIC	기타	기타	기타	03-09-18	04-12-01	03-12-05	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1503	EMHPA-WV1	V-band MBS(Mobile Broadband System) 송신부 전력증폭 MMIC	기타	기타	기타	03-04-21	04-12-01	03-12-05	전자통신 연구원
1504	EMHPA-WV2	V-band MBS(Mobile Broadband System) 송신부 전력증폭 MMIC	기타	기타	기타	03-04-21	04-12-01	03-12-05	전자통신 연구원
1505	ES0301_SPDT_100×2	H band 이하의 광대역 SPDT 타입의 Rx/Tx용 스위치 직접회로	기타	기타	기타	03-11-01	04-03-01	03-12-05	전자통신 연구원
1506	ES0301_SPDT_100×4	H band 이하의 광대역 SPDT 타입의 Rx/Tx용 스위치 직접회로	기타	기타	기타	03-11-01	04-03-01	03-12-05	전자통신 연구원
1507	ES0301_SPXT_V1	H band 이하의 광대역 SPDT 타입의 Rx/Tx용 스위치 직접회로	기타	기타	기타	03-11-01	04-03-01	03-12-05	전자통신 연구원
1508	TIA_OP1R	테라비트 통신용 Trasimpedance Amplifier	기타	기타	기타	03-11-20	04-11-20	03-12-05	전자통신 연구원
1509	03-2_LIM_02	Limiting Amplifier, 제한증폭기 MMIC	기타	기타	기타	03-11-28	05-07-01	03-12-05	전자통신 연구원
1510	03-2_TIA_01	Trans-Impedance Amplifier, 전치증폭기 MMIC	기타	기타	기타	03-11-28	05-07-01	03-12-05	전자통신 연구원
1511	ETRI-DFF_03-3	광섬유를 이용한 광통신용 시스템의 송수신부에 들어가는 디지털회로의 가장 기본이 되는 회로	기타	기타	로직	03-11-01	06-01-01	03-12-05	전자통신 연구원
1512	ETRI-DEMUX_03-3	광통신용 전자소자인 디지털회로의 기본 IC	기타	기타	로직	03-11-01	06-01-01	03-12-05	전자통신 연구원
1513	ETRI-MUX_03-3	광통신용 전자소자인 디지털회로의 기본 IC	기타	기타	로직	03-11-01	06-01-01	03-12-05	전자통신 연구원
1514	MH-DM77-01	77GHz 차량충돌방지용 시스템 수신부 주파수 하향변환 MMIC	기타	기타	기타	03-09-30	. .	03-12-05	전자통신 연구원
1515	MH-DM77-02	77GHz 차량충돌방지용 시스템 수신부 주파수 하향변환 MMIC	기타	기타	기타	03-09-30	04-10-01	03-12-05	전자통신 연구원
1516	SGM-MMB0001	5.8GHz대역용 SiGe BiCMOS 1.5X18 멀티핑거 소자를 이용하여 2단의 구조로 구현한 단일칩 초고주파 집적회로 구동증폭기(MMIC Drive Amplifier)	Bi-MOS	기타	기타	03-09-25	04-02-01	03-12-05	전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1517	SGM-MMH0001	5.8GHz대역용 SiGe BiCMOS 1.5X18 멀티핑거 소자를 이용하여 2단의 구조로 구현한 단일칩 초고주파 집적회로 구동증폭기(MMIC Drive Amplifier)	Bi-MOS	기타	기타	03-09-25	04-02-01	03-12-05	전자통신 연구원
1518	W1394R01	W1394 또는 무선 LAN용 5GHz대 Radio 단일 칩의 배치설계로서 5GHz 대역의 상하향 변환기인 상하향 변환믹서, 저잡음 증폭기 뿐만아니라 2GHz대역의 전압제어발진기를 포함하고 있음	MOS	CMOS	기타	03-08-20	05-02-01	03-12-05	전자통신 연구원
1519	BM-RX-125A	BM-RX-125A는 1.25Gb/s급 Ethernet-PON의 광수신모듈에 적용하기 위해 설계/제작한 반도체집적회로임	MOS	CMOS	기타	03-03-10	04-03-03	03-12-05	전자통신 연구원
1520	BM-TX-125A	BM-TX-125A는 1.25Gb/s급 Ethernet-PON의 광수신모듈에 적용하기 위해 설계/제작한 반도체집적회로임	MOS	CMOS	기타	03-03-10	04-03-03	03-12-05	전자통신 연구원
1521	BM-TIA-125A	BM-TIA-125A는 1.25Gb/s급 Ethernet-PON의 광수신모듈에 적용하기 위해 설계/제작한 반도체집적회로임	MOS	CMOS	기타	03-03-10	04-03-03	03-12-05	전자통신 연구원

12. '04년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1522	03TSMC018 DRIVER-1	고주파 영역에서 동작하는 구동증폭기	MOS	CMOS	기타	2004-03-20		2004-03-29	한국정보통신대학교 산학협력단
1523	03AN025TP-2	고주파 영역에서 동작하는 집적회로 설계시 사용되는 능/수동 소자 (PMOS, NMOS, Capacitor, Inductor, Varactor)	MOS	CMOS	기타	2004-03-20		2004-03-29	한국정보통신대학교 산학협력단
1524	03TSMC018IQ UPMIXER-1	고주파영역에서 동작하는 상향 주파수 변환기	MOS	CMOS	기타	2004-03-20		2004-03-29	한국정보통신대학교 산학협력단
1525	TA2154AFN	1.5V계 포터블 라디오, 헤드폰 스테레오의 AM/FM/TV 수신용으로 개발된 튜너 반도체집적회로	바이폴라	IIL	리니어	2002-08-20	2002-12-03	2004-04-20	도시바
1526	TL1851	164*240 dot Graphics Controller & Driver for each R/G/B Full Color TFT LCD	MOS	CMOS	기타	2004-03-30		2004-06-11	(주) 토마토엘에스아이
1527	S1N3V329WOH8100	DRAM용 메모리 셀을 이용하여 SRAM 기능을 실현한 반도체 집적회로	MOS	CMOS	메모리	2002-03-04	2002-06-29	2004-06-29	세이코 엡손
1528	03AOR531	광신호를 전기신호로 변환시키는 IC (Fiber Optic Receiver)	Bi-MOS	기타	리니어	2003-12-31	2004-01-01	2004-06-30	(주)아날로그칩스
1529	03ACTX205	전기신호를 광신호로 변환하는 IC (Fiber Optic Transmitter)	Bi-MOS	CMOS	리니어	2003-12-31	2004-01-01	2004-06-30	(주)아날로그칩스
1530	S1N3V169W0H6100	DRAM용 메모리 셀을 이용하여 SRAM 기능을 실현한 반도체 집적회로	MOS	CMOS	메모리	2002-08-26	2002-08-26	2004-08-26	세이코 엡손
1531	MTC-TVCO01	위성방송 수신용 저잡음주파수 변환기	기타	기타	기타	2003-11-20	2004-11-30	2004-09-15	미션텔레콤㈜
1532	MTC-SBM01	위성방송 수신용 저잡음주파수 변환기	기타	기타	기타	2004-05-20	2004-11-30	2004-09-15	미션텔레콤㈜
1533	MTC_HLDBM01	위송방송 수신용 저잡음주파수 변환기	기타	기타	기타	2003-11-20	2004-11-30	2004-09-15	미션텔레콤㈜

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1534	TL1761	Color 휴대폰 및 PDA 등 이동통신용 소형LCD module에 들어가는 제품으로 132 RGB SEG/272 COM small TFT Driver 기능을 가지고 있음.	MOS	CMOS	기타	2003-06-12		2004-10-11	(주)토마토엘에스아이
1535	TL1762	Color 휴대폰 및 PDA 등 이동통신용 소형 LCD module에 들어가는 제품으로 176 RGB SEG/320 COM small TFTDriver기능을 가지고 있음	MOS	CMOS	기타	2003-09-23		2004-10-11	(주)토마토엘에스아이
1536	Flat Panel 디지털 X-ray Sensor 용 Readout IC	2D-CdZnTe sensing array패널 기반의 256X900 채널 Readout IC	MOS	CMOS	기타	2004-08-31		2004-11-15	전자부품연구원
1537	JNHJT_ECC	휴대가능한 임베디드형 의료영상 진단시스템에서 인증 및 암호화 기능을 지원하는 암호프로세서로 세개의 32bit 데이터와 한개의 32bit키를 받아 암호화 수행후 32bit 암호문을 내보내도록 설계되었다.	MOS	CMOS	마이크로프로세서	2004-10-30		2004-11-18	전남대학교 산학협력단
1538	2004SG8b240M-ADC	8b 240MS/s 1.36㎟ 104mW 0.18um CMOS A/D 변환기(ADC)	MOS	CMOS	리니어	2004-07-31	2004-11-01	2004-11-25	이승훈
1539	ACS2C30B	5GHz대 무선전화기용 아날로그 ASIC	Bi-MOS	기타	기타	2004-03-11	2005-01-01	2004-11-29	(주)아날로그칩스
1540	04AOR531	광신호를 전기신호로 변환하는 IC (Fiber Optic Receiver)	광 IC	CMOS	리니어	2004-10-04	2004-10-05	2004-11-29	(주)아날로그칩스
1541	PLLtuned UHF Transmitter (PT900)	GPS 수신기용 CMOS RF 집적회로	MOS	CMOS	기타	2004-06-30		2004-11-29	(주)파이칩스
1542	IEEE802.15.4. 868/915MHz PHY RF-IC (PZ1000)	GPS 수신기용 CMOS RF 집적회로	MOS	CMOS	기타	2004-09-21		2004-11-29	(주)파이칩스

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1543	IEEE802.15.4. 2.4GHz PHY RF -C(PZ2000)	GPS 수신기용 CMOS RF 집적회로	MOS	CMOS	기타	2004-09-21		2004-11-29	(주) 파이칩스
1544	DLL-based frequency synthesizer	제한된 지연단을 이용한 주파수정수 체배기	MOS	CMOS	기타	2004-03-30		2004-11-29	김대정
1545	직접변환수신기용 서브 하모닉 주파수혼합기	5GHz 무선랜에 적용할 수 있는 직접변환 수신기용 단층적층구조의 고집적, 초소형 SiGe 서브하모닉 주파수 혼합기	바이폴라	기타	기타	2004-05-01		2004-11-30	한국정보통신대학교 산학협력단
1546	LC72148V	카스테레오용 전자 동조용 PLL 주파수 신시사이저 IC이며, 카네비게이션:VICS(FM다중)수신기등의 3V 전압계튜너를 용이하게 구성할 수 있는 반도체집적회로	MOS	CMOS	로직	2000-06-28	2002-11-30	2004-11-30	상요덴기
1547	SA4102A	에너지 측정에 대하여 단일 칩 솔루션을 제공하는 정확한 단성 전력/에너지 측정	기타	기타	기타	2003-11-20	2003-11-20	2004-12-01	일렉트로닉시스템즈
1548	DCR02S	직접변환리시버	기타	기타	기타	2004-01-03	2009-01-03	2004-12-16	한국전자통신연구원
1549	DCR01S	직접변환리시버	기타	기타	기타	2004-01-03	2009-01-03	2004-12-16	한국전자통신연구원
1550	EHM01S	주파수변환기	기타	기타	기타	2004-01-03	2009-01-03	2004-12-16	한국전자통신연구원
1551	BRL2S	저역통과여파기	기타	기타	기타	2004-01-03	2009-01-03	2004-12-16	한국전자통신연구원
1552	EHM02S	주파수변환기	기타	기타	기타	2004-01-03	2009-01-03	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1553	MPA3G	통신위성중계기용의 기저대역 증폭기 Chip으로서, 3GHz~3.6GHz의 RF신호를 증폭시켜주는 회로임. GaAs MMIC로 배치설계하였으며 총14Layer로 구성되어 있음.	기타	기타	기타	2004-06-30	2005-01-01	2004-12-16	한국전자통신연구원
1554	DBL1	통신위성중계기용의 주파수2 체배기 Chip으로서, 8GHz~9GHz의 RF신호를 2체배하여 16GHz~18GHz의 RF신호를 발생시켜주는 회로임. GaAs MMIC로 배치설계하였으며 총 14Layer로 구성되어 있음.	기타	기타	기타	2004-06-30	2005-01-01	2004-12-16	한국전자통신연구원
1555	3GHz Switch MMIC SW03A	3GHz 대역 스위치 메트릭스 또는 스위치 모듈용 SPST 스위치 chip으로서 3~4GHz대역의 신호를 2dB 정도의 손실과 60dB 이상의 격리도를 가지고 스위칭할수 있다. 4Finger, 200um Gate width를 가지는 PHEMT 4개를 이용하여 GaAs MMIC로 배치설계하였으며 총 14Layer로 구성되어있음	기타	기타	기타	2004-06-30	2005-01-01	2004-12-16	한국전자통신연구원
1556	DATT	5-bit Digital Attenuator Chip으로서, 0.04GHz~40GHz의 RF신호를 1dB 간격으로 23dB까지 감쇄시켜주는 회로임. GaAs MMIC로 배치설계하였으며 총 14Layer로 구성되어 있음.	기타	기타	기타	2004-06-30	2005-01-01	2004-12-16	한국전자통신연구원
1557	ETRI-DFF_04-3	광섬유를 이용한 광통신용 시스템의 송수신부에 들어가는 디지털회로의 가장 기본이 되는 회로이다.	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원
1558	ETRI-TFF_04-3	광섬유를 이용한 광통신용 시스템의 송수신부에 들어가는 디지털회로의 기본으로 입력클럭 주파수 1/2에 해당하는 출력클럭을 만드는 회로이다.	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1559	ETRI-1:2_DEMUX_04-3	광섬유를 이용한 광통신용 시스템의 수신부에 들어가는 디저털회로로서 1개의 데이터신호를 분리하여(de-multiplex) 2개의 출력으로 만드는 회로이다	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원
1560	ETRI-2:1_MUX_04-3	광섬유를 이용한 광통신용 시스템의 송신부에 들어가는 디지털회로로서 2개의 데이터신호를 합쳐(multiplex) 하나의 출력으로 만드는 회로이다.	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원
1561	ETRI-1:4_DEMUX_04-3	광섬유를 이용한 광통신용 시스템의 수신부에 들어가는 디지털회로로서 1개의 데이터신호를 분리하여(de-multiplex) 4개의 출력으로 만드는 회로이다.	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원
1562	ETRI-4:1_MUX_04-3	광섬유를 이용한 광통신용 시스템의 송신부에 들어가는 디지털회로로서 4개의 데이터신호를 합쳐(multiplex) 하나의 출력으로 만드는 회로이다.	기타	기타	로직	2004-09-15	2005-12-01	2004-12-16	한국전자통신연구원
1563	DA0331	초소형 다기능 트랜시버용 구동증폭기(DA0331)	기타	기타	기타	2004-01-05	2008-01-31	2004-12-16	한국전자통신연구원
1564	DCMOD1	초소형 다기능 트랜시버용 송신기(DCMOD1)	기타	기타	기타	2003-07-07	2008-01-31	2004-12-16	한국전자통신연구원
1565	TL1H	초소형다기능트랜시버용 송신저역통과필터 (TL1H)	기타	기타	기타	2003-07-07	2008-01-31	2004-12-16	한국전자통신연구원
1566	DT0331	초소형 다기능 트랜시버용 송신기(DT0331)	기타	기타	기타	2004-01-05	2008-01-31	2004-12-16	한국전자통신연구원
1567	MO0331	초소형 다기능 트랜시버용 송신기(MO0331)	기타	기타	기타	2004-01-05	2008-01-31	2004-121-6	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1568	CFL_VHF2.0	무전기 시스템에 적용되어 파워앰프로부터 출력이 큰경우 신호가 찌그러지는 것을 방지하기위하여 사용되는 반도체 집적회로임.	MOS	CMOS	기타	2004-09-30	2005-09-01	2004-12-16	한국전자통신연구원
1569	EMH2X-WV1	W-band 대역 자동차 충돌방지 레이다 시스템 송신부의 주파수 체배용 단일칩 초고주파 집적회로(MMIC Frequency Doubler)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1570	EMH2X-WV2	W-band 대역 자동차 충돌방지 레이다 시스템 송신부의 주파수 체배용 단일칩 초고주파 집적회로(MMIC Frequency Doubler)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1571	EMHFM-WV1	W-band 대역 자동차 충돌방지 레이다 시스템 송신부의 Frequency Multiplier 단일칩 초고주파 집적회로 (Frequency Multiplier MMIC)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1572	EMHFM-WV2	W-band 대역 자동차 충돌방지 레이다 시스템 송신부의 Frequency Multiplier 단일칩 초고주파 집적회로 (Frequency Multiplier MMIC)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1573	EMHDC-WV1	W-band 대역 자동차 충돌방지 레이다 시스템 수신부의 저잡음 Down Converter 단일칩 초고주파 집적회로 (MMIC Down Converter)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1574	EMHBPA-WV2	W-band 대역 자동차 충돌방지 레이다 시스템 송신부의 전력증폭 단일칩 초고주파 집적회로(Power Amplifier MMIC)	기타	기타	기타	2004-10-08	2005-12-01	2004-12-16	한국전자통신연구원
1575	MH-DM77-R1	77GHz 차량충돌방지용 시스템 수신부 주파수 하향변환 MMIC	기타	기타	기타	2004-03-30	2005-12-10	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1576	MH-DM77-R2	77GHz 차량충돌방지용 시스템 수신부 주파수 하향변환 MMIC	기타	기타	기타	2004-09-30	2005-12-10	2004-12-16	한국전자통신연구원
1577	MH-HMIX77-01	77GHz 차량충돌방지용 시스템 송수신부의 고조파를 이용한 하향주파수 변환 MMIC	기타	기타	기타	2004-03-30	2005-12-10	2004-12-16	한국전자통신연구원
1578	MH-DBL77-01	77GHz 차량충돌방지용 시스템 송수신부 주파수 체배기 MMIC	기타	기타	기타	2004-03-30	2005-12-10	2004-12-16	한국전자통신연구원
1579	MH-DBL77-R1	77GHz 차량충돌방지용 시스템 송수신부 주파수 체배기 MMIC	기타	기타	기타	2004-09-30	2005-12-10	2004-12-16	한국전자통신연구원
1580	60GHz_MD_v1	광무선 시스템의 RF front-end부분 중에서 수신부의 modulator를 구동하기 위한 부품인 모듈레이터 구동증폭기(modulator drive amplifier, MD)를 설계 및 제작하였으며, 동작주파수는 62.5~63.5GHz이며, 증폭도는 10.4~10.5dB이고, 입출력 반사계수는 각각 -17.6~-12.3dB이다. 칩의 크기는 3.12mm x 1.54mm이고, 입력전원은 3Volt이다.	기타	기타	기타	2004-07-14	2008-12-31	2004-12-16	한국전자통신연구원
1581	60GHz_LNA_v1	광무선 시스템의 RF front-end부분 중에서 수신부에 가장 핵심이 되는 부품인 저잡음 증폭기(low noise amplifier, LNA)를 설계 및 제작하였으며,동작주파수는 60~61GHz이며, 증폭도는13.9~14.7dB이고, 입출력 반사계수는 각각 -4.5~-3.5dB,-19.7~-16dB이다. 칩의 크기는 3.75mm x 1.65mm이고, 입력전원은 3Volt이다.	기타	기타	기타	2004-07-14	2008-12-31	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1582	60GHz_PA_v1	광무선 시스템의 RF front-end부분 중에서 송신부에 가장 핵심이 되는 부품인 전력증폭기(power amplifier, PA)를 설계 및 제작하였으며,동작주파수는 60~61GHz이며, 증폭도는 8.4~8.8dB이고, 입출력 반사계수는 각각 -11.5~-10.5dB, -9.0~-7.2dB이다. 칩의 크기는 3.51mm x 1.68mm이고, 입력 전원은 4Volt이다	기타	기타	기타	2004-07-14	2008-12-31	2004-12-16	한국전자통신연구원
1583	60GHz_DA_v1	광무선 시스템의 RF front-end부분 중에서 송신부의 전력증폭기를 구동하기위한 부품인 구동증폭기(drive amplifier, DA)를 설계 및 제작하였으며, 동작주파수는 61~63 GHz이며, 증폭도는 8.2~8.8dB이고, 입출력 반사계수는 각각 -20.3~-12.6dB, -37.4~-11.3dB이다. 칩의크기 3.03mm x 1.39mm이고, 입력 전원은 3Volt이다	기타	기타	기타	2004-07-14	2008-12-31	2004-12-16	한국전자통신연구원
1584	TIA_InP04-2_13	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 광신호의 전류를 전기적 신호인 전압으로 변환 증폭하는 회로이다.	기타	기타	기타	2004-08-31	2006-03-01	2004-12-16	한국전자통신연구원
1585	LIM_InP04-3_21	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2004-10-31	2006-03-01	2004-12-16	한국전자통신연구원
1586	LIM_InP04-3_33	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2004-10-31	2006-03-01	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1587	LIM_InP04-3_44	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2004-10-31	2006-03-01	2004-12-16	한국전자통신연구원
1588	LIM_InP04-3_51	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2004-10-31	2006-03-01	2004-12-16	한국전자통신연구원
1589	PAM_C01_V1	WCDMA용 저전력 PA(power amplifier), 무선 LAN용 저전력 PA, 그외 무선 인터넷접속 단일칩용 반도체 초고주파 집적회로 (MMIC)	기타	CMOS	기타	2004-11-06	2005-10-30	2004-12-16	한국전자통신연구원
1590	PAM_C02_V1	WCDMA용 저전력 PA(power amplifier), 무선 LAN용 저전력 PA, 그외 무선 인터넷접속 단일칩용 반도체 초고주파 집적회로 (MMIC)	기타	CMOS	기타	2004-11-06	2005-10-30	2004-12-16	한국전자통신연구원
1591	PAM_P01_V1	WCDMA용 저전력 PA(power amplifier), 무선 LAN용 저전력 PA, 그외 무선 인터넷접속 단일칩용 반도체 초고주파 집적회로 (MMIC)	기타	CMOS	기타	2004-11-06	2005-10-30	2004-12-16	한국전자통신연구원
1592	Pielzoelectric actuator using MFM structure	압전 박막을 캔티레버에 MFM 구조로 제작하여 엑츄에이터를 제작하는 설계도면이다	기타	기타	기타	2004-11-22	2006-04-27	2004-12-16	한국전자통신연구원
1593	Slider type arrayed probe for near-field optical recording	근접장 광을 이용한 광정보저장에 사용될 플라잉 헤드 형태의 어레이탐침 설계이다.	기타	기타	기타	2004-11-22	2006-04-27	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1594	Array type probe for near-field optical recording	근접장 광을 이용한 광정보저장에 사용될 캔티레버형태의 헤드로 어레이 탐침을 갖도록 설계	기타	기타	기타	2004-11-22	2006-04-27	2004-12-16	한국전자통신연구원
1595	Piezoelectric actuator using IDT structure	압전 박막을 캔티레버에 IDT 구조로 제작하여 엑츄에이터를 제작하는 설계도면이다	기타	기타	기타	2004-11-22	2006-04-27	2004-12-16	한국전자통신연구원
1596	Cantilever type probe for near-field optical recording and reading	근접장 광을 이용한 광 기록/재생 연구로 캔티레버형 광 탐침의 설계이다.	기타	기타	기타	2004-11-22	2006-04-27	2004-12-16	한국전자통신연구원
1597	SGM-MMB0002	5.8GHz 대역용 SiGe BiCMOS 1.5X18 멀티핑거 소자를 이용하여 2단의 구조로 구현한 단일칩 초고주파집적회로 구동증폭기(MMIC Drive Amplifier)	Bi-MOS	기타	기타	2004-09-25	2005-02-01	2004-12-16	한국전자통신연구원
1598	SGM-MMH0002	5.8GHz 대역용 SiGe BiCMOS 1.5X18 멀티핑거 소자를 이용하여 2단의 구조로 구현한 단일칩 초고주파 집적회로 구동증폭기(MMIC Drive Amplifier)	Bi-MOS	기타	기타	2004-09-25	2005-02-01	2004-12-16	한국전자통신연구원
1599	PLL200411	6-8GHz 대역의 PLL회로임. Channel 간격은 528MHz이고 132MHz reference 사용. Setting time이 150ns미만	MOS	CMOS	기타	2004-11-16	2006-02-01	2004-12-16	한국전자통신연구원
1600	LRWPAN900	Low Rate WPAN(Wireless Personal Area Network)용 900MHz 대역의 Radio 단일칩의 배치설계로서 RF/Analog Transceiver 뿐만 아니라 ADC/DAC를 포함하고 있음.	MOS	CMOS	기타	2004-09-21	2007-03-01	2004-12-16	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1601	V-band AMP V58	V-band 대역 밀리미터파용 증폭기로서 단일칩 집적회로이며 ETRI 0.15um pHEMT Library를 사용하였다.	기타	기타	기타	2004-10-01		2004-12-16	한국전자통신연구원
1602	V-band AMP V60	V-band 대역 밀리미터파용 증폭기로서 단일칩 집적회로이며 ETRI 0.15um pHEMT Library를 사용하였다.	기타	기타	기타	2004-10-01		2004-12-16	한국전자통신연구원
1603	V-band AMP V62	V-band 대역 밀리미터파용 증폭기로서 단일칩 집적회로이며 ETRI 0.15um pHEMT Library를 사용하였다.	기타	기타	기타	2004-10-01		2004-12-16	한국전자통신연구원
1604	S1N3V649W0H8100	DRAM용 메모리 셀을 이용하여 SRAM 기능을 실현한 반도체집적회로	MOS	CMOS	메모리	2002-10-10	2002-12-27	2004-12-24	세이코 엡손
1605	KW-IRDC-03	위성방송 수신용 저잡음주파수 변환기	기타	기타	기타	2004-10-20		2004-12-27	미션텔레콤(주)
1606	NS953B1	CMOS1칩 라디오	MOS	CMOS	기타	2004-09-21	2004-10-01	2004-12-29	도요다
1607	TA2132BP	3V계 포터블 라디오, 헤드폰 스테레오의 AM/FM 수신용으로 개발된 튜너 IC	바이폴라	IIL	리니어	2000-07-26	2003-02-03	2004-12-30	도시바

13. '05년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1608	LR35971	ARM9와 ARM7을 탑재한 1칩 마이크로컴퓨터	MOS	CMOS	마이크로프로세서	20040326	20040531	20050117	샤프
1609	LR35960Y	CMOS 원칩 마이크로 컴퓨터(32비트 RISC+8비트 CISC)	MOS	CMOS	마이크로프로세서	20040130	20040413	20050119	샤프
1610	WLANMODEM 05-01	Wireless LAN Baseband용 MODEM	MOS	CMOS	마이크로프로세서	20050228		20050307	조경록
1611	05CBMC001	5.25GHz의 동작주파수를 갖는 100mW급 POWER AMPLIPLIFR	MOS	CMOS	기타	20050228		20050311	전북대학교 산학협력단
1612	05CBIC002	8채널, 3GHz~3.2GHz의 동작주파수를 갖는 CMOS 주파수 합성기	MOS	CMOS	기타	20050228		20050311	전북대학교 산학협력단
1613	KKUPCI-1	PCI 2.2 호환 컨트롤러	MOS	CMOS	로직	20041030		20050316	조용범
1614	04KS100-D6	IEEE 802.11 WLAN의 MAC DCF 함수	기타	기타	로직	20041028	20060401	20050324	박동선
1615	LB11961L	12V 단상 바이폴라 구동 팬 모터 드라이버 IC이며, 써미스터 입력에 의한 다이렉트 PWM 구동 가변속을 실현하고자 개발된 반도체 집적회로	바이폴라	TTL	리니어	20020625	20030331	20050331	상요덴기
1616	2Mega CIS 11 Bit ADC	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	20041224	20050302	20050404	엠텍비젼 주식회사
1617	P_20MP_3M_3M1(2 Mega Cmos Image Sensor)	2 Mega Cmos Image Sensor	MOS	CMOS	리니어	20041224	20050302	20050404	엠텍비젼 주식회사
1618	2 Mega CIS CDSDDS	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	20041210	20050302	20050404	엠텍비젼 주식회사

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1619	1A_Tx	Dedicated Short Range Communication용 초고주파 송신 칩	Bi-MOS	기타	기타	20050131		20050418	포스데이타(주)
1620	1A_VOC_PS	Dedicated Short Range Communication용 전압제어발진기 분주기 칩	Bi-MOS	기타	기타	20050131		20050418	포스데이타(주)
1621	1A_Rx_RF	Dedicated Short Range Communication용 초고주파 수신 칩	Bi-MOS	기타	기타	20050131		20050418	포스데이타(주)
1622	1B_Tx	Dedicated Short Range Communication용 초고주파 송신 칩	Bi-MOS	기타	기타	20050131		20050418	포스데이타(주)
1623	1A_Rx_BBA	Dedicated Short Range Communication용 초고주파 아날로그 수신 칩	Bi-MOS	기타	기타	20050131		20050418	포스데이타(주)
1624	KWU-DVCO01	간섭잡음제거기를 위한 발진기	기타	기타	기타	20050420	20050530	20050627	광운대학교 산학협력단
1625	KWU-CVCO01	위성방송 수신용 전압조절 발진기	기타	기타	기타	20040420	20040830	20050627	광운대학교 산학협력단
1626	KW-IRDC-04	X대역의 위성수신기의 주파수 하향 변환기	기타	기타	기타	20041220	20050530	20050627	광운대학교 산학협력단
1627	KWU-BDBM_ICS	간섭 제거기용 주파수 변환기	기타	기타	기타	20041120	20050830	20050627	광운대학교 산학협력단 대표자 송영출
1628	KWU-SEDBM01	간섭잡음제거기용 고선형주파수변환기	기타	기타	기타	20050430	20050530	20050627	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1629	KWU-DBM01	적응성 간섭잡음제거기를 위한 주파수 상향 변환기	기타	기타	기타	20050220	20050530	20050627	광운대학교 산학협력단
1630	KWU-AVCO01	간섭 제거기용 발진기	기타	기타	기타	20050220	20050530	20050627	광운대학교 산학협력단
1631	KERI-PFC-IC	대용량 전원공급기 역률 제어용 IC	MOS	CMOS	기타	20050207	20050516	20050706	한국전기연구원
1632	KERI-PM IC	대용량 전원공급기 역률 제어용 IC	MOS	CMOS	기타	20041008	20050107	20050706	한국전기연구원
1633	LC75827	1/3, 1/4 듀티 범용 LCD표시 드라이버 IC	MOS	CMOS	로직	20030305	20030825	20050825	상요덴기
1634	LC72151V	카스테레오용 전자동조용 PLL 주파수 신시사이저 IC	MOS	NMOS	로직	20000911	20030916	20050915	상요덴기
1635	LC75700	Key 스캔 LSI	MOS	CMOS	로직	20021211	20031001	20050922	상요덴기
1636	TA1372FNG	VHF대 PLL RF모듈레이터 반도체집적회로	바이폴라	IIL	로직	20030717	20040223	20050926	도시바
1637	2005SG10b100M-ADC	A 10b 100 MS/s 1.4 ㎟ 56mW 0.18um CMOS A/D 변환기 (ADC)	MOS	CMOS	리니어	20050228	20050601	20051026	이승훈
1638	2005SG14b100M-ADC	A 14b 100 MS/s 3.4 ㎟ 145 mW SMIC 0.18 um CMOS A/D 변환기 (ADC)	MOS	CMOS	리니어	20050630	20051001	20051026	이승훈
1639	ICU-WLAN_PA-SG01 (SiGE Bipolar 선형 전력증폭기)	On-chip 구조의 역방향 다이오드 선형화기를 포함하는 무선랜용 선형 전력증폭기	바이폴라	기타	기타	20050221	20050731	20051031	한국정보통신대학교 산학협력단
1640	URF-T01	FeRAM 내장형 UHF RFID TaG Chip	MOS	CMOS	기타	20050731		20051028	충북대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1641	KWU-CEVCO01	간섭 제거기용 발진기	기타	기타	기타	20050520	20051020	20051028	광운대학교 산학협력단
1642	KWU-NFFVCO01	간섭 제거기용 발진기	기타	기타	기타	20050520	20050830	20051028	광운대학교 산학협력단
1643	KWU-Downconverter01	간섭 제거기용 발진기	기타	기타	기타	20050520	20050830	20051028	광운대학교 산학협력단
1644	NGP1000	32 bit RISC Processor	MOS	CMOS	마이크로프로세서	20040531	20050101	20051122	LS산전(주)
1645	120Mb/s급 MIMO-OFDM 기반무선 LAN 시스템을 위한 기저대역 프로세서	무선랜을 위한 기저대역 프로세서	MOS	CMOS	로직	20050531	20050601	20051122	정윤호
1646	12bit 80Mhz Digital-to-Analog Converter	디지털 신호를 아날로그 신호로 변환하는 장치	MOS	CMOS	기타	20050831		20051201	전자부품연구원
1647	ATA2388	Optical Sensor	MOS	CMOS	기타	20050730	20051025	20051129	(주)애트랩
1648	NS73	CMOS FM 스테레오트랜스미터	MOS	CMOS	기타	20050831	20050304	20051215	니이가타세이미츠

14. '06년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1649	과도한 압력을 방지하는 SOI 피에조 저항성 압력센서	과도한 압력을 방지하는 SOI 피에조 저항성 압력센서	기타	기타	기타	2004-12-31	2004-12-31	2006-01-12	옥시트롤.에스.아.
1650	SOI 피에조 저항성 압력센서	과도한 압력을 방지하는 SOI 피에조 저항성 압력센서	기타	기타	기타	2004-12-31	2004-12-31	2006-01-12	옥시트롤.에스.아.
1651	06CBMC001	WLAN 대역의 100mW 급 two stage power amplifier	MOS	CMOS	기타	2006-02-02		2006-02-03	전북대학교 산학협력단
1652	05CBIC003	8 채널,3GHz~3.2GHz 의 동작주파수를 갖는 CMOS 주파수 합성기	MOS	CMOS	기타	2006-02-02		2006-02-03	전북대학교 산학협력단
1653	TA1384FNG	튜너 IC	바이폴라	기타	리니어	2003-11-17	2004-05-24	2006-02-22	도시바
1654	MD61	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1655	MD62	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1656	MD63	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1657	MD64	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1658	MD65	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1659	MD66	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1660	MD67	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1661	MD68	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1662	MD69	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원
1663	MD70	MEMS 스위치 구동용 DC converter	Bi-MOS	기타	기타	2005-08-17	2006-02-28	2006-03-02	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1664	N1022A3	CMOS FM 스테레오트랜스미터	MOS	CMOS	기타	2005-12-22		2006-02-27	니이가타세이미츠
1665	MD11	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1666	MD12	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1667	MD13	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1668	MD14	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1669	MD19	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1670	MD21	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1671	04MD15	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1672	04MD16	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1673	04MD17	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1674	04MD18	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1675	04MD20	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1676	04MD25	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-03-15	한국전자통신연구원
1677	RFID2004V1	UHF 대역에서 동작하는 RFID 태그. EEPROM 메모리와 디지털 블록과 아날로그 블록을 모두 포함한 회로	MOS	CMOS	기타	2004-12-31		2006-03-15	한국전자통신연구원
1678	RFID2004V2	UHF 대역에서 동작하는 RFID 태그. EEPROM 메모리와 디지털 블록과 아날로그 블록을 모두 포함한 회로	MOS	CMOS	기타	2004-12-31		2006-03-15	한국전자통신연구원
1679	LB11660	팬 모터용 단상전파 핼프 프리 드라이버 IC	바이폴라	기타	리니어	2004-09-08	2004-12-21	2006-03-20	산요덴기

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1680	LB11970	팬 모터용 단상전파 드라이버 IC	바이폴라	기타	리니어	2004-06-14	2004-09-16	2006-03-20	산요덴기
1681	LC72725N	RDS(Radio Data System) 신호 복조 처리용 LSI	MOS	CMOS	로직	2003-11-04	2004-10-25	2006-03-20	산요덴기
1682	LV24000	FM 튜너 IC	Bi-MOS	기타	리니어	2004-04-12	2004-12-06	2006-03-20	산요덴기
1683	LV24003	FM 튜너 IC	Bi-MOS	기타	리니어	2005-03-01	2005-07-22	2006-03-20	산요덴기
1684	LV5112	리튬 이온 2차 전지 2셀 직렬 보호 IC	Bi-MOS	CMOS	리니어	2002-05-31	2005-08-03	2006-03-20	산요덴기
1685	JNCSJ_ECC	차세대 공개키 알고리즘인 ECC(Elliptic Curve Cryptographic)의 핵심연산인 스칼라 곱셈을 수행하는 프로세서를 임베디드 시스템이나 SoC 환경에 적합하도록 설계하였다.	MOS	CMOS	마이크로 프로세서	2005-12-03		2006-03-17	전남대학교 산학협력단
1686	AR15LC	Ka band(20.355~21.155GHz) LNA+phase shifter: 입력된 신호를 저잡음 증폭시키고 위상을 5bit 변화시키는 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1687	AR15LS	Ka band(20.355~21.155GHz) low noise amplifier: 입력된 신호를 저잡음 증폭하는 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1688	AR15PS	Ka band(20.355~21.155GHz) phase shifter: 입력된 신호의 위상을 5bit 변화시키는 위상변위기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1689	AT15SS-V1	Ka band(30.085~30.885GHz) power amplifier: 입력된 신호를 고출력 증폭시키는 증폭기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1690	AT25PS-V1	Ka band(30.085~30.885GHz) phase shifter: 입력된 신호의 위상을 5bit 변화시키는 위상변위기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1691	UR25LC	Ku band(11.7~12.75GHz) LNA+phase shifter: 입력된 신호를 저잡음 증폭시키고 위상을 5bit 변화시키는 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1692	UR25LS	Ku band(11.7~12.75GHz) low noise amplifier: 입력된 신호를 저잡음 증폭하는 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1693	UR25PS-V2	Ku band(11.7~12.75GHz) phase shifter: 입력된 신호의 위상을 5bit 변화시키는 위상변위기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1694	UT25PS	Ku band(14.0~14.5GHz) phase shifter: 입력된 신호의 위상을 5bit 변화시키는 위상변위기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1695	UT25SS	Ku band(14.0~14.5GHz) power amplifier: 입력된 신호를 고출력 증폭시키는 증폭기 칩이다.	기타	기타	기타	2004-10-31		2006-03-28	한국전자통신 연구원
1696	CFL_UHF1.0	CFL_UHF1.0 은 무전기 시스템에 적용되어 파워앰프로부터 출력이 큰 경우 신호가 찌그러지는 것을 방지하기 위하여 사용되는 반도체 집적회로임.	Bi-MOS	CMOS	기타	2005-08-30		2006-03-28	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1697	MIX02PA_2220	WCDMA 용 저전력 PA(power amplifier), 무선 LAN 용 저전력 PA, 그 외 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	2005-10-31		2006-03-28	한국전자통신 연구원
1698	EPA_2220	WCDMA 용 저전력 PA(power amplifier), 무선 LAN 용 저전력 PA, 그 외 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	2005-10-31		2006-03-28	한국전자통신 연구원
1699	FEPA_2220	WCDMA 용 저전력 PA(power amplifier), 무선 LAN 용 저전력 PA, 그 외 무선 인터넷 접속 단일칩용 반도체 초고주파 집적회로(MMIC)	기타	기타	기타	2005-10-31		2006-03-28	한국전자통신 연구원
1700	EMHTX-WV1	W-band 대역 자동차 충돌방지 레이다 시스템 송신부에 사용되는 주파수 체배기와 구동증폭기 그리고 전력증폭기를 원칩화한 단일칩 초고주파 집적회로(MMIC)송신기	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원
1701	EMHTX-WV2	W-band 대역 자동차 충돌방지 레이다 시스템 송신부에 사용되는 주파수 체배기, 구동증폭기, 전력증폭기 그리고 Lange Coupler 를 원칩화한 단일칩 초고주파 집적회로(MMIC)송신기	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1702	EMHRX-WV1	W-band 대역 자동차 충돌방지 레이다 시스템 수신부에 사용되는 저잡음증폭기와 구동증폭기 그리고 하향혼합기를 원칩화한 단일칩 초고주파 집적회로(MMIC)	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원
1703	EMHPALC-WV 1	W-band 대역 자동차 충돌방지 레이다 시스템 송신부에 사용되는 전력증폭기와 Lange Coupler를 원칩화한 단일칩 초고주파 집적회로(MMIC)	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원
1704	EMHLADA-WV 1	W-band 대역 자동차 충돌방지 레이다 시스템 수신부에 사용되는 저잡음증폭기와 구동증폭기를 원칩화한 단일칩 초고주파 집적회로(MMIC)	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원
1705	EMH2XDA-WV 1	W-band 대역 자동차 충돌방지 레이다 시스템 송신부에 사용되는 주파수 체배기와 구동증폭기를 원칩화한 단일칩 초고주파 집적회로(MMIC)	기타	기타	기타	2005-05-20		2006-03-28	한국전자통신 연구원
1706	ELP1000_V1	Low Rate WPAN(Wiress Personal Area Network)용 900MHz 대역의 RF와 Digital 모뎀블럭을 집적한 Mixed-mode 단일 칩의 배치 설계로서 RF/Analog Transcevier 뿐만 아니라 ADC/DAC와 모뎀 Digital 블록을 포함하고 있음.	MOS	CMOS	기타	2005-09-10		2006-04-07	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1707	MD22	MEMS 스위치 구동용 DC converter	기타	CMOS	기타	2004-11-07		2006-04-07	한국전자통신 연구원
1708	MD23	MEMS 스위치 구동용 DC converter	기타	CMOS	기타	2004-11-07		2006-04-07	한국전자통신 연구원
1709	MD24	MEMS 스위치 구동용 DC converter	기타	CMOS	기타	2004-11-07		2006-04-07	한국전자통신 연구원
1710	MD32	MEMS 스위치 구동용 DC converter	기타	CMOS	기타	2005-02-14		2006-04-07	한국전자통신 연구원
1711	MD52	MEMS 스위치 구동용 DC converter	기타	CMOS	기타	2005-02-15		2006-04-07	한국전자통신 연구원
1712	UMR04R1	3~5GHz 대역의 UWB Radio 단일 칩의 배치 설계로서 RF/Analog Transceiver를 포함하고 있음.	MOS	CMOS	기타	2005-05-21		2006-04-07	한국전자통신 연구원
1713	UMR04R2	3~5GHz 대역의 UWB RF 시스템의 구성을 위한 Radio 칩의 배치 설계로서 Up/Down Converter, LNA, VGA를 포함하고 있음.	MOS	CMOS	기타	2005-09-21		2006-04-07	한국전자통신 연구원
1714	UOR05R1-1	3~5GHz 대역의 UWB Radio 단일 칩의 배치 설계로서 RF/Analog Transceiver를 포함하고 있음.	MOS	CMOS	기타	2005-09-08		2006-04-07	한국전자통신 연구원
1715	UDR05HNG03	DS-CDMA UWB(Ultra-wideband)용 3~5GHz 대역의 Radio 단일 칩의 배치 설계임	MOS	CMOS	기타	2005-11-01		2006-04-07	한국전자통신 연구원
1716	UDR05HNG04	DS-CDMA UWB(Ultra-wideband)용 3~5GHz 대역의 Radio 단일 칩의 배치 설계임	MOS	CMOS	기타	2005-11-01		2006-04-07	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1717	UDR05HNG05	DS-CDMA UWB(Ultra-wideband)용 3~5GHz 대역의 Radio 단일 칩의 배치 설계임	MOS	CMOS	기타	2005-11-01		2006-04-07	한국전자통신 연구원
1718	UDR05HNG07	DS-CDMA UWB(Ultra-wideband)용 8GHz 대역의 PLL, VCO 단일 칩의 배치 설계임	MOS	CMOS	기타	2005-11-01		2006-04-07	한국전자통신 연구원
1719	60GHz_PA_v1.2	광무선 시스템의 RF front-end 부분 중에서 송신부에 가장 핵심이 되는 부품인 전력증폭기(power amplifier, PA)를 설계 및 제작하였으며, 동작주파수는 59.5~60.05GHz 이며, 증폭도는 15dB 이고, 입출력 반사계수는 각각 -11.5~-11.1dB, -11.4~-10.08dB 이다. 칩의 크기는 3.75mm×1.70mm 이고, 입력 전원은 5Volt 이다.	기타	기타	기타	2005-04-26		2006-04-07	한국전자통신 연구원
1720	60GHz_DA_v1.2	광무선 시스템의 RF front-end 부분 중에서 송신부의 전력증폭기를 구동하기 위한 부품인 구동증폭기(drive amplifier, DA)를 설계 및 제작하였으며, 동작주파수는 59.5~60.5GHz 이며, 증폭도는 17.9~18.5dB 이고, 입출력 반사계수는 각각 -12.9~-11.8dB, -11.8~-6.6dB 이다. 칩의 크기는 3.15mm×1.40mm 이고, 입력 전원은 2Volt 이다.	기타	기타	기타	2005-04-26		2006-04-07	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1721	60GHz_LNA_v1.2	광무선 시스템의 RF front-end 부분 중에서 수신부에 가장 핵심이 되는 부품인 저잡음증폭기(low noise amplifier, LNA)를 설계 및 제작하였으며, 동작주파수는 59.5~60.5GHz 이며, 증폭도는 21.6~22.4dB 이고, 입출력 반사계수는 각각 -11.5~-9.1dB, -10.4~-7.2dB 이다. 칩의 크기는 3.85mm×1.65mm 이고, 입력 전원은 2Volt 이다.	기타	기타	기타	2005-04-26		2006-04-07	한국전자통신 연구원
1722	D2_VM4_VER5_25	UHF 대역에서 동작하는 RFID 태그, EEPROM 메모리, 디지털 블록, 아날로그 블록을 모두 포함한 회로.	MOS	CMOS	기타	2005-09-30		2006-04-07	한국전자통신 연구원
1723	WAKEUP_V1	UHF 대역에서 동작하는 RFID 태그용 아날로그 회로 및 wake-up 회로.	MOS	CMOS	기타	2005-09-30		2006-04-07	한국전자통신 연구원
1724	TAGWRAPPER	UHF 대역에서 동작하는 RFID 태그용 디지털 블록.	MOS	CMOS	로직	2005-09-30		2006-04-07	한국전자통신 연구원
1725	MD27	MEMS 스위치 구동용 DC converter	기타	기타	기타	2004-11-07		2006-04-07	한국전자통신 연구원
1726	MD28	MEMS 스위치 구동용 DC Converter	기타	기타	기타	2004-11-07		2006-04-21	한국전자통신 연구원
1727	MD29	MEMS 스위치 구동용 DC Converter	기타	기타	기타	2004-11-07		2006-04-21	한국전자통신 연구원
1728	MD30	MEMS 스위치 구동용 DC Converter	기타	기타	기타	2004-11-07		2006-04-21	한국전자통신 연구원
1729	MD26	MEMS 스위치 구동용 DC Converter	기타	기타	기타	2004-11-07		2006-04-21	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1730	LIM_InP05-2_21	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치 증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원
1731	LIM_InP05-2_23	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치 증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원
1732	LIM_InP05-2_32	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치 증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원
1733	MD05-2_123A	40Gb/s 전송속도의 광통신용 송신부의 시스템에 사용되어 레이저다이오드에서 나오는 광신호를 변조하는 모듈레이터를 동작시키는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원
1734	MD05-2_123B	40Gb/s 전송속도의 광통신용 송신부의 시스템에 사용되어 레이저다이오드에서 나오는 광신호를 변조하는 모듈레이터를 동작시키는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원
1735	LIM_InP05-2_12	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치 증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1736	ETRI-4:1_MUX 2	광섬유를 이용한 광통신용 시스템의 송신부에 들어가는 디지털회로로서 4 개의 데이터신호를 합쳐(multiplex) 하나의 출력으로 만드는 회로이다.	기타	기타	로직	2005-02-20		2006-04-21	한국전자통신 연구원
1737	ETRI-1:4_DeM UX2	광섬유를 이용한 광통신용 시스템의 수신부에 들어가는 디지털회로로서 1 개의 데이터신호를 분리하여(de-multiplex) 4 개의 출력으로 만드는 회로이다.	기타	기타	로직	2005-02-20		2006-04-21	한국전자통신 연구원
1738	ETRI-MD_v1	광섬유를 이용한 광통신용 시스템의 송신부에 들어가 LASER 를 구동하는 회로로서 전자적인 디지털데이터신호를 광신호로 변화하는데 사용하는 구동회로이다.	기타	기타	기타	2005-06-20		2006-04-21	한국전자통신 연구원
1739	ETRI-MD_v2	광섬유를 이용한 광통신용 시스템의 송신부에 들어가 LASER 를 구동하는 회로로서 전자적인 디지털데이터신호를 광신호로 변화하는데 사용하는 구동회로이다.	기타	기타	기타	2005-06-20		2006-04-21	한국전자통신 연구원
1740	ETRI-LA_v1	광섬유를 이용한 광통신용 시스템의 수신부에 들어가 전기적인 수신신호를 디지털신호 레벨에 맞게 제한증폭하는 회로이다.	기타	기타	기타	2005-10-20		2006-04-21	한국전자통신 연구원
1741	LIM_InP05-2_1 1	40Gb/s 전송속도의 광통신용 수신부의 시스템에 사용되어 전치증폭기에서 나온 전압신호를 원하는 출력전압이 나오도록 제한적으로 증폭하는 회로이다.	기타	기타	기타	2005-10-31		2006-04-21	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1742	PZ1010	900MHz 대역의 Low Rate WPAN 용 RF 블록을 집적한 배치 설계로서 RF/Analog Transceiver, Fractional N PLL, ADC/DAC 블록, 그리고 SPI 블록을 포함하고 있음.	MOS	CMOS	기타	2005-08-16		2006-04-21	한국전자통신 연구원
1743	LV1116N	TV 세트용 서라운드 프로세서 IC	Bi-MOS	기타	리니어	2003-10-25	2004-04-28	2006-04-24	산요덴기
1744	LB11850	팬 모터용 속도 제어 회로 내장 단상전파 프리 드라이버 IC	바이폴라	기타	리니어	2005-10-14		2006-04-24	산요덴기
1745	LB11867	팬 모터용 단상전파 프리 드라이버 IC	바이폴라	기타	리니어	2005-10-05		2006-04-24	산요덴기
1746	CMOS 1 축 촉각센서	Silicon piezo-resistive sensor	MOS	CMOS	리니어	2006-03-31		2006-04-27	전자부품연구 원
1747	CMOS 3 축 촉각센서	Silicon piezo-resistive sensor	MOS	CMOS	리니어	2006-03-31		2006-04-27	전자부품연구 원
1748	TA1395FNG	튜너 IC	바이폴라	기타	리니어	2004-09-22	2005-06-14	2006-05-08	도시바
1749	LC75756	1/3 듀티 VFD 표시 드라이버 IC	MOS	CMOS	로직	2004-03-29	2004-09-24	2006-05-08	산요덴기
1750	LC75819	1/4 듀티 범용 LCD 표시 드라이버 IC	MOS	CMOS	로직	2004-04-20	2004-09-24	2006-05-08	산요덴기
1751	LC75826	1/4 듀티 범용 LCD 표시 드라이버 IC	MOS	CMOS	로직	2004-02-13	2004-08-25	2006-05-08	산요덴기
1752	LC75847	1/3, 1/4 듀티 범용 LCD 표시 드라이버 IC	MOS	CMOS	로직	2002-05-09	2004-06-01	2006-05-08	산요덴기
1753	LC75876	1/4 듀티 범용 LCD 표시 드라이버 IC	MOS	CMOS	로직	2004-03-15	2004-08-25	2006-05-08	산요덴기
1754	KERI-PFC IC 2.0	대용량 전원 공급기 역률 제어용 IC	MOS	CMOS	기타	2005-09-30		2006-06-26	한국전기연구 원
1755	KWU-FDBM_I CS	간섭 제거기용 주파수 변환기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1756	KWU-DCVCO_01	간섭 제거기용 주파수 변환기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1757	KWU-Downconverter02	간섭잡음 제거기용 LNA 및 Mixer	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1758	KWU-HPMV	간섭 제거기용 발진기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1759	KWU-PRED-UDBM	간섭 제거기용 발진기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1760	KWU-DCDBM-ICS	간섭 제거기용 발진기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1761	KWU-NFVCO-DCCT	간섭 제거기용 발진기	기타	기타	기타	2006-04-05		2006-07-31	광운대학교 산학협력단
1762	IP9702X	1 CH-VCM Driver IC	바이폴라	TTL	로직	2006-05-12	2006-06-12	2006-08-07	인터피온반도체㈜
1763	LB11861M	팬모터용 단상 바이폴라 구동의 모터 드라이버 IC	바이폴라	기타	리니어	2003-10-16	2004-08-23	2006-08-30	상요한도따이
1764	LA42072N	TV 용 7W×2 파워앰프 IC	바이폴라	기타	리니어	2004-07-21	2004-11-24	2006-08-30	상요한도따이
1765	LA4930M	디지털 파워앰프용 PWM 콘트롤러 IC	바이폴라	기타	리니어	2003-04-15	2004-11-17	2006-08-30	상요한도따이
1766	ICC1	디지털 파워앰프용 PWM 콘트롤러 IC	바이폴라	기타	리니어	2004-07-16	2005-02-03	2006-08-30	상요한도따이
1767	LB11683H	팬모터용 3 상 센서리스 모터 드라이버 IC	바이폴라	기타	리니어	2004-07-12	2004-09-16	2006-08-30	상요한도따이
1768	LB11696	다이렉트 PWM 구동 프리 드라이버 IC	바이폴라	기타	리니어	2004-02-24	2004-09-02	2006-08-30	상요한도따이
1769	LB11899	VCR 용 3 in 1 모터 드라이버 IC	바이폴라	기타	리니어	2004-05-10	2004-10-29	2006-08-30	상요한도따이
1770	LC750510C	박형 텔레비전용 음향 처리 아날로그 IC	바이폴라	기타	리니어	2004-08-20	2005-03-10	2006-08-30	상요한도따이
1771	LC750511C	박형 텔레비전용 음향 처리 디지털 IC	바이폴라	기타	리니어	2004-08-20	2005-03-10	2006-08-30	상요한도따이
1772	LC786900C	오디오 신호 처리 IC	바이폴라	기타	리니어	2004-06-15	2004-10-13	2006-08-30	상요한도따이

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1773	LV8212	CD 및 MD 세트용 시스템 모터 드라이버 IC	바이폴라	기타	리니어	2003-07-31	2004-10-12	2006-08-30	상용한도파이
1774	LR35981	CMOS 1 칩 마이크로 컴퓨터(ARM9 와 ARM7 을 탑재)	MOS	CMOS	마이크로 프로세서	2005-04-20	2005-06-28	2006-09-01	샤프
1775	K8MCU-V01	대용량 전원 공급기 역률 제어용 IC	MOS	CMOS	기타	2006-06-30		2006-09-08	한국전기연구원
1776	KWU-DCVCO_02	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1777	KWU-DCVCO_03	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1778	KWU-DCORE-CDBM	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1779	KWU-MMIX-ICS	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1780	KWU-DBFCM-ICS	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1781	KWU-FCM-ICS	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1782	KWU-NFVCO-SCAIT	간섭 제거기용 발진기	기타	기타	기타	2006-07-10		2006-12-04	광운대학교 산학협력단외 2
1783	WCDMA PA01	WCDMA 용 저전력 전력증폭기(power amplifier), 무선 LAN 용 저전력 전력증폭기 그 외 무선 인터넷 접속 단일 칩용 반도체 초고주파 집적회로(MMIC)로 무선통신시스템의 핵심 RF 부품을 배치설계한 것임.	기타	기타	기타	2006-05-31		2006-12-13	한국전자통신 연구원

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1784	WCDMA PA03	WCDMA 용 저전력 전력증폭기(power amplifier), 무선 LAN 용 저전력 전력증폭기 그 외 무선 인터넷 접속 단일 칩용 반도체 초고주파 집적회로(MMIC)로 무선통신시스템의 핵심 RF 부품을 배치설계한 것임.	기타	기타	기타	2006-05-31		2006-12-13	한국전자통신 연구원
1785	WCDMA PA03_1	WCDMA 용 저전력 전력증폭기(power amplifier), 무선 LAN 용 저전력 전력증폭기 그 외 무선 인터넷 접속 단일 칩용 반도체 초고주파 집적회로(MMIC)로 무선통신시스템의 핵심 RF 부품을 배치설계한 것임.	기타	기타	기타	2006-05-31		2006-12-13	한국전자통신 연구원
1786	ETRI_MSS	본 배치 설계물은 멀티서비스 스위치의 개발 과제와 관련하여 멀티서비스 스위치를 ASIC 칩으로 구현한 것이다. 멀티서비스 ASIC 칩은 동부일렉트로닉스의 0.13㎛ CMOS 공정(MPW)를 이용하여 설계 및 제작되었다.	MOS	CMOS	기타	2006-09-14		2006-12-13	한국전자통신 연구원
1787	LV4970M	디지털앰프용 하프브릿지 드라이버 IC	바이폴라	기타	리니어	2003-04-25	2004-12-16	2006-12-13	상요한도따이

15-1. '07년도(01.01.~10.27.) 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1788	Ultra Low Dropout Voltage Regulator	초저전압 강하형 전압 레귤레이터	MOS	CMOS	리니어	2006-05-22	2006-11-05	2007-02-01	㈜태진기술
1789	2007SG6b1G-ADC	A Dual-Channel 6b 1GS/s 0.18㎛ CMOS A/D 변환기(ADC)	MOS	CMOS	리니어	2006-01-31	2006-05-01	2007-02-08	서강대학교 산학협력단
1790	2007SG10b25M-ADC	A 10b 25MS/s 4.8㎽ 0.13㎛ CMOS A/D 변환기(ADC)	MOS	CMOS	리니어	2006-04-30	2006-08-01	2007-02-08	서강대학교 산학협력단
1791	2007SG12b200K-ADC	A 12b 200㎑ 0.52㎃ 0.47㎟ 0.18㎛ CMOS 알고리즈믹 A/D 변환기(ADC)	MOS	CMOS	리니어	2006-05-31	2006-09-01	2007-02-08	서강대학교 산학협력단
1792	2007SG10b250M-ADC	A 10b 250MS/s 1.8㎟ 85㎽ 0.13㎛ CMOS A/D 변환기(ADC)	MOS	CMOS	리니어	2006-07-31	2006-08-01	2007-02-08	서강대학교 산학협력단
1793	LA42051	TV 용 5W×1 파워앰프 IC	바이폴라	기타	리니어	2003-10-14	2005-07-04	2007-04-19	상요한도따이 가부시끼가이샤
1794	LA42052	TV 용 5W×2 파워앰프 IC	바이폴라	기타	리니어	2003-04-25	2005-07-04	2007-04-19	상요한도따이 가부시끼가이샤
1795	LB11691H	삼상바이폴라 PWM 구동용 프리드라이버 IC	바이폴라	IIL	리니어	2004-12-20	2005-06-23	2007-04-19	상요한도따이 가부시끼가이샤

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1796	LB11697V	다이렉트 PWM 구동 프리드라이버 IC	바이폴라	IIL	리니어	2005-03-03	2005-06-17	2007-04-19	상요한도따이 가부시끼가이샤
1797	LC75836W	1/4 듀티 LCD 표시드라이버 IC	MOS	CMOS	로직	2006-01-25	2006-05-22	2007-04-19	상요한도따이 가부시끼가이샤
1798	2 Mega Cmos Image Sensor PAD 배치와 면적의 최소화	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	2006-07-14	2006-10-05	2007-06-19	엠텍비젼 주식회사
1799	2 Mega CIS New CDSDDS 32Cell	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	2006-07-14	2006-10-05	2007-06-19	엠텍비젼 주식회사
1800	2 Mega Cmos Image Sensor New Column Decoder 32Cell	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	2006-07-14	2006-10-05	2007-06-19	엠텍비젼 주식회사
1801	2 Mega Cmos Image Sensor New Row Decoder 32Cell	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	2006-07-14	2006-10-05	2007-06-19	엠텍비젼 주식회사
1802	2 Mega Cmos Image Sensor NoWell 사용으로 Sub Bulk 분리	2 Mega Pixel Cmos Image Sensor	MOS	CMOS	리니어	2006-07-14	2006-10-05	2007-06-19	엠텍비젼 주식회사
1803	KERI-LDO	스위치 모드 전원 공급기 전력 제어용 IC	MOS	CMOS	기타	2006-10-25		2007-06-18	한국전기연구원
1804	2007KS2230-1	이동통신 단말기 선형화 증폭기	바이폴라	기타	리니어	2007-06-05		2007-06-22	한국정보통신대학교 산합협력단

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1805	KERI-PWMIC	스위치 모드 전원 공급기 전력 제어용 IC	MOS	CMOS	기타	2006-10-25		2007-06-22	한국전기연구원
1806	KERI-VCO	스위치 모드 전원 공급기 전력 제어용 IC	MOS	CMOS	기타	2006-10-25		2007-06-22	한국전기연구원
1807	KERI-Fine Comparator	스위치 모드 전원 공급기 전력 제어용 IC	MOS	CMOS	기타	2006-10-25		2007-06-22	한국전기연구원
1808	LA42032	TV 용 5W×2 파워앰프 IC	바이폴라	기타	리니어	2005-04-27	2006-02-27	2007-06-26	상요한도따이가부시끼가이샤
1809	LV8052LP	디지털스틸 카메라용의 모터 드라이버 IC	Bi-MOS	기타	기타	2005-04-14	2005-09-08	2007-06-26	상요한도따이가부시끼가이샤
1810	LV8054LP	디지털스틸 카메라용의 모터 드라이버 IC	Bi-MOS	기타	기타	2005-05-16	2005-10-04	2007-06-26	상요한도따이가부시끼가이샤
1811	LA42031	TV 용 5W×1 파워앰프 IC	바이폴라	기타	리니어	2005-05-20	2006-04-06	2007-09-06	상요한도따이가부시끼가이샤
1812	LA42152	TV 용 15W×2 파워앰프 IC	바이폴라	기타	리니어	2003-10-25	2006-03-23	2007-09-06	상요한도따이가부시끼가이샤
1813	LA78040B	CRT TV 용 수직 출력 IC	바이폴라	기타	리니어	2005-09-05	2006-08-10	2007-09-06	상요한도따이가부시끼가이샤
1814	LA8122T	AGC 앰프 IC	바이폴라	기타	리니어	2005-04-11	2005-11-02	2007-09-06	상요한도따이가부시끼가이샤

등록 번호	집적회로의 명칭	간단한 설명	구조	기술	기능	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1815	LC72725KV	RDS 신호 복조처리용 IC	MOS	CMOS	로직	2005-11-17	2006-09-14	2007-09-06	상요한도따이 가부시끼가이샤
1816	LV25200M	카 스테레오용 라디오 튜너 IC	Bi-MOS	기타	기타	2003-12-15	2006-03-09	2007-09-06	상요한도따이 가부시끼가이샤
1817	ALP307	DSP 대응 카용 라디오튜너 IC	Bi-MOS	기타	기타	2001-12-07	2005-11-17	2007-09-06	상요한도따이 가부시끼가이샤
1818	LV8044LP	DSC 용 모터드라이버 1 칩 IC	Bi-MOS	기타	리니어	2005-07-08	2006-04-04	2007-09-06	상요한도따이 가부시끼가이샤
1819	KERI-PLC AFE	광대역 전력선 통신용 아날로그 프론트 엔드 IC	MOS	CMOS	기타	2007-06-29		2007-10-10	한국전기연구원
1820	옵셋 보정기능을 가지는 CMOS 정전 용량형 센서 Readout IC	옵셋 보정기능을 가지는 신호처리회로	MOS	CMOS	리니어	2007-09-13		2007-10-23	전자부품연구원

15-2. '07년도(10.28.~12.31.) 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1821	NVP1004MX	(MOS CMOS 기타) Analog Video Decoder for NTSC/PAL	Analog and Digital Mixed Signal	2007-02-28	2007-03-02	2007-10-30	㈜넥스트칩
1822	NVP7000	(MOS CMOS 기타) Analog Video Decoder for NTSC/PAL/SECAM	Analog and Digital Mixed Signal	2006-11-08	2006-11-09	2007-10-30	㈜넥스트칩
1823	NAP9004	Analog Audio Codec(구조:MOS, 기술:CMOS, 기능:기타)	Analog and Digital Mixed Signal	2007-05-10	2007-10-01	2007-10-30	㈜넥스트칩
1824	NVP1000E	Analog Video Decoder for NTSC/PAL(구조:MOS, 기술:CMOS, 기능:기타)	Analog and Digital Mixed Signal	2005-05-30	2005-12-01	2007-10-30	㈜넥스트칩
1825	NVP1004	Analog Video Decoder for NTSC/PAL(구조:MOS, 기술:CMOS, 기능:기타)	Analog and Digital Mixed Signal	2006-05-18	2006-06-21	2007-10-30	㈜넥스트칩
1826	1.5A Low Voltage to Low Voltage Conversion Sub 1V Ultra Low Dropout Voltage Regulator	가. 본건 신청에 관계되는 배치설계를 이용하여 제조한 제품은 1.5A의 출력 전류를 가지는 저전압 변환이 가능한 1V 이하의 낮은 출력전압을 가질 수 있는 초저전압강하형 전압레귤레이터(Ultra Low Dropout Regulator)로서, CMOS 트랜지스터를 사용하여, Cadence Spectre 회로 시뮬레이터로 회로의 설계 및 검증을 완성한 후, Cadence Virtuoso를 이용하여, 2006년 11월 04일~2007년 4월 10일 간에 신청인이 독자적인 기술로 창작한 반도체 집적회로임.	Analog and Digital Mixed Signal	2007-04-10	2007-09-01	2007-11-30	㈜태진기술
1827	3.0A Low Voltage to Low Voltage Conversion Sub 1V Ultra Low Dropout Voltage Regulator	가. 본건 신청에 관계되는 배치설계를 이용하여 제조한 제품은 3.0A의 출력 전류를 가지는 저전압 변환이 가능한 1V 이하의 낮은 출력전압을 가질 수 있는 초저전압강하형 전압레귤레이터(Ultra Low Dropout Regulator)로서, CMOS 트랜지스터를 사용하여, Cadence Spectre 회로 시뮬레이터로 회로의 설계 및 검증을 완성한 후, Cadence Virtuoso를 이용하여, 2007년 04월	Analog and Digital Mixed Signal	2007-08-01	2007-11-01	2007-11-30	㈜태진기술

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		11 일~2006 년 08 월 01 일 간에 신청인이 독자적인 기술로 창작한 반도체 집적회로임.					
1828	ETC 차량 단말기용 RF Module	ETC 차량 단말기용 RF Module 로, ETC 서비스의 무선 통신 부분을 담당하여 RES 에서 송출된 초고주파 신호를 수신하여 데이터를 복원하고, 송신 데이터를 ASK 변조하여 RSE 로 송출하는 역할을 한다.	Analog and Digital Mixed Signal	2007-11-23	2007-11-23	2007-12-05	㈜텔트론
1829	KERI MMIC-V01	전원장치를 위한 시스템 연동제어 전원 제어	Others	2007-06-13		2007-12-12	한국전기 연구원
1830	KERI CCO V01	지능형 SMPS 용 디지털 절전 제어 IC	Others	2007-08-31		2007-12-12	한국전기 연구원
1831	KULDO_V1	지능형 SMPS 용 디지털 절전 제어 IC	Others	2007-08-31		2007-12-13	한국전기 연구원
1832	PMIC_STC	지능형 SMPS 용 디지털 절전 제어 IC	Others	2007-08-31		2007-12-13	한국전기 연구원
1833	KERI-PWMIC_ V3	지능형 SMPS 용 디지털 절전 제어 IC	Others	2007-08-31		2007-12-13	한국전기 연구원
1834	High speed DSP	0.13 um cell 로 Layout 한 High speed DSP chip.DSP Core 와 Memory Block 으로 구성되어 있다. 저전력 및 고속 동작이 가능하도록 배치 / 배선 되어 있다.	Digital Logic	2006-12-15	2007-08-16	2007-12-13	아스텔 주식회사
1835	Reconfigurable On-Chip Debugger	현재의 대부분의 마이크로프로세서는 프로세서 내부에서 동작하는 소프트웨어의 동작을 검증하기 위해 자체적으로 디버깅 기능을 지원할 수 있는 로직을 내장 하는 형태로 출시되고 있다. 대부분의 프로세서들은 JTAG 프로토콜을 따르면서 고유한 형태의 On-Chip Debugger 구조를 가지고 있다. 설계한 Reconfigurable On-Chip Debugger(ROCD)는 RISC 타입의 프로세서에 내장되어서 프로세서와 연동해서 다양한 디버깅 기능을 지원하는 역할을 할 수 있는 로직이다. ROCD 는 디버깅에 필요한 컨트롤 신호를 만드는 TAP(Test Access Port), 프로세서의 동작을 모니터링하는 OCE(On-Chip Emulator), 3 개의 스캔체인으로 구성되어 있다.ROCD 는 5 종류의 디버깅 동작을	Digital Logic	2007-03-01		2007-12-14	박주성

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		지원한다. 프로세서를 디버깅하고자 하는 위치에 멈추게 하는 Breakpoint/watchpoint 기능, 프로세서 내부 레지스터를 읽고 쓸구 있는 기능 (read/write register), 프로세서와 연결된 메모리의 특정 어드레스의 값을 읽거나 쓸 수 있는 기능, 그리고 한 명령어씩 실행 시키면서 디버깅 할 수 있는 single step 기능이 있다.ROCD 는 프로세서와 연결되는 부분의 약간의 수정으로 새로운 타입을 RISC 타입을 프로세서에 쉽게 내장할 수 있는 구조로 되어 있다.					
1836	CoreA	Core-A 는 embedded System 을 위한 powerful 한 RISC processor 이다. Core-A 는 C-compiler 와 assembler, Instruction Set simulator, Cache Controller, Memory Management Unit, Coprocessor interface, On-chip bus architecture(AHB 의 Extended Version 이지만 AHB 와 Compatibilitble 하다)과 여러 가지의 Interllectural property 와 함께 하나의 Environment 를 형성한다. 또한 상기 제공되는 항목들은 모두 이러한 Environment 내에서 검증되었다.	Digital Logic	2007-09-17		2007-12-14	박인철
1837	2007SG12b1k-ADC	본 건 신청에 관계되는 배치설계를 이용하여 제작한 12b 1kS/s 70uA 0.35um CMOS A/D 변환기 (명칭: 2007SG12b1k-ADC)는 자동차의 에어백, 차량자세 제어에 사용되는 가속도 센서, 디지털 기기의 손 떨림 방지를 위한 자이로 센서 등과 같은 각종 micro electro mechanical systems (MEMS)센서 응용에 사용하기 위해 0.35um CMOS 공정으로 HSPICE 2007 년 8 월 31 일 동안에 연구책임자인 창작자가 독자적인 기술로 창작한 반도체직접회로임. 시제품의 독창성을 보여주는 구체적인 근거자료 중 하나로, 2007 년 11 월 제 8 회 특허청 반도체배치설계공모전에서 특별상(한국반도체산업협회상)을 획득한 상장의 사본을 첨부함. 한편, 이 제품은 SMIC 0.35um 공정으로 제작되어 서울대학교에서 주관하는 정보통신 선도기반기술사업에서 수행하고자 하는 지능형 로봇센서에 응용되어 그 성능이 시스템적으로 검증되었으며, A/D 변환기의 자체 성능을	Analog and Digital Mixed Signal	2007-08-31		2007-12-14	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		측정하기 위해 KAIST 반도체설계교육센터(IDEC)의 지원으로 매그나칩 0.35um 공정을 사용하여 추가적으로 제작 및 성능 검증을 하였음. 또한, 이 제품을 확장 응용한 제품이 필서스테크놀러지 등의 벤처 회사의 제품에 사용될 정도로 그 활용 가치가 매우 높음.					
1838	2007SG12b120M-ADC	본 건 신청에 관계되는 배치설계를 이용하여 제작한 12b 120MS/s 0.18um CMOS A/D 변환기 (명칭: 2007SG12b120k-ADC)는 2010 년 정도에 사용화를 목적으로 개발이 가속화되고 있는 full HD 방송의 송출 시스템, 레이더 영상, 의료영상과 같이 고속으로 동작하며 고해상도, 저전력 및 소면적을 동시에 요구하는 고화질 영상시스템 응용을 위해 0.18um CMOS 공정으로 제작되었으며, HSPICE 시뮬레이션 프로그램과 CADENCE 레이아웃 기법을 제안하였다. 제안하는 ADC 에 적용된 기술로는 온도 및 전원 전압의 변환에 덜 민감한 기준 전류 및 전압 발생기, 입력단 sample-and-hold 증폭기 회로의 게이트-부트스트레핑 기법, multiplying D/A 변환기의 병합 커패시터 스위칭 기법, 그리고 flash ADC 의 인터폴레이션 기법과 2 단 오픈-루프 오프셋 샘플링 기법 등이 있다. 특히, 2007 년 11 월에는 제 8 회 특허청 반도체배치설계 공모전에서 동상(특허청장상)을 획득하였으며, 상장사본을 첨부하였다. 또한, 제안하는 ADC 에 내장된 전류 발생기는 ADC 뿐만 아니라 다른 아날로그/혼성모드 회로의 중요한 부품으로도 활용이 가능하고, 통신 수신채널, TV 및 비디오 디코더, 디지털 이미지 처리기 등 많은 다양한 시스템에서 사용될 수 있을 것이다.	Analog and Digital Mixed Signal	2007-08-31		2007-12-14	서강대학교 산학협력단
1839	2007SG10b70m-ADC	본 건 신청에 관계되는 배치설계를 응용하여 제작한 10b 70MS/s 0.8V 22.4mW 0.98㎟ 0.13um CMOS 2 단 파이프라인 A/D 변환기(명칭: 2007SG10b67m-ADC)는 0.5V 부터 1.2V 까지의 전원전압에서 10M/S 이상 100MS/s 까지의 재구성이 가능하며, 차세대 휴대용 이용 SoC 응용 시스템에 사용하기 위해	Analog and Digital Mixed Signal	2006-12-31		2007-12-14	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		제작되었다. 이 제품은 0.13um CMOS 공정으로 HSPICE 시뮬레이션 프로그램과 CADENCE 레이아웃 소프트웨어를 활용하여, 2006 년 1 월 1 일부터 2006 년 12 월 31 일동안에연구책임자인창작자가독자적인기술로창작한반도체직접회로임. 제품의 독창성 및 우수성을 보여주는 구체적인 근거자료 중 하나로 2007 년 2 월 제 13 회 삼성휴먼테크 논문대상에서 은상을 획득한 상장의 사본을 첨부함. 한편, 이제품은 현재까지 발표된 10 비트 수준에서 수십 MS/s 이상의 고속동작을 하는 ADC 중 0.5V 전원 전압에서도 동작하는 유일한 ADC 이며, 0.5V 부터 1.2V 까지의 전원전압의 변화에 따라 10MS/s 이상 100MS/s 까지의 재구성이 가능하므로, 배터리의 전원 전압 강하가 발생하는 휴대용 응용 시스템에 구 활용 가치가 매우 높다.					
1840	Digital-to-Analog Converter(12bit 80MHz)	본건 신청에 관계되는 배치설계를 이용하여 제조된 IC 는 CMOS 로 구성된 12bit 해상도에 80MHz 의 샘플링 속도로 아날로그 신호를 디지털 신호로 변환하는 Digital-to-Analog Converter 이다. DAC 는 입력 버퍼, 디코더, 레퍼런스, MSB/LSB current cells 로 구성되어 있다. 또한, 코드변화로 인한 glitch noise 를 최소화하기 위해 deglitch 회로를 사용하였으며, 레퍼런스 회로는 내부와 외부 회로를 적용할 수 있도록 설계하였다.	Analog and Digital Mixed Signal	2007-05-31		2007-12-26	전자부품 연구원
1841	Digital-to-Analog Converter(12bit 80MHz)	본건 신청에 관계되는 배치설계를 이용하여 제조된 IC 는 CMOS 로 구성된 12bit 해상도에 80MHz 의 샘플링 속도로 아날로그 신호를 디지털 신호로 변환하는 Digital-to-Analog Converter 이다. DAC 는 입력 버퍼, 디코더, 레퍼런스, MSB/LSB current cells 로 구성되어 있다. 또한, 코드변화로 인한 glitch noise 를 최소화하기 위해 deglitch 회로를 사용하였으며, 레퍼런스 회로는 내부와 외부 회로를 적용할 수 있도록 설계하였다.	Analog and Digital Mixed Signal	2007-11-19		2007-12-26	전자부품 연구원
1842	USB	제출된 USB Test Fixture 는 USB	Digital Logic	2007-12-28	2007-12-29	2007-12-30	이정욱

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	Compliance Test Fixture	컴플라이언스 테스트를 최적화하여, 테스트 할 수 있도록 고안, 개발된 Fixture Set 로써, USB V1.1 부터 USB V2.0 까지 다양한 USB 장치들에 대해 보다, 쉽고, 편리하게 테스트 할 수 있는 회로임					
1843	USB TO IDE CONVERTER	본 배치설계는 싸이프레스의 마이크로컨트롤러를 사용하여, IDE 방식의 하드디스크를 연결하여 사용할 수 있도록 하는 USB TO IDE 디바이스로써, 싸이프레스의 마이크로컨트롤러는 CY7C68300 를 사용하였으며, 하드웨어가 매우 안정적이고 다양한 어플리케이션에 적용이 가능함.	Digital Logic	2007-12-27	2007-12-31	2007-12-31	이정욱
1844	USB TO RS232	본 배치설계는 FTDI 社의 FT2232 와 SIPEX 社의 SP2131EHCA 를 이용하여, USB 를 RS232 로 변환 시켜주는 장치로써, 1 개의 FT2232 로 2 개의 RS232 포트를 생성시키도록 회로가 구성됨. 간단하고, 안정적인 어플리케이션 회로로써 다양한 산업적 이용이 가능함.	Digital Logic	2007-12-28	2007-12-31	2007-12-31	이정욱

16. '08년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1845	USB STUDY KIT	본 배치설계는 ATMEL社의 AVR 시리즈 MCU와 필립스社의 PDIUSBD12를 이용한 것으로, USB 통신으로 호스트(Host)와 연결하여 디바이스와 호스트 상호간 데이터 전송과 모니터링을 할 수 있도록 구성된 장치로, USB의 하드웨어,펌웨어, 디바이스 드라이버, 어플리케이션까지 그 개념과 원리, 구현까지쉽게 습득할 수 있도록 한 장치임	Digital Logic	2007-02-01	2007-02-01	2008-01-21	이정욱
1846	USB ISP	본 배치설계는 ATMEL社의 AVR 시리즈 마이크로컨트롤러에 펌웨어(Firmware)를 USB 통신을 이용해서, ISP방식으로 다운로드(download) 하기 위한 장치로 일반적인 시리얼(Serial)방식의 다운로더보다 월등히 빠르고, 호스트와 가상시리얼포트를 사용해서 연결됨으로써 안정적인 성능을 가지는 USB ISP 장치임	Digital Logic	2007-02-01	2007-02-01	2008-01-21	이정욱
1847	뇌파 파형 측정 회로(Brain Pulse Measurement Circuit)	본 배치설계는 인간의 뇌(brain)에서 발생하는 미소 전위 파형(pulse)을 수집하여, 적절한 노이즈(noise) 처리를 한 후, 안정적으로 증폭하여 오실로스코프(oscilliscope)등의 외부 표시 장치가 이를 표시할 수 있도록 하는 회로(circuit)임.	Analog and Digital Mixed Signal	2007-02-01	2007-02-01	2008-01-21	이정욱
1848	NIR(Near Infrared)을 이용한 종양검사용 USB 장치	본 배치설계는 근적외선센서인 NIR(Near Infrared)를 이용하여, 종양 및 괴사 조직의 유무를 판별하는 장치로써, 측정 결과를 USB 방식으로 PC로 전송하여 그 결과를 응용할 수 있도록 고안된 장치이며, 비침습적인 광학적 측정 방식과 간단한 디바이스 구성으로 기능,가격,성능면에서 우수하게 제작된 의료용 디바이스임.	Analog and Digital Mixed Signal	2007-10-02	2008-01-02	2008-01-21	이정욱
1849	uALFAT-USB	본 배치설계는 PC의 파일시스템(FAT)을 하드웨어(hardware)적으로 구현해주는 시스템으로 USB MassStorage에 저장된 데이터를 bulk type transfer으로 변환하여, 호스트(Host)쪽으로 시리얼방식으로 전송해줌으로써 그 동안 복잡한 펌웨어를 사용해서 제작하였던, FAT(File Allocation Table)을 쉽고, 간단하게 시스템에 포팅(porting)할 수 있도록 고안된 시스템임	Digital Logic	2007-01-01	2007-02-05	2008-01-26	이정욱
1850	KWU-RFVGA	DVBS-2 수신기의 튜너용 IC는 기본적으로	Analog and	2007-01-10		2008-02-12	광운대학

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Zero-IF 구조를 채택하였으며, 우리나라의 경우 위성으로부터 11.7G~12GHz의 주파수 영역의 신호를 수신하여 LNB를 통해서 변환되어 수신기의 튜너IC에는 950MHz~2.15GHz 주파수 영역을 수신하게 됩니다. 본 창작은 DVB-S2 수신기의 튜너용 IC에서 Gain Control을 하기 위한 RF VGA 블록에 관한 것이다. DVB-S2는 950MHz~2.15GHz의 광대역과 넓은 이득영역을 요구한다. 그래서 본 창작은 기본적으로 NF와 선형성을 위하여 차동구조를 기본구조로 사용하였고, 광대역 주파수 영역을 위하여 Shunt peaking과 feedbak 구조를 이용하였으며, PMOS Load로 MOS channel resistance를 조절하여 약 20dB의 이득 영역을 가지도록 하였다. 칩 크기는 ㎛^{2} 로 제작되었다. RF VGA의 주요 특성은 다음과 같다.	Digital Mixed Signal				교 산학협력단외 2
1851	KWU-LNA	DVBS-2 수신기의 튜너용 IC는 기본적으로 Zero-IF 구조를 채택하였으며, 우리나라의 경우 위성으로부터 11.7G~12GHz의 주파수 영역의 신호를 수신하여 LNB를 통해서 변환되어 수신기의 튜너IC에는 950MHz~2.15GHz 주파수 영역을 수신하게 됩니다. 본 창작은 DVB-S2 수신기의 튜너용 IC에서 band를 selection 하기 위한 저잡음 증폭기에 대한 설계입니다. 950MHz~2.15GHz의 대역을 만족시키기 위해서 전 밴드를 세 구간으로 나누어 MOS cap switching를 통한 band selection 구조로 광대역 특성을 만족하고 있습니다. 광대역임으로	Analog and Digital Mixed Signal	2007-01-10		2008-02-12	광운대학교 산학협력단외 2

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		IIP2특성과 gain 특성을 향상시키기 위해서 cascode differential 구조로 설계가 되었으며 낮은 NF를 위해 적절한 sizing을 통하여 설계가 되었다. 그리하여 설계된 LNA의 특성은 15dB의 AC gain과 880MHz~1.8GHz까지의 대역 특성을 가지게 되었으며 4~5dB의 NF의 특성을 가지고 있다.					
1852	KERI - PLC AFE 회로	본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI-PLC AFE는 전력선통신용 모뎀 CMOS 칩?V 내장형 아날로그 프론트 엔드(AFE, Analog Front End) 부분으로 사용하기 위한 회로이다. 이 아날로그 프론트 엔드는 전치 증폭기(Pre-amplifier)와 이득 증폭기(Gain-amplifier) 그리고 비교기(Comparator)로 구성된다. 전치 증폭기는 매우 높은 입력 임피던스와 낮은 출력 임피던스를 갖고 있기 때문에 상대적으로 낮은 입력 임피던스를 갖는 계측기와 연결 또는 신호의 확대 및 여파, 증폭하기 위해서 사용하며, 이득 증폭기는 수신된 입력신호를 해석하기 좋도록 이득을 높이기 위해서 사용한다. 비교기는 2개의 아날로그 입력을 비교해서, 더 높은 입력에 대해 바이너리 출력을 만들어내는데, 비반전형 (+)입력이 반전형 (-)입력보다 더 큰 경우, 출력이 high가 되며, 그 반대의 경우 출력은 low가 된다. 제조한 전치 증폭기 및 이득 증폭기는 구동 전압은 3.3V이고, 전력소비는 16mW, 대역폭은 10MHz이다. 비교기는 구동 전압은 3.3V이고, 전력소비는 3mW이다. 본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI-PLC AFE 회로는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하고 Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한 후 Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2007년 6월 1일부터2007년 8월 30일사이에신청인이 독자적인기술로창작하였으며, 2007년 9월 3일부터 2007년 12월 30일사이에 Chartered 0.18㎛ Mixed CMOS 공정을 사용하여 시제품을 제작하였다.	Others	2007-06-01		2008-03-06	한국전기 연구원
1853	Divider	본 배치설계는 입력되는 신호의 전력을 낮은 삽입 손실로 균일하게 나누어 주거나 합하여 주는 역할을 하는 2-Way Power Divider 이다. RF IPD(Intergrated Passive Devices)기술을 이용 Design으로 Input단의 ESD 및 낮은 저잡	Analog and Digital Mixed Signal	2003-04-25	2006-04-07	2008-04-01	알에프 에이치아이 씨 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		음 신호의 제거를 위해 In/Output 단에 Blocking Capacitor 구성으로 Isolation 및 Insertion Loss, VSWR 특성을 향상시켰다.					
1854	Divider	본 배치설계는 입력되는 신호의 전력을 낮은 삽입 손실로 균일하게 나누어 주거나 합하여 주는 역할을 하는 2-Way Power Divider 이다. RF IPD(Intergrated Passive Devices)기술을 이용 Design으로 Input단의 ESD 및 낮은 저잡음 신호의 제거를 위해 In/Output 단에 Blocking Capacitor 구성으로 Isolation 및 Insertion Loss, VSWR 특성을 향상시켰다.	Analog and Digital Mixed Signal	2003-04-25	2006-04-07	2008-04-01	알에프 에이치아이 씨 주식회사
1855	Divider	본 배치설계는 입력되는 신호의 전력을 낮은 삽입 손실로 균일하게 나누어 주거나 합하여 주는 역할을 하는 2-Way Power Divider 이다. RF IPD(Intergrated Passive Devices)기술을 이용 Design으로 Input단의 ESD 및 낮은 저잡음 신호의 제거를 위해 In/Output 단에 Blocking Capacitor 구성으로 Isolation 및 Insertion Loss, VSWR 특성을 향상시켰다.	Analog and Digital Mixed Signal	2003-04-25	2006-04-07	2008-04-01	알에프 에이치아이 씨 주식회사
1856	-	-	-	-	-	-	말소등록
1857	-	-	-	-	-	-	말소등록
1858	-	-	-	-	-	-	말소등록
1859	LA8123TT	본건 배치설계의 LA8123TT는, AGC 앰프 IC로서, 고도의 앰프성능을 실현하고자 게인 컨트롤 기능을 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 1A8122라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LA8123TT의 배치설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2005-11-22	2006-04-26	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1860	LV8056LP	본건 배치 설계의 LV8056LP는, DSC용4.5ch 렌즈 드라이버로서, 고효율의 렌즈 제어를 실현하고자 standby 기능, 렌즈 주변 회로 및 각종 보호 회로를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 02, 2V8056이라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크	Others	2006-12-13	2007-06-15	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LV8056LP의 배치설계를 기재한 도면입니다.					
1861	LV25400W	본건 배치설계의 LV25400W는, 카용 DSP 튜너 FE IC로서, 다른 칩:DSP칩으로의 10.7MHz-IF신호출력(아날로그 및 iBoc 대응)의 장비를 실현하고자 FM FE, IF, Double Conversion AM, AM 1st앰프, PLL, IF-AGC앰프, 다이버시티용 FM IF앰프를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 A, 4V25400이라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LV25400W의 배치설계를 기재한 도면입니다.	Microcomponent	2005-04-28	2006-10-30	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1862	LC46253C	본건 배치설계의 LC46253C는, DPP용 써멀 헤드 드라이버 IC로서, 신규용도로의 전개도 꾀할 수 있는 출력 Tr 성능을 실현하고자 시프트 레지스터, 래치 기능 및 각종 보호회로를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 1C46253이라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LC46253C의 배치설계를 기재한 도면입니다.	Digital Logic	2006-09-27	2006-12-12	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1863	LC79652	본건 배치설계의 LC79652는, FAX용 써멀 헤드 드라이버 IC로서, 64Bit 출력 Tr 성능을 실현하고자 시프트 레지스터, 래치 기능 및 각종 보호회로를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 Lp, Ln, 1C79652 라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LC79652의 배치설계를 기재한 도면입니다.	Digital Logic	2005-12-28	2006-05-29	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1864	LV3311PM	본건 배치설계의 LV3311PM은, 카용 전자볼륨 IC로서, 음량,음질의 제어를 실현하고자 입력절환, 입력게인, 볼륨, 라우드니스, 밸런스, 페이더, 서브볼륨, 3밴드 EQ(버스,미드,트러블)을 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 1, 2V3314라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LV3311PM의 배치설계를 기재한 도면입니다.	Others	2006-04-10	2006-06-07	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1865	LV2282VA	본건 배치설계의 LV2282VA는, FM 스테레오 송신용 LSI로서, FM 스테레오 송신을 실현하고자 GCA, ST 변조회로, I2C, PLL 및 주변회로를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 2V2280, 2V2282라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LV2282VA의 배치설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2006-10-16	2006-12-21	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1866	LV8800GP	본건 배치설계의 LV8800GP는, 3상 센서리스 팬모터 드라이버로서, 고효율의 모터 구동을 실현하고자 모터 구동 회로, standby 기능, 회전수 출력 회로, 각종 보호 회로를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 05, 1V8800이라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LV8800GP의 배치설계를 기재한 도면입니다.	Others	2006-08-10	2007-01-31	2008-04-24	산요 세미컨덕터 컴퍼니 리미티드
1867	고성능 SoC 검증을 위한 Leon2 프로세서 Layout 설계	본 Layout은 5-Stage Integer Unit(SPARC V8 Standard), Memory Management Unit, Memory Controller, AHB Controller, Debug Support Unit로 구성되어 있고 Synchronous Single Port SRAM(256x32,512x32,64x26), Synchronous Dual-Port SRAM(144x32),	Digital Logic	2007-01-15		2008-04-30	한양대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Synchronous Single Port ROM 256x32의 각 용량의 총 17개의 메모리 모듈로 구성되어 있습니다. LVS, DRC 가 sign-off된 완성된 고성능 SoC 검증을 위한 프로세서 Layout 입니다.					
1868	LR359A1	핸디 게임기의 기능을 실현하기 위하여, ARM9와 ARM7의 2개의 CPU코어와, TeakDSP 코어를 탑재하고, 컬러 LCD 콘트롤러, 사운드 제너레이터, 및 무선통신 콘트롤러를 내장한 1칩 마이크로 컴퓨터를, CMOS를 이용하여 실현한 반도체 집적회로로서, 신청자가 새롭게 그 회로배치를 창작한 것입니다.	Microcomponent	2007-08-03	2007-09-25	2008-06-10	샤프 가부시키가이샤
1869	지능형 multi sensor ASIC	○ 용량형 센서의 신호처리용 범용 IC 개발. ○ 1pF ~ 200pF 까지 폭넓은 입력 캐패시턴스 처리가능. ○ 오프셋, 이득, 온도보정을 디지털 방식으로 처리함. ○ 보정데이터를 저장하는 비휘발성 메모리(EPROM) 내장.	Others	2008-05-31		2008-06-24	전자부품연구원
1870	KERI Energy Saving Controller 101	전원장치의 대기 전력 절감 기능을 가지는 전원제어 IC	Analog and Digital Mixed Signal	2008-05-20		2008-07-08	한국전기연구원
1871	KERI Energy Saving Controller 102	전원장치의 대기 전력 절감 기능을 가지는 전원제어 IC	Analog and Digital Mixed Signal	2008-05-20		2008-07-08	한국전기연구원
1872	KERI Energy Saving Controller 201	전원장치의 대기 전력 절감 기능을 가지는 전원제어 IC	Analog and Digital Mixed Signal	2008-05-20		2008-07-08	한국전기연구원
1873	LA42102	본건 배치설계인 LA42102는, TV용 10W×2ch 파워앰프 IC로서, 고도의 앰프성능을 실현하고자 Mute, Standby 기능 및 각종 보호회로를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 1A42102, A라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LA42102의 배치설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2005-12-15	2006-07-31	2008-07-28	산요 세미컨덕터 컴퍼니 리미티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1874	LA42105	본건 배치설계인 LA42105는, TV용 5W×1ch 파워 앰프 IC로서, 고도한 앰프성능을 실현하고자, Mute, Standby 기능 및 각종 보호회로를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 1A42105 라는 표기가 있으나, 이는 개발 및 설계단계에서 최신의 마스크 버젼 등을 나타내기 위한 것으로, 나중의 제조단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재정보로서, LA42105의 배치설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2006-11-07	2007-04-26	2008-07-28	산요 세미컨덕터 컴퍼니 리미티드
1875	LA42205	본건 배치 설계인 LA42205는 TV용 5W×2ch 파워 앰프 IC로서, 고도의 앰프 성능을 실현하고자, Mute, Standby 기능 및 각종 보호 회로를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 1A42205라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LA42205의 배치 설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2006-11-06	2007-02-28	2008-07-28	산요 세미컨덕터 컴퍼니 리미티드
1876	LA42210	본건 배치 설계인 LA42210은 TV용 10W×2ch 파워 앰프 IC로서, 고도의 앰프 성능을 실현하고자, Mute, Standby 기능 및 각종 보호 회로를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 1A42215라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LA42210의 배치 설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2006-07-12	2007-01-29	2008-07-28	산요 세미컨덕터 컴퍼니 리미티드
1877	MSP430 STUDY KIT	본 회로는 TI(Texas Instrument)사의 MSP430F11x1 시리즈의 마이크로프로세서를 4-Wire JTAG을 이용해 디버깅(Debugging)과 에뮬레이션(Emulation)할 수 있도록 설계된 회로로서, 2개의 입력값과 4개의 출력값,UART통신 등을 기본으로 펌웨어 코딩과 하드웨어 테스트를 할 수 있도록 제작할 수 있다. 이 회로는 MSP430 마이크로프로세서를 처음 접하는 이에게 MSP430 시스템에 대한 전반적인 이해와 교육을 목적으로 설계된 회로이며, 경우에 따라 이 회	Microcomponent	2008-07-01	2008-07-22	2008-07-22	이정욱

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		로를 이용해 제어시스템에 그대로 적용이 가능하다.					
1878	KERI-PLC AFE V2	본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI-PLC AFE V2는 전력선통신용 모뎀의 아날로그 프론트 엔드(Analog Front End)부분으로 사용하기 위한 IC이다. 이 AFE부는 전력선통신용 송수신IC와 함께 전력선통신용 모뎀을 구성하는데 사용된다. 일반적으로 사용되는 아날로그 프론트 엔드부의 경우 저항, 캐패시터, 인덕터 등의 수동 및 OP앰프 등의 능동 소자로 PCB 기판상에 구현되어 소형화하는데 문제점이 있었다. 특히, Wall-Plug형태의 전력선 통신 모뎀, 자동검침용 전력선통신 모뎀 내장형 전력량계의 경우 저전력 소비 및 소형화가 필수적인 해결 과제였다. 본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI-PLC AFE V2는 기존에 제작된 KERI-PLC AFE 의 성능을 개선한 것으로서, 주요 변경사항은 아래와 같다. 송신부 대역통과필터의 cut-off 특성 개선,송신부 입,출력단 증폭기 삭제 (신호대 잡음비 개선),송신부 출력단 Line 드라이버의 전류 드라이빙 능력 향상,수신부 입,출력단 증폭기 삭제 (신호대 잡음비 개선),수신부 대역통과필터 삭제 (신호대 잡음비 개선),수신부 가변증폭기의 가변이득단계 세분화,핀 배치변경. 본건 IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여 Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한 후 Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2008년 6월 1일부터2008년 7월 1일사이에신청인이독자적인기술로창작하였으며, 2008년 7월 1일부터 2008년 7월 30일사이에대만에위치한 TSMC사의 0.35㎛ Mixed CMOS 공정을 사용하여 시제품을 제작하였다.	Others	2008-07-01		2008-08-22	한국전기 연구원
1879	IR-UWB RF LNA	본건 신청에 관계되는 배치설계를 이용하여 제조한 IR-UWB RF LNA는 초광대역 임펄스 통신 및 펄스 신호를 이용한 정밀 위치인식 시스템의 RF 수신 단에서 입력되는 광대역 임펄스 신호를 저잡음 증폭하기 위한 IC이다. 이 저잡음 증폭기(LNA)는 초광대역 임펄스 통신 및 위치 인식 시스템을 구성하는데 사용된다. 창작된 저잡음 증폭기는 임펄스 기반의 초광대역(IR-UWB) 무선 통신이 가능한 3~5GHz 주파수 대역에서 3개의 Channel Selection이 가능하도록 설계되었으며 충분한 이득을 얻기 위해 5stage로 구성되어 있다. 또한 시스템 전체의 dynamic range를 높이고 입력 linearity를 향상시	Others	2008-05-01		2008-09-23	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		키기 위해 low gain mode를 두어 설계하였다. 본건 신청에 관계되는 배치설계를 이용하여 제조한 IR-UWB RF LNA의 주요 특징은 아래와 같다. 40dB Gain, 5stage LNA, 3~5 GHz 밴드내의 3 Channel 선택기능(3.5GHz,4GHz,4.5GHz Center Frequency : Bandwidth 600MHz),noise figure : 3dB이하,I2C를 통한 UWB Receiver의 Digital control 가능. 본건 IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여 Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한후 Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2008년 3월 1일부터2008년 5월 1일사이에신청인이독자적인기술로창작하였으며, 2008년 5월 7일부터 2008년 6월 19일사이에대만에위치한 TSMC사의 0.18㎛ Mixed CMOS 공정을 사용하여 시제품을 제작하였다.					
1880	KERI IR-UWB RF Transmitter	본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI IR-UWB RF Transmitter는 초광대역 임펄스 통신의 RF송신 단에서 사용되기 위한 IC이다. 이 Transmitter는 초광대역 임펄스 통신 모뎀을 구성하는데 사용된다. 저전력 임펄스 무선 통신 시스템을 위하여, 저전력 임펄스 송신 시스템은 필수적이다. 본건에서는 저전력 초광대역 임펄스 무선 통신의 필수 요소인 저전력 저복잡 임펄스 생성 기술을 개발하였다.본건 신청에 관계되는 배치설계를 이용하여 제조한 KERI IR-UWB RF Transmitter의 주요 성능은 아래와 같다. 디지털 논리 소자만을 이용한 극초단 삼각펄스 생성, 칩 출력은 삼각펄스로서 최대 펄스 크기는 1.5V, 칩 출력 삼각펄스의 펄스 폭 250ps이하, 펄스 생성을 위한 소모전력 50nW/1펄스, 본건 IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여 Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한 후 Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2008년 3월 1일부터2008년 5월 1일사이에신청인이독자적인기술로창작하였으며, 2008년 5월 7일부터 2008년 6월 19일사이에대만에위치한 TSMC사의 0.18㎛ Mixed CMOS 공정	Others	2008-05-01		2008-09-23	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		을 사용하여 시제품을 제작하였다.					
1881	IR-UWB Noncoherent RF receiver	본건 신청에 관계되는 배치설계 IR-UWB Noncoherent RF receiver는 초광대역 임펄스 신호를 수신하여 디지털 신호로 변환하기에 적합한 아날로그 신호변환을 위한 초광대역 임펄스 통신용 수신부 RF IC이다. 이 IR-UWB Noncoherent RF receiver는 초광대역 임펄스 통신 모뎀 수신단의 RF 부를 구성하는데 사용된다. 이번에 제작한 IR-UWB Noncoherent RF receiver는 저전력, 저복잡도의 CMOS RF 수신기 칩이며 CMOS 0.18um 공정기술을 이용하여 다음과 같이 설계 되었다. 설계된 칩은 BER이 10^{-3}일때 -80dBm의 Sensitivity를 가지며 LNA, Impulse 신호를 Detection 하는 Envelopdetector, integrator, comparator로 구성된다. 본건 신청에 관계되는 배치 설계를 이용하여 제조한 IR-UWB Noncoherent RF receiver의 주요 성능은 아래와 같다. RF 수신단 이득 : 30dB 이상 (LNA gain), Gain control range:50dB 이상(1.LNA low gain mode, 2.VGA Gain range), 최소 감도:7mV(RF 전력으로 환산 약 -44dBm),BER 10-3일때 Sensitivity -80dBm, I2C를 통한 UWB receiver의 Digital control. 본건 IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여, Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한 후, Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2008년 3월 1일부터2008년 5월 1일사이에신청인이독자적인기술로창작하였으며, 2008년 5월 7일부터 2008년 6월 19일사이에대만에위치한 TSMC사의 0.18㎛ Mixed CMOS 공정을 사용하여 시제품을 제작하였다.	Others	2008-05-01		2008-09-24	한국전기 연구원
1882	-	-	-	-	-	-	말소등록
1883	KWU-4PA_1	Power Amplifier는 1-W GaAS PHEMT monolithic microwave integrated circuit를 사용하여 제작하였다. 고주파영역인 Ka 밴드영역에 서 동작하게 설계 하였다. 6인치 0.15-um GaAs P-HEMT 기술을 사용하였다. 전체적 구조는 4-stage를 채택 하였다. 칩사이즈는 25.065mm(5.57mm × 4.50mm)이며 50Ω 임피던스 매칭을 하였다. 5V이하 전압으로 동작하며 전체 Power는 약 27dBm의 결과가 나왔다. 소신호이득은 13dB 이며 입력반사손실은 -15dB, 출력반사손	Analog and Digital Mixed Signal	2008-08-30		2008-10-29	광운대학교 산학협력단외 2

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		실은 -15dB PAE(Power additional efficiency는 11.5%의 결과값을 얻었다.					
1884	KWU-PA-1	차세대 통신인 위성통신의 핵심부품인 전력증폭기 칩셋은 우주산업과 정보통신분야에 큰 영향을 미치고 있다. 보다 큰 전력과 효율성을 높이기 위하여 phemt를 이용한 Power amp(KWU-PA-1)에 관한 연구가 이루어 졌으며, 본 창작은 phemt 공정을 통하여 ka-band 대역에서의 고전력, 고선형에관한것이다. 본 power amp는 대신호 모델을 이용하여 설계되었으며, 기존의 소신호모델링의방법을더욱개선하고정확한모델을찾기위하여기존의방법, 즉 게이트 전류를 이용하는 방법을 통하여 높은 출력의 값을 가질수 있도록 설계되었다. 입출력 단의 임피던스는 50옴 정합을 이루도록 설계되어 있으며, 그 크기는 4.1 mm × 6.1 mm 이다.제작된 power amp의 특성은 30 GHZ 주파수이며, P1가 24dBm이고 Gain은 7.2bB였다.	Analog and Digital Mixed Signal	2008-08-30		2008-10-29	광운대학교 산학협력단외 2
1885	KWU-3PA_1	Power Amplifier는 기본적으로 4-stage 구조를 채택 하였다. 우리나라의 경우 위성으로부터 35GHz의 주파수 영역의 신호를 사용하여 Power Amplifier를 통하여 35GHz의 주파수 영역을 증폭하게 된다. 본 창작물은 Power Amplifier에서 band를 selection 하기 위한 저잡음 증폭기에 대한 설계이다. 35GHz의 대역을 만족시키기 위해서 모든 영역을 세구간으로 나누어 P-Hemt를 통한 band selection구조로 광대역 특성을 만족하고 있습니다. 광대역이므로 power의 특성과 gain의 특성을 향상 시키기 위해 4-stage 구조로 설계가 되었으며 낮은 NF 특성을 가지고 있다.	Analog and Digital Mixed Signal	2008-08-30		2008-10-29	광운대학교 산학협력단외 2
1886	H.264/AVC Entropy Decoder IP Layout	H.264/AVC는 ITU-T와 ISO/IEC가 함께 표준화 작업을 진행시켜 얻어낸 새로운 비디오 압축 표준 방식으로, H.263이나 MPEG-4보다 높은 압축 효율을 갖는 영상 압축 표준화 방식이다. 구성된 모듈 중에서 CAVLC(Context-Adaptive Variable Length Coding)방식을 사용하여DCT계수의 디코딩을 담당하고 있는 Entropy Decoder를 설계하였다. 설계한 CAVLC Decoder는 기존의 CAVLC Decoder와 달리 RunBefore 값을 한 클럭에 두 값씩 디코딩 함으로써, 전체적인 클럭수를 줄였다. 또한 Look-up Table을 사용하기 위해서는 '1' 이 나올 때까지 앞의 '0' 의 개수를 세어주는 "First One Detector"	Digital Logic	2008-08-25		2008-11-18	한양대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		module을 최적화하여 3bit Detector를 재사용함으로써 전력 절감뿐만 아니라, 하드웨어의 크기를 줄이는 방법으로 설계하였다.					
1887	KERI Half-Bridge converter control IC TOP with DMOS	PDP, LCD TV 등과 같은 중형 가전기기에 사용되는 half-bridge converter를 제어하기 위한 IC	Analog and Digital Mixed Signal	2008-11-03		2008-11-20	한국전기연구원
1888	KERI Half-Bridge converter용 driver IC type1	500W급의 half-bridge topology를 가지는 전원장치에서 전력 전달을 목적으로 사용되는 high and low side power MOSFET을 구동하기 위한 driver IC	Analog and Digital Mixed Signal	2008-11-03		2008-11-20	한국전기연구원
1889	동적 범위가 넓은 VGA급 CMOS 이미지 센서	본 반도체 설계는 120dB가 넘는 동적 범위를 확보하기 위해 픽셀 부분과 픽셀 데이터를 합성하는 부분을 일반 CMOS 이미지 센서와 달리하여 설계한다.	Analog and Digital Mixed Signal	2008-04-18		2008-11-21	양승연 클레어픽셀 주식회사
1890	KERI half-bridge converter control IC	PDP, LCD TV 등과 같은 중형 가전기기에 주로 사용되는 half-bridge converter를 제어하기 위한 IC	Analog and Digital Mixed Signal	2008-11-03		2008-11-21	한국전기연구원
1891	KERI Half-Bridge Converter Driver type 2	500W급의 half-bridge topology를 가지는 전원장치에서 전력 전달을 목적으로 사용되는 high and low side power MOSFET을 구동하기 위한 driver IC	Analog and Digital Mixed Signal	2008-11-03		2008-11-21	한국전기연구원
1892	Fault-Tolerance Low Power MAC with OpenRISC	본 Layout은 OpenRISC 기반의 SoC(System on Chip) 플랫폼에 구현된 Fault-Tolerance 저전력 MAC(Multiply-Accumulate Unit)에 대한 것이다. 본 Layout에 포함된 MAC 연산기는 Barrel Shifter를 이용하여 저전력으로 동작하는 곱셈기를 이용하여 구현되었다. 또한 SoC를 구성하는 IP들로서 32bit OpenRISC 1200 Microprocessor, UART Controller, Memory Controller, Debug Support Unit, Wishbone Bus System 등을 포함한다.	Microcomponent	2008-08-22		2008-11-27	한양대학교 산학협력단
1893	High-Performance Low-Power Double-Binary	WiMAX 표준 (IEEE 802.16d/e)에 적합한 Double-Binary Circular Turbo Decoder로서 8개의 SISO Decoder를 통행 Parallel	Digital Logic	2008-06-15		2008-12-23	한국과학기술원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	Circular Turbo Decoder for MobileWiMAXStandard	Turbo Decoding을 수행하며 Dedicated Hardware Interleaver를 통해 효율적인 주소생성을 가능케하여 고성능 저전력을 가능케 하였다.					
1894	CMOS pH Sensor	· CMOS pH 센서 IC 개발함. · pH 감지부, 온도센서를 칩 상에 함께 설계함. · pH 1 ~ pH 14 까지 측정 가능. · 오프셋, 이득, 온도보정을 디지털 방식으로 처리함. · 보정데이터를 저장하는 비휘발성 메모리(EPROM) 내장. 개발과정 · ASIC 사양설계 : 처리용량의 범위, 보정범위, 보정항목 등 · CMOS pH 센서부 설계 · PTAT 온도센서 설계 · 보정회로 아날로그부 설계 · 디지털 보정회로 및 데이터 입출력회로 설계 · ASIC I/O pin 설계	Others	2008-05-31		2008-12-24	전자부품연구원
1895	0.18um 공정의 4차 시그마델타 모듈레이터	4차 단일루프 단일비트 시그마 델타 모듈레이터로서 4kHz의 입력신호를 1.024MHz로 샘플링 한다.시그마 델타 모듈레이터는 1.2V의 전압을 만들어내는 bandgap 회로와 비중첩 클락 제너레이터와 4개의 스위치드 커패시터 적분기와 비교기와 N,P 다이오드로 이루어져 있다.	Others	2008-08-01		2008-12-26	전자부품연구원
1896	0.35um 공정의 4차 시그마델타 모듈레이터	4차 단일루프 단일비트 시그마 델타 모듈레이터로서 4kHz의 입력신호를 1.024MHz로 샘플링 한다. 시그마 델타 모듈레이터는 1.2V의 전압을 만들어내는 bandgap 회로와 비중첩 클락 제너레이터와 4개의 스위치드 커패시터 적분기와 비교기로 이루어져 있다.	Others	2008-08-01		2008-12-26	전자부품연구원
1897	2008C18PA2026	본 발명에서는 이동 단말기에 적합하도록 선형성을 고려하면서 고효율 구현을 이루는 출력레벨에 따른 전류구동 동작을 갖는 Dynamic Bias를 제안하고 적용하였고, 선형화 개선에서는 CMOS 전력	Others	2008-11-09		2008-11-09	한국정보통신대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		증폭기의 차동(Differential)구조를 이용한 상보궤환(Complementary Feedback) 전치 왜곡 방식을 적용하였다.					
1898	적응형 고성능 패킷 엔진	〈배치설계의 적용분야〉 본 배치설계는 기가비트 이더넷 스위치를 비롯하여 차세대 메트로 이더넷 L4~L7스위치, 라우터, 무선랜 장비 등에 활용 가능하며, 특히 높은 적응성이 필요한 기가비트 이더넷 스위치와 3계층 스위치 및 라우터 등 코어네트워크 장비에 높은 시장경쟁력을 가질 수 있다. 〈배치설계의 특징〉 일반적인 네트워크 프로세서와 달리 생태계 모델링을 기반으로 하여 네트워크 기능상 높은 적응성을 가진다. 이를 지원하기 위해서 본 네트워크 프로세서는 ACO 알고리듬을 기반으로 하여 네트워크 데이터를 처리한다. 이는 기존의 네트워크 프로세서를 활용하여 구현할 경우, 연산량에서 많은 오버헤드를 가지는 부분으로 차세대 적응형 네트워크 프로세서로 가치를 갖는다. 〈제조한 반도체집적회로의 기능〉 본 설계에 적용한 적응성이 높은 ACO 라우팅 알고리듬은 복잡한 네트워크 토폴로지 및 트래픽 상황에 적응적으로 대처하여 각 경로를 확률적으로 접근함으로써 패킷 전달의 효율성을 높일 수 있는 알고리듬이다. 기본적인 일반적인 네트워크 프로세서의 연산 뿐만 아니라 높은 계산량을 요구하는 제어 패킷처리 부분을 코프로세서 형태로 구현된다.	Microcomponent	2005-09-01	2008-11-04	2008-12-31	연세대학교 산학협력단

17. '09년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1899	2009SG15b50m-ADC	본 설계에서는 IEEE 802.16 표준으로 정의된 WiMAX 및 초음파 의료 영상기기와 같은 최첨단 무선통신 및 고성능 영상 시스템 응용을 위한 디지털코드 오차 보정 기법을 사용한 15비트 50MS/s CMOS 파이프라인 ADC를 제안한다. 제안하는 ADC는 15비트 수준의 고해상도에서 면적과 전력 소모를 최소화하기 위해서 4단 파이프라인 구조를 사용하며 전체 ADC의 아날로그 회로를 변경하지 않고 첫 번째 단에 약간의 디지털 회로만을 추가하는 디지털 코드 오차 보정 기법을 적용한다. 첫 번째 단에서 소자 부정합으로 인해 발생하는 코드 오차는 나머지 세 단에 의해 측정된 후 메모리에 저장되고 정상 동작 시 메모리에 저장된 코드 오차를 디지털 영역에서 보정한다. 모든 MDAC 커패시터 열에는 주변 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하여 소자 부정합에 의한 영향을 최소화하면서 동시에 첫 번째 단의 소자 부정합을 보다 정밀하게 측정하도록 하였다. 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 15비트 해상도에서 각각 0.77LSB 및 5.52LSB의 수준을 보이며, 50MS/s의 샘플링 속도에서 최대 SNDR 및 SFDR은 각각 65.5dB 및 80.3dB를 보여준다. 시제품 ADC의 칩 면적은 4.2mm 이며 전력 소모는 1.8V 전원 전압에서 129.6mW 이다.	Analog and Digital Mixed Signal	2007-03-30		2009-01-05	서강대학교 산학협력단
1900	2009SG14b150m-ADC	본 설계에서는 고해상도와 높은 신호처리속도, 저전력 및 소면적을 동시에 요구하는 Software Defined Radio 시스템 응용을 위한 14비트 150MS/s 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 고해상도를 얻기 위한 특별한 보정 기법을 사용하지 않는 4단 파이프라인 구조로 설계하였고, 각 단의 샘플링 커패시턴스와 증폭기의 입력 트랜스컨덕턴스에 각각 최적화된 스케일링 계수를 적용하여 요구되는 열잡음 성능 및 속도를	Analog and Digital Mixed Signal	2007-03-30		2009-01-05	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		만족하는 동시에 소모되는 전력을 최소화하였다. 또한, 소자 부정합에 의한 영향을 줄이면서 14비트 이상의 해상도를 얻기 위해 MDAC의 커패시터 열에는 인접신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 제안하였으며, 온도 및 전원 전압에 독립적인 기준 전류 및 전압 발생기를 온-칩 RC 필터와 함께 칩 내부에 집적하고 칩 외부에 C 필터를 추가로 사용하여 스위칭 잡음에 의한 영향을 최소화하였고, 선택적으로 다른 크기의 기준 전압 값을 외부에 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 14비트 해상도에서 각각 최대 0.81LSB, 2.83LSB의 수준을 보이며, 동적 성능은 120MS/s와 150/MS/s의 동작 속도에서 각각 최대 64dB, 61dB의 SNDR과 71dB, 70dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 2.0mm 이며 전력 소모는 1.2V 전원 전압에서 140mW이다.					
1901	2009SG13b100m-ADC	본 설계에서는 two-carrier WCDMA, 고화질 텔레비전 등과 같은 최첨단 통신 및 고화질 영상시스템 응용을 위한 13비트 100MS/s CMOS 파이프라인 ADC를 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 사용하여 고해상도와 높은 신호처리속도와 함께 전력소모 및 면적을 최적화하였다. 입력단SHA 회로에는 면적 효율성을 가지면서 고속 고해상도로 동작하는 게이트-부트스트래핑회로를 적용하여1.0V의 낮은전원전압동작에서도 신호의왜곡없이Nyquist 대역 이상의 입력신호를 샘플링할 수도 있도록 하였다. 입력단 SHA 및 MDAC에는 낮은임피던스 기반의 캐스코드 주파수 보상 기법을 적용한 2단 증폭기회로를 사용하여 Miller주파수보상기법에 비해 더욱 적은전력을 소모하면서도 요구되는 동작속도 및 안정적인 출력 조건을 만족시키도록 하였으며, flash ADC에 사용된 래치의 경우 비교기의 입력단으로 전달되는 킥-백 잡음을 줄이기 위해 입력단과 출력 노드를 클록 버퍼로 분리한 래치회로를 사용하였다. 또한,	Analog and Digital Mixed Signal	2008-09-05		2009-01-05	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		제안하는 시제품ADC에는 음의 온도계수를 갖는 3개의 전류만을 사용하는 기준 전류 및 전압 발생기를 온-칩으로 집적하여 잡음을 최소화하면서 시스템 응용에 따라 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된DNL 및 INL은 13비트 해상도에서 각각 최대0.70LSB, 1.79LSB의 수준을 보이며, 동적성능으로100MS/s의 동작속도에서 각각 최대 64dB의 SNDR과 78dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 1.22mm이며, 1.2V전원전압과 100MS/s의 동작속도에서42mW의 전력을 소모한다.					
1902	TL2780	800-RGB * 480-Dot Gate-IC-less Display Controller/Driver IC for 16M Color(800ch-source driver with 3-demux)	Others	2007-10-22		2009-03-06	크로바하 이텍㈜
1903	CH2330	PMP, 휴대폰등 주로 Mobile기기에 들어가는 중소형 LDI제품으로 640RGB X 480DOT VGA AMOLED Driver기능을 가지고 있는 IC임.	Others	2009-01-19		2009-03-05	크로바하 이텍㈜
1904	TL2796	PMP, 휴대폰등 주로 Mobile 기기에 들어가는 중소형 LDI제품으로 480RGB X 800DOT WVGA AMOLED(With Pentile) Driver기능을 가지고 있는 IC임.	Others	2007-10-26	2008-09-11	2009-03-05	크로바하 이텍㈜
1905	LC75832E/W	본건 배치 설계인 LC75832E/W는 Static 구동, 1/2 듀티 구동 범용 LCD 드라이버로서, 세그먼트형 액정의 구동을 실현하고자, CCB 인터페이스, 시프트 레지스터, 컨트롤 레지스터, 클럭 제너레이터, 커먼 드라이버, 래치 및 세그먼트 드라이버를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 1, 2, 3, 6, 7, 8, N, M, SM, 1C, FP, SN, SC, SPE, 1C75832라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LC75832E/W의 배치 설계를 기재한 도면이다.	Others	2006-09-26	2007-03-20	2009-03-06	산요 세미컨덕터 컴퍼니 리미티드
1906	LV8062TT	본건 배치 설계인LV8062TT는, 단상 팬모터 드	Others	2007-07-17	2007-12-19	2009-03-06	산요 세미

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		라이브IC로서, 정음화 및 저소비 전력에서의 모터 구동을 실현하고자, BTL앰프 출력, PWM제어 기능, 홀바이어스용 정전압 출력 및 각종 보호기능을 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에 IV8062, 3이라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LV8062TT의 배치 설계를 기재한 도면이다.					컨덕터 컴퍼니 리미티드
1907	LV4920H	본건 배치 설계인 LV4920H는 TV용15W×2파워 앰프 IC로서, 고효율인 D급 Amp를 실현하고자, Mute, Standby기능 및 각종 보호회로를 하나의 반도체 집적 회로에 집약시킨 것이다. 도면의 일부에4, 5, 3V4920이라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LV4920H의 배치 설계를 기재한 도면이다.	Analog and Digital Mixed Signal	2006-06-29	2007-09-28	2009-03-06	산요 세미컨덕터 컴퍼니 리미티드
1908	LV25210PM	본건 배치설계의 LV25210PM은, 카용 AM/FM 튜너1칩 IC로서, 대역전환필터를 내장하여 감도 , 방해특성의 향상을 실현하고자 AM/FM 튜너 스테레오디코더, 노이즈캔슬러를 하나의 반도체집적회로에 집약시킨 것이다. 도면의 일부에 3V25210, 8이라는 표기가 있으나, 이는 개발 및 설계 단계에서 최신의 마스크 버전 등을 나타내기 위한 것으로, 나중의 제조 단계에서도 사용하는 마스크를 검색하는데 사내적으로 필요한 기재 정보로서, LV25210PM의 배치 설계를 기재한 도면입니다.	Analog and Digital Mixed Signal	2006-12-26	2008-01-16	2009-03-06	산요 세미컨덕터 컴퍼니 리미티드
1909	Single Chip T-DMB Receiver	본 배치 설계는 지상파 DMB 수신기에대한 칩셋으로서 수신기에 필요한 모든 기능 블록을 하나의 칩셋으로 집적화 한 것임.	Microcomponent	2008-12-22	2008-12-31	2009-03-09	한국전자통신연구원
1910	LCD Panel 구동을 위한 9-bit Charge Redistribution	본 배치 설계에서는 WQXGA(Wide Quad eXtended Graphics Array) 급의 높은 해상도를 가지는 TFT-LCD를 구동하기 위한 새로운 구조의 고성능 D/A 변환기를 제안하였다. 고해상	Analog and Digital Mixed Signal	2008-07-01		2009-04-13	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	D/A converter	도를 구현하면서 전력소모와 면적을 최소화하기 위해서 기존에 사용되던 저항열 D/A 변환기의 구조와는 전혀 다른 Charge Redistribution D/A 변환기 구조를 채택하였다. 두개의 capacitor와 CMOS 스위치를 이용하여 serial digital 입력에 따른 analog 출력을 전하 재분배를 통해 얻어내는 구조로서 전력소모가 매우 적으며 구조가 간단하여 저면적화가 용이하다.					
1911	KERI_IRUWB_BB	초광대역 임펄스 (Impulse Radio Ultra Wide Band : IR-UWB) 무선 통신 기술이란 시간영역에서 나노 초 이하의 폭을 갖는 임펄스 신호를 이용하여, 수십 미터 이내에서 수 밀리와트 저전력으로 데이터를 전송하거나, 수 센티미터 이내의 위치 인식에 응용할 수 있는 새로운 기술이다. 임펄스 무선 통신 기술은 기존의 무선통신 시스템과 달리 반송파를 사용하지 않고, 직접 기저대역 신호를 전송할 수 있어 기저대역(Baseband) 또는 무반송파 통신(Carrierless communication)이라고도 한다. 반송파를 사용하지 않고, 극단의 짧은 펄스를 사용하므로 듀티율(1% 이내)이 매우 낮고, 복잡한 RF 부품을 사용하지 않으므로, 임펄스 무선 통신 시스템은 전력 소모가 매우 적다. 특히, 송수신 RF부를 간단하게 할 수 있어, RF 및 신호처리 부를 단일 칩으로 제작하기 용이하다. 이러한 임펄스 무선 기술의 우수한 특징에 기인한, 기술의 상용화 우수성을 확인하고, 미 FCC에서는 2002년에 최초로 UWB 주파수 사용 대역을 규정하였고, 국제 전기전자학회 표준화 그룹(IEEE 802.15.4a)에서는 기존 IEEE 802.15.4보다 훨씬 더 낮은 전력을 사용하고, 동시에 정밀한 위치 인식 응용을 위하여 초광대역 임펄스 기술을 주로 한 사실상 표준을 2007년 12월에 제정, 발표하였다 (참고: http://www.ieee802.org/15/pub/TG4a.html). 임펄스 무선 통신 기술은 저전력, 저복잡 무선 센서 네트워크 및 위치 인식 기능을 내장한 무선 인식 (RFID) 등의 다양한 응용 시장을 창출할 것이다. 특히, 무선 센서 네크워크 기술은 자동차	Others	2008-07-01		2009-07-20	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		-IT, 선박-IT, 건설-IT 및 국방-IT 융합 응용 기술 개발을 위한 중용한 요소 기술로서, 급속하게 성장하고 있다. 이러한 센서 네트워크 응용을 위하여 저전력화가 매우 중요시되어, 현재 이러한 요구 사항을 만족시킬 수 있는 임펄스 무선 기술의 활용을 적극적으로 검토하고 있으나, 임펄스 기술의 구현상의 어려움으로 해법을 제시하지 못하고 있다. 특히, 임펄스 무선 통신 기술의 핵심인 임펄스 신호의 동기화, 디지털 신호 복원 기술, 디지털 정보를 임펄스 신호로 변환하는 기술에 대한 연구는 계속되고 있으나, 기능 구현에 집중하고 있어, 저전력 상용화로서의 가치는 낮다. 따라서, 본 제품에서는 국내외에서 아직 발표되지 않은 새로운 방식의 저전력/저복잡 임펄스 무선 통신 시스템 구성을 제시하여, 임펄스 무선 통신 기술의 상용화에 기여하고자 한다.					
1912	LR359A2	핸디 게임기의 기능을 실현하기 위하여, ARM9와 ARM7의 2개의 CPU 코어와, TeakDSP 코어를 탑재하고, 컬러 LCD 콘트롤러, 사운드 제너레이터, 및 무선 통신 콘트롤러를 내장한 1칩 마이크로 컴퓨터를, CMOS를 이용하여 실현한 반도체 집적 회로로서, 신청자가 새롭게 그 회로 배치를 창작한 것입니다.	Microcomponent	2008-08-28	2008-10-07	2009-07-30	샤프 가부시키가이샤
1913	KWU_1W_PA_3S	차세대 통신인 위성통신의 핵심부품인 전력증폭기 칩셋은 우주산업과 정보통신분야에 큰 영향을 미치고 있다. 보다 큰 전력과 효율성을 높이기 위하여 phemt를 이용한 Power amp(KWU_1W_PA_3S)에 관한 연구가 이루어졌으며. 본 창작은 phemt 공정을 통하여 ka-band 대역에서의 고전력, 고선형에 관한 것이다. 본 power amp는 대신호 모델을 이용하여 설계되었으며, 기존의 소신호 모델링의 방법을 더욱 개선하고 정확한 모델을 찾기 위하여 기존의 방법, 즉 게이트 전류를 이용하는 방법을 통하여 높은 출력의 값을 가질수 있도록 설계되었다. 입출력 단의 임피던스는 50옴 정합을 이루도록 설계되어 있으며, 그 크기는 3.2 mm x 1.5mm 이다. 제작된 power amp의 특성은 30 GHz 주파수이며,	Analog and Digital Mixed Signal	2009-05-20		2009-05-20	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		P1dB는 29.67dBm이고 Gain은 8.9dB였다.					
1914	KWU-PA-WEN -2	In most RF fornt-end transmitter block, power amplifier is a major component. In this thesis, two microwave power amplifiers were designed by using monolithic microwave integrated circuit (MMIC) and P-HEMT technology for Ka-band VSAT ODU transmitter applications. The designed power amplifiers are designed using KANC (Korea Advanced Nano Fabrication Center) GaAs P-HEMT process with 6 V of operating supply voltage of center frequency. Designed power amplifiers are confirmed by the Agilent advanced design system (ADS) 2008 simulator. The simulation results of power amplifier show the small signal gain of 10.8 dB, return loss for each port are larger than 25dB, output power of 30 dBm, bandwidth of 3 GHz, and PAE of 26 %, respectively. The chip size is 4.53 × 2.95 mm2.	Analog and Digital Mixed Signal	2008-05-20		2009-08-24	광운대학교 산학협력단
1915	KWU-PA-WEN -1	In this design, a Ka-band GaAs P-HEMT (pseudomorphic high electron mobility transistor) MMIC (monolithic microwave integrated circuit) power amplifier for VSAT (very small aperture terminal) ODU (outdoor unit) transmitter applications is demonstrated. This three-stage amplifier is designed to fully match for 50 Ω input and output impedances. With 6 V and -0.75 V DC bias, achieve 17 dB small signal gain, 31.5 dBm P1dB, 26 % PAE (power added efficiency), and better than 20 dB input return loss from 28.5 GHz to 31.5 dBm. The Ka-band power amplifier based on	Analog and Digital Mixed Signal	2008-05-20		2009-08-24	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		GaAs substrate is designed within die size of about 4.56×3.1 mm2					
1916	KWU-PA-LEE-2	In most RF fornt-end transmitter block, power amplifier is a major component. In this thesis, two microwave power amplifiers were designed by using monolithic microwave integrated circuit (MMIC) and P-HEMT technology for Ka-band VSAT ODU transmitter applications. The designed power amplifiers are designed using KANC (Korea Advanced Nano Fabrication Center) GaAs P-HEMT process with 6 V of operating supply voltage of center frequency. Designed power amplifiers are confirmed by the Agilent advanced design system (ADS) 2008 simulator. The simulation results of power amplifier show the small signal gain of 11 dB, return loss for each port are larger than 20dB, output power of 31.3 dBm, bandwidth of 3 GHz, and PAE of 26 %, respectively. The chip size is 3.384 × 2.959 mm2.	Analog and Digital Mixed Signal	2009-05-20		2009-08-24	광운대학교 산학협력단
1917	KWU-PA-LEE-1	In this design, a Ka-band GaAs P-HEMT (pseudomorphic high electron mobility transistor) MMIC (monolithic microwave integrated circuit) power amplifier for VSAT (very small aperture terminal) ODU (outdoor unit) transmitter applications is demonstrated. This three-stage amplifier is designed to fully match for 50 Ω input and output impedances. With 6 V and -0.75 V DC bias, achieve 11 dB small signal gain, 29.5 dBm P1dB, 31 % PAE (power added efficiency), and better than 15 dB input return loss from 28.5 GHz to 31.5 dBm.	Analog and Digital Mixed Signal	2009-05-20		2009-08-24	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		The Ka-band power amplifier based on GaAs substrate is designed within die size of about 3.344×1.964 mm2					
1918	삼성 0.18㎛ 공정을 이용한 Core-A 프로세서의 Hard-IP	본 배치설계는 특허청 핵심반도체설계재산권 창출 촉진 1단계 사업의 주요결과물인 Core-A 프로세서를 삼성 0.18μm 공정에 porting한 Hard-IP를 GDSII 팡일의 형태로 제공한다. 해당 Hard-IP들의 동작은 GCD Computation, Sorting 및 Memory copy등의 Post-layout simulation을 통해 검증되었으며, 해당 Layout은 다음과 같이 얻어진다.	Microcomponent	2009-09-21		2009-11-18	한국과학기술원
1919	TSMC 0.25㎛ 공정을 이용한 Core-A 4-way Set-Associative Cache의 Hard-IP	본 배치설계는 특허청 핵심반도체설계재산권 창출 촉진 1단계 사업의 주요결과물인 Core-A Cache를 TSMC 0.25μm 공정에 porting한 Hard-IP를 GDS 파일의 형태로 제공한다. 해당 Cache는 4-way Set-Associative이며 Write-Back Policy를 따르는 특성이 있으며, Hard-IP의 동작은 여러 simulation을 통해 검증되었다. 해당 Layout은 다음과 같이 얻어진다.	Microcomponent	2009-11-10		2009-11-18	한국과학기술원
1920	매그나칩 0.18㎛ 공정을 이용한 Core-A 프로세서의 Hard-IP	본 배치설계는 특허청 핵심반도체설계재산권 창출 촉진 1단계 사업의 주요결과물인 Core-A 프로세서를 매그너칩 0.18μm 공정에 porting한 Hard-IP를 GDSII 팡일의 형태로 제공한다. 해당 Hard-IP들의 동작은 GCD Computation, Sorting 및 Memory copy등의 Post-layout simulation을 통해 검증되었으며, 해당 Layout은 다음과 같이 얻어진다.	Microcomponent	2009-09-21		2009-11-18	한국과학기술원
1921	KERI-ROIC	본건 신청에 관계되는 배치설계를 이용하여 제조한 XSPCI는 의료영상진단을 위한 포톤계수형 x-선 영상검출 을 위한 readout으로서 센서에서 검출된 개개의 x-선 광자의 전기적 신호를 증폭, 성형, 계수하여 고속으로 출력시키는 부분으로 사용하기 위한 IC이다. X-SPCI는 의료영상진단분야 외에도 반도체, PCB 투시, 컨테이너 및 공항검색, 보안 등 산업용으로도 폭넓게 이용된다. X-SPCI는 대면적 영상응용을 위하여 3-side batt-able 형태로 설계하여 타일링, 모자익 기술	Others	2009-02-12		2009-11-30	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		을 이용 대면적 센서 구현 을 가능하게 하였고, x-선 에너지를 선택적으로 구분하여 영상화할 수 있으며, 이들 아날로그 및 디지털 회로를 55um×55um 픽셀내에 구현하여 고분해능의 진단영상을 제공한다. 아주 미세한 단일 x-선 광자의 신호 검출을 위하여 고속·저잡음 설계, 안정한 구동전원, 검출기 leakage current 보상, 그리고 검출기 종류(또는 collection mode)에 상관없이 사용할 수 있도록 구현되었다. 본건 신청에 관계되는 배치설계를 이용하여 제조한 X-SPCI는 256×256 픽셀 어레이로 이루어져 있으며 각 pixel은 preamplifier, discriminator, counter로 이루어져 있다. Preamplifier에서는 하나의 포톤에서 발생하는 전기적 신호를 검출·증폭하고, 이것을 비교기에서 임의로 주어지는 레벨과 비교한 후 DDL입력으로 주어진다. DDL에서는 신호간의 file-up 현상, 잡음영향에 의한 오류를 수정하여 counter의 입력으로 전달하고, 최종적으로 이를 계수함으로써 입사된 광자 수에 대한 정보를 획득하고 영상화하게 된다. IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여 Cadence사의 Spectre 회로 시뮬레이터를 이용하여 회로설계를 완성한 후 Cadence사의 Virtuoso Layout Editor 디자인 툴을 활용하여 2008년 12월 1일부터 2009년 2월 28일 사이에 신청인이 독자적인 기술로 창작하였으며, 싱가포르에 위치한 Chartered사의 0.18㎛ CMOS 공정을사용하여 시제품을 제작하였다.					
1922	가중된 Edge-Sensing기반 Color interpolation 모듈	1. 배치설계의 적용분야 - CMOS카메라 모듈의 ISP(IMAGE SINGAL PROCESSOR)의 기능블록으로 적용가능 2. 배치설계의 특징 - 1024X4의 하나의 메모리 Macro IP를 설계하여 배치함 - 7개의 FIFO 메모리 MACRO IP를 설계하여 배치함 - Macro IP근접하도록 Standard cell을 배치하여 delay를 적게 갖는 구조	Microcomponent	2009-11-01		2009-11-30	전남대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1923	LED DRIVER(for 휴대폰용 6CH LED DRIVER)	본 배치설계는 LED구동에 필요한 전압을 전원으로부터 LED가 동작 가능한 전압 레벨로 승압하여 레귤레이션하는 회로로 LED B/L가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2007-06-18		2009-12-16	주식회사 동운아나텍
1924	Auto Focus Driver	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작가능한 전류로 레귤레이션하는 회로로 VCA가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-06-05		2009-12-16	주식회사 동운아나텍
1925	Mobile 4CH LED Driver (for 4CH LED Driver)	본 배치설계는 LED구동에 필요한 전압을 전원으로부터 LED가 동작 가능한 전압 레벨로 승압하여 레귤레이션하는 회로로 LED B/L 가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-01-07		2009-12-16	주식회사 동운아나텍
1926	Mobile 6CH LED Driver (for 6CH LED Driver)	본 배치설계는 LED구동에 필요한 전압을 전원으로부터 LED가 동작가능한 전압레벨로 승압하여 레귤레이션하는 회로로 LED B/L가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-01-23		2009-12-16	주식회사 동운아나텍
1927	Dual DC/DC Converter(for AMOLED)	본 배치설계는 LCD구동에 필요한 전압을 전원으로부터 LCD가 동작가능한 전압레벨로 레귤레이션하는 회로로 LCD가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-11-21		2009-12-16	주식회사 동운아나텍
1928	STEPPER MOTOR DRIVER	본 배치설계는 STM구동에 필요한 전압, 전류를 전원으로부터 STM이 동작가능한 전압, 전류로 레귤레이션하는 회로로 STM가 사용되는 응용에 적용가능하다	Analog and Digital Mixed Signal	2008-08-27		2009-12-16	주식회사 동운아나텍
1929	CURRENT 8-BIT DAC	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작 가능한 전류로 레귤레이션하는 회로로 VCA가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2007-04-19		2009-12-16	주식회사 동운아나텍
1930	Voice Coil Module lens auto focus	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작가능한 전류로 레귤레이션하는 회로로 VCA가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2007-09-17		2009-12-16	주식회사 동운아나텍
1931	Auto Focus Driver IC (for Auto Focus)	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작가능한 전류로 레귤레이션하는 회로로 VCA가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-12-10		2009-12-16	주식회사 동운아나텍
1932	Negative CP LED Driver IC	본 배치설계는 LED구동에 필요한 전압을 전원으로부터 LED가 동작 가능한 전압레벨로 승압하여	Analog and Digital Mixed	2009-03-04		2009-12-16	주식회사 동운아나

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		레귤레이션하는 회로로 LED B/L가 사용되는 응용에 적용가능하다	Signal				텍
1933	조명용 LED driver	본 배치설계는 LED 구동에 필요한 전압을 전원으로부터 LED가 동작가능한 전압레벨로 레귤레이션하는 회로로 LED가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2008-06-24		2009-12-16	주식회사 동운아나텍
1934	보이스 플레이어	본 배치설계는 보이스 플레이어에 관한 것으로 음성안내 기능을 가진 가전제품 및 IT융합기기 등에 적용되는 제품에 관한것이다. 에이디피씨엠 방식의 디지털 음성신호를 재생가능하며, 디지털 앰프를 내장하여 경쟁역을 높였다.	Analog and Digital Mixed Signal	2008-08-19		2009-12-16	넥스트랩 주식회사
1935	캐패시터레스 헤드폰 드라이버	본 배치설계는 캐패시터레스 헤드폰 드라이버에 관한 것으로 주로 휴대용 오디오 재생기에 적용되는 제품에 관한것이다. 엘데오 및 차지펌프를 내장하여 출력단 디씨-블로킹 캐패시터가 필요없도록 하였다	Analog and Digital Mixed Signal	2008-08-19		2009-12-16	넥스트랩 주식회사
1936	자동보정기능을 갖춘 터치센서	본 배치설계는 자동보정기능을 갖춘 터치센서에 관한 것으로 터치 기능을 가진 가전제품 및 IT융합기기 등에 적용되는 제품에 관한것이다. 소비전력의 절감을 구현하였으며, 비프 드라이버 등의 다양한 사용자 편의기능을 내장하였다	Analog and Digital Mixed Signal	2008-08-19		2009-12-16	넥스트랩 주식회사
1937	싱글 채널 클래스-디 증폭기	본 배치설계는 싱글 채널 클래스-디 증폭기에 관한 것으로 주로 휴대용 오디오 재생기에 적용되는 제품에 관한것이다. 휴대단말의 특성상 칩스케일 패키지에 탑재할 수 있도록 작은 칩 사이즈로 설계되었으며, 저 소비전력 및 향상된 음성재생 특성을 갖는다	Analog and Digital Mixed Signal	2008-08-19		2009-12-16	넥스트랩 주식회사
1938	모바일용 오디오 서브시스템	본 배치설계는 모바일용 오디오 서브시스템에 관한 것으로 주로 휴대용 오디오 재생기에 적용되는 제품에 관한것이다. 헤드폰 드라이버, 클래스 디증폭기 및 아날로그 스위치를 내장하였으며, 볼륨 컨트롤 등의 기능을 갖추었다.	Analog and Digital Mixed Signal	2008-08-19		2009-12-16	넥스트랩 주식회사
1939	정전용량 감지 방식의 터치센서	본 배치설계는 터치패널의 정전용량을 감지하여 변화를 인지하는 기능을 갖춘 터치센서에 관한것으로 내부적으로 OSC를 사용하며, 터치패널의 정전용량의 변화를 인지하는 센서, 센서 출력을 처리하는 디지털 회로로 구성된다. 설계된 칩은	Analog and Digital Mixed Signal	2008-07-23		2009-12-16	(주) 넥스트칩

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		low-power동작을 하며 16-ch 의 터치 패널을 1개의 칩으로 모두 인식 가능하다. 이는 스위치가 사용되는 시스템에 적용이 가능하다.					
1940	정전용량 감지 방식의 터치스크린 센서 및 컨트롤러	본 배치설계는 터치스크린 패널의 정전용량을 감지하여 변화를 인지하는 기능을 갖춘 터치스크린 센서 및 컨트롤러에 관한 것으로 내부적으로 OSC를 사용하며, 터치스크린 패널의 정전용량의 변화를 인지하는 센서, 센서 출력을 처리하는 디지털 회로로 구성된다. 설계된 칩은 low-power 동작을 하며 32개의 터치스크린 채널을 1개의 칩으로 모두 인식가능하다	Analog and Digital Mixed Signal	2009-05-22		2009-12-16	(주) 넥스트칩
1941	Vertical Driver for CCD sensor Clock	본 배치설계는 CCD sensor의 동작에 필요한 Vertical Singal을 ISP로부터 받아 CCD가 동작 가능한 High Voltage 전압레벨에 맞게 변환하는 4-Phase clock driver로 CCD sensor가 사용되는 Camera system에 적용가능하다	Analog and Digital Mixed Signal	2006-09-20		2009-12-16	(주) 넥스트칩
1942	CCD 센서용 AFFE(Analog Front End)	본 배치설계는 아날로그 영상신호를 받아 CDS, VGA, ADC의 과정을 거쳐 디지털 값으로 변환하는 기능을 갖춘 CCD센서용 AFE로서 ISP, V-drive, CCD sensor 등과 더불어 카메라 모듈의 핵심 부품이다. 이는 CCD센서를 적용한 카메라 시스템에 적용이 가능하다	Analog and Digital Mixed Signal	2008-04-29		2009-12-16	(주) 넥스트칩
1943	FC1001X(Voice Synthesis IC) 배치설계	본 배치설계는 SBC(Subband Codec)으로 인코딩된 데이터를 받아서 디코딩후 Oversampling Digital Filter를 거치고 Delta-Sigma 모듈레이터를 거쳐서 D2D Type의 Class-D Amp로 음성이나 음악을 최종 출력하는 음성합성(음성재생)IC이다. 또한, 이 IC는 LDO(Low-Drop Out Regulator), POR(Power On Reset), Ring Oscillator, Flash Controller등이 내장되어 있다.	Analog and Digital Mixed Signal	2009-07-01		2009-12-16	퓨전칩스 주식회사
1944	e-call Asic	차량의 정보신호를 센서링해서 분석하고, 프로세서를 이용하여 데이터하고, 타시스템의 차량에 관한 디지털 정보를 제공하는 배치설계.	Analog and Digital Mixed Signal	2009-11-01		2009-12-18	주식회사 유디텍
1945	0.13um 12bit 100MHz Digital-to-Anal	당 과제인 configurable 디바이스 개발과제와 관련하여, 90nm CMOS공정을 이용하기 전 architecture 및 동작성능을 검증하고,	Others	2009-05-30		2009-12-21	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	og Converter	0.13um CMOS 공정과 비교를 위하여 12bit 100MHz D/A converter를 개발함.					
1946	0.18um 공정의 LVDS 드라이버를 이용한 고속 직렬 송수신기	개발된 송수신기는 저속의 병렬 신호들을 고속의 직렬 신호로 변환하여 LVDS 드라이버를 통해서 송신하는 송신기와 채널을 통해서 전송된 고속 직렬 신호를 다시 복원 후 저속의 병렬 신호로 변환해주는 수신기로 이루어져 있다. 개발된 송수신기는 각각 2개씩의 송신기와 수신기 및 클록 생성기로 총 2채널을 구성하고 있으며, 제작은 CMOS 0.18um, 1 poly 6 Metal 공정을 사용하였다	Others	2009-10-10		2009-12-22	전자부품 연구원
1947	0.18um 공정의 HDMI용 수신기를 위한 PLL	개발된 PLL은 HDMI 수신기를 위한 클럭 생성기로써 데이터 병렬화에 필요한 다중 위상 클록을 생성하며, 제작은 CMOS 0.18um, 1 poly 6 Metal 공정을 사용하였다	Others	2009-10-10		2009-12-22	전자부품 연구원
1948	0.18um 공정의 HDMI용 송신기	개발된 송신기는 저속의 병렬 신호들을 고속의 직렬 신호로 변환하여 CML 드라이버를 통해서 송신하는 송신기로써 최대 3.4Gbps의 전송이 가능하며 성능 향상을 위해 Pre-emphasis를 적용하였다. 개발된 송신기는 크게 클록 생성을 위한 PLL, 데이터를 직렬화하기 위한 Serializer (10:1MUX)와 데이터를 전송하기 위한 출력 드라이버 단으로 구성되어 있으며, 제작은 CMOS 0.18um, 1 poly 6 Metal 공정을 사용하였다	Others	2009-10-10		2009-12-22	전자부품 연구원
1949	0.13um 공정의 24GHz Voltage Control Oscillator	LC 전압제어발진기로써 Varactor에 가해주는 전압을 바꿔주어 capacitor 값을 변화시킴으로써 공진부(LC Tank)의 공진 주파수를 바꿔 주어 주파수 tuning을 가능하게 해 준다. CMOS 0.13um, 1 poly 6 Metal 공정을 사용하였다.	Others	2009-10-10		2009-12-22	전자부품 연구원
1950	0.13um공정의 24GHz UWB MIXER	24GHz UWB용 MIXER는 single balanced 구조로 설계 하였다. IF 출력 포트에서 LO 신호를 상쇄시키기 위해 간단한 1차 RC 필터를 삽입하고 측정을 위해 buffer를 삽입하였다. CMOS 0.13um, 1 poly 6 Metal 공정을 사용하였다	Others	2009-10-10		2009-12-22	전자부품 연구원
1951	0.13um공정의 24GHz UWB LNA	4GHz UWB용 LNA는 2-stage로 구성되며, 각 stage는 cascode topology로 이루어져 있다. 각 stage의 공진부는 inductor와 varactor로	Others	2009-10-10		2009-12-22	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		구성되어 있으며, 주파수 오류가 발생할 때에 외부에서 조절 가능하게 하였다. 출력은 측정을 위해 buffer를 추가하였다. CMOS 0.13um, 1 poly 6 Metal 공정을 사용하였다.					
1952	KERI Half-Bridge Converter Driver type 02	공진형 컨버터인 Half-Bridge Converter용 드라이버 집적회로임. 공진형 컨버터 제어 집적회로의 출력신호를 입력받아 Half-Bridge Converter에 있는 파워스위치 소자를 구동하기 위한 신호를 보내는 집적회로임.	Analog and Digital Mixed Signal	2009-10-31		2009-12-28	한국전기 연구원
1953	KERI Half-Bridge Converter Driver type 01	공진형 컨버터인 Half-Bridge Converter용 드라이버 집적회로임. 공진형 컨버터 제어 집적회로의 출력신호를 입력받아 Half-Bridge Converter에 있는 파워스위치 소자를 구동하기 위한 신호를 내보내는 집적회로임.	Analog and Digital Mixed Signal	2009-10-31		2009-12-28	한국전기 연구원
1954	KERI High Brightness LED Driver IC 01	LCD 및 PDP TV, 노트북 등의 백라이트(back-light)용으로 많이 사용되는 고전압, 고휘도 광다이오드(HBLED)의 구동에 필요한 전압 및 전류를 안정적으로 공급하기 위한 집적회로	Analog and Digital Mixed Signal	2009-10-31		2009-12-28	한국전기 연구원
1955	KERI DCM Power Factor Correction IC	DCM 방식의 역률제어 회로임. 역률을 보장하여 90%의 역률을 유지하게 함으로써 에너지 효율을 향상시켜주는 집적회로이다. DCM 방식의 경우 외부회로가 간단하고, IC의 외부핀 수가 적어 원가절감 등의 효과를 얻을 수 있다.	Analog and Digital Mixed Signal	2009-10-31		2009-12-28	한국전기 연구원

18. '10년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1956	2010SG12b50m-ADC	본 설계에서는 고화질 영상 시스템 AFE 응용을 위한 12비트 50MS/s 21.6mW 0.18um CMOS ADC를 구현하기 위하여 다음과 같은 설계 기법들을 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 사용하여 목표로 하는 12비트 해상도와 50MS/s 신호처리 속도범위 내에서 전력소모 및 면적을 최적화하였다. 입력 단 SHA와 첫 번째 MDAC은 추가적인 클록 타이밍 없이 두 개의 커패시터 열을 기반으로 커패시터 및 증폭기를 공유하여 하나의 블록 (SHADAC)으로 병합하였으며, 두 번째와 세 번째 MDAC에는 스위치 기반의 증폭기를 공유하여 전력소모 및 면적을 추가로 줄였다. 병합된 SHADAC SHADAC의 증폭기는 전류 경로를 추가하여 입력 단 트랜스컨덕턴스를 적절히조절하여 SHA의 홀딩 동작 및 MDAC1의 잔류 전압 증폭동작을 안정적으로 수행하도록 하는 동시에 기존의 증폭기 공유 기법에서 나타나는 메모리 효과를 제거하기 위하여 두 개의 NMOS 입력 단을 갖는 증폭기를 공유하였다. 한편, 두 개의 커패시터 열은 더미 커패시터 사이에 단위커패시터를 교대로 배치하고 사용 가능한 금속 층으로 둘러싸서 레이아웃 함으로써 커패시터 부정합을 최소화하였으며, 입력 및 출력 단 공통 모드 전압 변화에 덜 민감한 telescopic 증폭기용 바이어스 회로를 제안하여 공정과 온도 변화에 의하여 발생할 수 있는 증폭기의 성능 저하를 최소화하였다. 제안하는 설계 기법을 적용하여 0.18um CMOS 공정으로 구현한 시제품 ADC의 칩 면적 은 0.93mm2를 차지하며, 측정된 DNL 및 INL은 각각 최대 0.53LSB, 2.09LSB 수준을 나타낸다. 또한, 50MS/s의 샘플링 속도에서 4MHz 입력 신호를 사용한 결과 측정된 SNDR 및 SFDR은 각각 최대 60.6dB, 69.4dB를 보여주며, 소모 전력은 1.8V 전원 전압에서 21.6mW 이다	Analog and Digital Mixed Signal	2009-10-27		2010-01-08	서강대학교산학협력단
1957	2010SG10b100	본 설계에서는 전력 소모 및 면적을 최적화하기 위	Analog and	2009-02-2		2010-01-0	서강대학

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	m-ADC	해 다양한 회로 공유 기법을 효율적으로 적용한 10비트100MS/s CMOS 3단 파이프라인 ADC를 제안한다. 두 개 의 연속되는 MDAC 사이에는 스위치 저항과 메모리 효과를 제거한 증폭기 공유 기법을 제안하고, 세 개의 flash ADC 사이에는 하나의 저항열만을 공유하는 동시에 두 번 째와 세 번째 flash ADC 사이에는 프리앰프를 공유하여 소모되는 전력 및 면적을 최소화하였다. 각 flash ADC에는 보간 기법을 사용하여 요구되는 프리앰프의 수를 절반으로 줄였으며, 프리앰프 공유 기법으로 인한 킥-백의 영향을 최소화하기 위해 입력과 출력단을 분리한 래치를 사용하여 킥-백 잡음의 영향을 최소화하였다. 디지털 블록들은 1.2V에서 1.8V까지의 전원에서 동작하도록 설계하여 추가적인 전력 소모를 줄이는 효과를 얻도록 하였다.제안하는 시제품 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대 0.58LSB, 0.84LSB의 수준을 보이며, 동적 성능으로는 100MS/s의 동작 속도에서 각각 최대 54.2dB의 SNDR과 68.8dB의 SFDR을 보여준다. 시제품 ADC의 칩면적은 0.80mm2이며, 1.8V 전원 전압과 100MS/s의 동작 속도에서 24.2mW의 전력을 소모하여 0.58pJ/convstep의 FoM을 갖는다.	Digital Mixed Signal	7		8	교산학협력단
1958	UP2340A	PMP, 휴대폰등 주로 Mobile기기에 들어가는 중소형 LDI제품으로 MIPI Interface가 내장된 320RGB(H) X 480gate Color TFT LCD Driver IC임.	Others	2009-11-05		2010-02-17	크로바하이텍㈜
1959	소오스 저항(Source Resistor) 회로를 갖는 E-pHEMT MMIC	본 배치설계는 유,무선 통신 기기에 사용되는 소오스 저항(Source Resistor) 회로를 갖는 E-pHEMT(Enhanced-Pseudomorphic High Electron Mobility Transistor) MMIC(Microwave Monolithic Integrated Circuir) 이다. Bias의 안정화와 In/output Impedance Matching 개선, Linear 특성 개선을 위하여 Transistor의 Source 단에 Simulation을 통한 알맞은 Resistor를 삽입한	Analog and Digital Mixed Signal	2008-10-04		2010-01-22	알.에프 에이치아이씨 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		MMIC로 Design 되었다.					
1960	정전기 방전 (Electro-Static Discharge) 보호 다이오드 회로를 갖는 E-pHEMT MMIC	본 배치설계는 유,무선 통신 기기에 사용되는 정전기 방전 (Electro-Static Discharge) 보호 다이오드(Diodes) 회로를 갖는 E-pHEMT(Enhanced-Pseudomorphic High Electron Mobility Transistor) MMIC(Microwave Monolithic Integrated Circuit) 이다. MMIC의 Input, Output Port의 ESD(Electro-Static Discharge) 특성을 개선하기 위하여 Transistor와 Diode를 이용한 보호 회로를 구성함으로써 HBM(Human Body Model)과 MM(Machine Model) 특성을 향상시켰습니다.	Analog and Digital Mixed Signal	2008-10-04		2010-01-22	알.에프 에이치아이씨 주식회사
1961	일정전류공급 (Current Mirror) 회로를 갖는 E-pHEMT MMIC	본 배치설계는 유,무선 통신 기기에 사용되는 일정전류공급(Current Mirror) 회로를 갖는 E-pHEMT(Enhanced-Pseudomorphic High Electron Mobility Transistor) MMIC(Microwave Monolithic Integrated Circuit) 이다. MMIC 제조 공정에 따른 특성 편차와 온도 및 외부 Bias 변화에 따른 전류 편차를 줄여 안정적인 특성 유지하기 위하여 MMIC 회로 내부에 Transistor와 Diode를 이용한 Current Mirror로 Bias 회로를 구성 하였다.	Analog and Digital Mixed Signal	2008-10-04		2010-01-22	알.에프 에이치아이씨 주식회사
1962	케스코드 (Cascode) 구조를 갖는 E-pHEMT MMIC	본 배치설계는 유,무선 통신 기기에 사용되는 케스코드(Cascode) 구조를 갖는 E-pHEMT(Enhanced-Pseudomorphic High Electron Mobility Transistor) MMIC(Microwave Monolithic Integrated Circuit) 이다. 높은 Gain과 Flatness, Output Impedance와 Linear 특성을 향상시키기 위하여 두단의 Transistor를 연결한 Cascode 구조에 Bias 회로를 추가 하여 MMIC를 설계 하였다.	Analog and Digital Mixed Signal	2008-10-04		2010-01-22	알.에프 에이치아이씨 주식회사
1963	CH7700	TOUCH SCREEN CONTROLLER With Capacitive-Sensing & Pressure_Sensing	Others	2009-10-02		2010-03-02	크로바하이텍㈜
1964	KWU-IPD-DIPLEXER-1	다이플렉서는 2가지의 대역의 주파수를 나누는 역할을 한다. 그것은 3포트로 구성되어있으며 하나의 입력신호와 그것을 2가지 영역으로 나누는 역	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		할을 한다. 다이플렉서는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 다이플렉서는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. GSM DCS 영역에서 응용가능하며 우수한 성과를 가진 다이플렉서이다이다. 삽입 손실은 전형적으로 -0.5 dB이고 복귀 손실은 양쪽다 -25 dB 이하 있다. 2영역 사이의 Isolation 은 -40 dB 보다 크다. 총 칩 크기 0.9 × 1.1 mm2이다.					력단
1965	KWU-IPD-COUPLER-1	방향성 커플러는 라디오 기술의 분야에서 사용된 수동적인 장치이다. 다른 포트를 통해서 충분히 근접하여 함께 놓인 2개의 전송선을 사용해서 하나를 통과한다 디자인된 방향성 커플러는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 방향성 커플러는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. GSM에서 응용가능하며 우수한 성과를 가진 방향성 커플러이다. 삽입 손실은 전형적으로 -3.5 dB 이고 복귀 손실은 -20 dB 이하 있다. Isolation 은 -30 dB 보다 더 크다. 총 칩 크기 1.0 × 1.6 mm2이다.	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단
1966	KWU-IPD-BPF-1	밴드패스필터는 특정주파수만 통과하는 장치이다. 아날로그 밴드패스필터는 RLC 회로이다. 그것은 또한 고주파 통과 필터와 저주파 통과 필터를 결합해서 만들 수 있다. 디자인된 밴드패스필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 밴드패스필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에 응용가능하며 2.4 GHz 중심 주파수중심에 -40 dB이상의 band rejection과 -1 dB의 band losses의 성능을 지닌다. 총 칩 크기 1.1 × 1.3 mm2이다.	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단
1967	KWU-IPD-BALUN-1	발룬은 180º의 동일한 크기와 위상차 (FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 있는 중요한 소자 이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로(IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다(WLAN). 삽입 손실은 -0.25 dB 이하 단계 불균형은 3ㅇ와 진폭 불균형이 0.5 이하 이다 총 칩 크기 0.9 × 1.1 mm2이다.					
1968	KWU-IPD-DIVIDER-1	마이크로웨이브 회로디자인 영역에서 분배기는 하나의 신호가 둘로 나뉘어 지는데 사용된다. 결합기와 분배기는 서로 상호 대칭관계이기 때문에 그 역할이 같다고 볼수 있다. 디자인된 결합기는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에서 응용가능하며 우수한 성과를 가진 결합기이다. 삽입 손실은 전형적으로 -0.43 dB 이고 입력과 출력의복귀 손실은 각각 -23.4 dB -25.4 dB 이하이다. Isolation은 -22 dB 이다. 총 칩 크기 0.9 × 1.1 mm2이다.	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단
1969	KWU-IPD-LPF-1	저주파 통과 필터는 쓸모 없는 신호를 통과하고 고조파를 삭제하거나 약하게 하는 전기 회로에 있는 아주 근본적인 소자이다 디자인된 저주파통과 필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 저주파통과필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WiMAX에서 응용가능하며 우수한 성과를 가진 저주파 통과 필터이다. 삽입 손실은 전형적으로 -0.56 dB이고 복귀 손실은 -20 dB 이하 있다. 감쇄수준은 -25 미만 dBc이다. 총 칩 크기 0.9 × 0.45 mm2이다.	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단
1970	KWU-IPD-COMBINER-1	마이크로웨이브 회로디자인 영역에서 결합기는 나뉘어진 2신호가 하나로 합치는데 주로 사용된다. 결합기와 분배기는 서로 상호 대칭관계이기 때문에 그 역할이 같다고 볼수 있다. 디자인된 결합기는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에서 응용가능하며 우수한 성과를 가진 결합기이다. 삽입 손실은 전형적으로 -0.45 dB이고 입력과 출력의복귀 손실은 각각 -24.6 dB -25 dB 이하 있다. Isolation	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		은 -25 dB 이다. 총 칩 크기 0.68 × 0.83 mm2이다.					
1971	KWU-IPD-HPF-1	고주파 통과 필터의 업무는 저주파 통과 필터의 반대이다 고주파 통과 필터의 유도 및 전기 용량 버전은 그들의 각각 저주파 통과 필터 디자인의 다만 반대이다. 디자인된 고주파통과 필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 고주파통과필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WiMAX에서 응용가능하며 우수한 성과를 가진 고주파 통과 필터이다. 삽입 손실은 전형적으로 -0.68 dB이고 복귀 손실은 -22 dB 이하 있다. 감쇄수준은 -25 미만 dBc이다. 총 칩 크기 0.66 × 0.41 mm2이다	Analog and Digital Mixed Signal	2009-12-14		2010-04-08	김남영, 광운대학교산학협력단
1972	Ion Mobility Spectrometer	Ion Mobility Spectrometer를 개발함. - MEMS형 이온이동도 센서를 설계함. (개발과정) - Ion Mobility Spectrometer 사양 설계 - Fabrication Process 설계 - Fabrication Process 단위 공정 실험 및 조건 확보 - 접합공정 개발 - Ion Mobility Spectrometer 제작	Others	2010-05-10		2010-05-31	전자부품 연구원
1973	다파장 PD 어레이 신호 수신용 CMOS 칩	광신호가 인가되면 PD 어레이는 이에 대응하는 전하를 발생하는데 이 신호를 전하증폭기로 저잡음 증폭하고 CDS 회로에서 고정 잡음 등을 제거한 후 픽셀 순서에 따라 아날로그 전압 신호를 순차적으로 출력하는 칩임.	Analog and Digital Mixed Signal	2010-01-04		2010-05-31	(주) 텔트론
1974	Thermopile array sensor	Thermopile Array sensor를 개발함. - CMOS thermopile 센서를 설계함. - 스위칭을 위한 poly-silicon FET를 설계함. - 4x4 array로 배치하고 회로를 설계함. (개발과정) - Thermopile Array 센서 사양 설계. - poly-silicon FET switch 설계. - 단일 thermopile 센서 설계. - 4x4 Array 센서회로 설계. - ASIC I/O pin 설계	Others	2010-04-30		2010-05-20	전자부품 연구원
1975	LXT0214	본 배치설계의 LXT0214는 Photon 계수형 Hybrid Type의 X-ray Sensor에 사용하는 Readout IC 이다. CMOS 0.18um 1Poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	2010-07-07		2010-07-15	주식회사 룩센테크놀러지

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
1976	LXT0209	본 배치설계의 LXT0209는 Photon계수형 통합형 Digital X-ray 동영상 Sensor에 사용하는 Readout IC이다. CMOS 0.18um 1Poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	2008-12-01		2010-07-15	주식회사 룩센테크 놀러지
1977	LXT0213	본 배치설계의 LXT0213은 실시간 의료영상용(동영상) 디지털 Flat-panel 영상센서용 고속.저잡음 다채널 Readout IC이다. CMOS 0.18um 1Poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	2010-07-07		2010-07-15	주식회사 룩센테크 놀러지
1978	LXT0212	본 배치설계의 LXT0212는 의료 분야 중에서 직접 변환 방식 Flat Panel X-ray Sensor를 위한 정지 영상용 다채널 Readout Chip이다. CMOS 0.18um 1Poly 6Metal공정을 사용 하였다	Analog and Digital Mixed Signal	2010-07-07		2010-07-15	주식회사 룩센테크 놀러지
1979	90nm 공정의 클록발생기	개발된 클록 발생기는 1개의 PLL 블록과 3개의 분주기(/1~/16 분주기 2개, /10 및 듀티 조절 분주기 1개)조합으로 구성된다. PLL은 기본 4분주에 해당하는 출력 600MHz~1GHz(입력기준 주파수:150MHz)을 생성하며, PLL의 출력은 각각의 분주기의 조절에 따른 주파수를 생성한다. 특히, 3번째 분주기는 10분주를 기본으로 1:10에서 10:1까지 정수배로 듀티 조절 기능을 갖는다. 제작은 CMOS 90nm, 1 poly 4 Metal 공정을 사용하였다.	Others	2010-09-06		2010-09-28	전자부품 연구원
1980	CMOS 90nm 12bit 80MHz D/A Converter	위 명기된 IC는 CMOS로 구성된 12bit 해상도에 80MHz 의 샘플링 속도로 아날로그 신호를 디지털 신호로 변환하는 Digital-to-Analog Converter 이다. DAC는 입력 버퍼, 디코더, 레퍼런스, MSB/LSB current cells 로 구성되어 있다. 레퍼런스 회로는 내부 또는 외부에서 조절할 수 있도록 설계하였다. 설계된 회로는 90nm 1-poly, 4-metal(core/pad 4 metal) thick gate CMOS 공정을 사용하여 IC 로 제작되었다.	Others	2010-09-06		2010-09-28	전자부품 연구원
1981	90nm 공정의 LVDS 드라이버를 이용한 고속 직렬 송수신기	개발된 송수신기는 저속의 병렬 신호들을 고속의 직렬 신호로 변환하여 LVDS 드라이버를 통해서 송신하는 송신기와 채널을 통해서 전송된 고속 직렬 신호를 다시 복원 후 저속의 병렬 신호로 변	Others	2010-09-06		2010-09-28	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		환해주는 수신기로 이루어져 있다. 개발된 송수신기는 각각 2개씩의 송신기와 수신기 및 클록 생성기로 총 2채널을 구성하고 있으며, 제작은 CMOS 90nm, 1 poly 4 Metal 공정을 사용하였다					
1982	혼합형 64점 역 빠른 푸리에 변환기 (Mixed 64-point Inverse Fast Fourier Transform)	이 디자인은 64 point IFFT(Invers Fast Fourier Transform)을 수행함 Architecture는 control의 complexity는 크지만 Butterfly(100%)와 Complex multiplier(75%)의 utilization을 높이는 Radix-4 SDC(Single-path Delay Commutator)의 구조를 채택하여 설계함	Digital Logic	2010-07-30		2010-09-27	한양대학교 산학협력단
1983	확장된 유클리드 연산기	d=gcd(a,b)=a*x + b*y 를 만족하는 x,y를 계산하는 연산기 (단, d, a, b는 자연수이고 x,y는 정수)	Digital Logic	2010-08-31		2010-10-14	한양대학교 산학협력단
1984	2010SG12b100MSps013 SHA-Free ADC	제안하는 12비트 100MS/s ADC는 3단 파이프라인 구조를 기반으로 하며 입력단 SHA를 제거하여 고해상도 및 높은 신호처리 속도와 함께 전력 소모 및 면적을 최소화하였다. 첫 번째 단의 MDAC 및 FLASH ADC의 입력 단스위치에는 동일한 게이트-부트스트래핑 회로를 적용하여 SHA가 없는 구조에서 발생할 수 있는 샘플링 부정합문제를 최소화하는 동시에 신호의 왜곡 없이 입력 신호를 샘플링할 수 있도록 하였다. 첫 번째 및 두 번째 MDAC사이에 적용된 증폭기 공유기법은 메모리 효과를 제거하기 위해 두개의 입력 단을 사용하였으며, 위상 일부가 중첩된 클록을 사용하여 출력 신호의 정착 시간 지연 문제를 줄였다. 최종 단에 사용되는 6비트 FLASH ADC에는 효과적인 기준 전압 스위칭 방법을 적용하는 2단 기준 전압 선택 기법을 통해 소비되는 전력 및 면적을 50% 정도 줄였다. 제안하는 ADC는 0.13um 1P7M CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.44LSB와 1.54LSB 수준이다. 또한, 100MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 60.9dB와 71.2dB이다. 전체 칩 면적은 0.92mm2이며 소모 전력은 1.0V의 단일 전원 전	Analog and Digital Mixed Signal	2010-02-09		2010-10-21	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		압에서 19mW이며 0.22pJ/conversion-step의 우수한 FOM을 보인다.					
1985	2010SG12b100 MSps013 SHA-Based ADC	제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력 소모 및 면적을 최적화하였다. 첫 번째 및 두 번째 MDAC 사이에 적용된증폭기 공유기법은 기존의 증폭기 공유 시 입력 단을 리셋하지 않아 발생하는 메모리 효과를 제거하기 위해 두개의 입력 단을 사용한다. 한편, 위상 일부가 중첩된 클록을 사용하여 스위칭 동안 발생하는 글리치를 최소화하여 출력 신호의 정착 시간 지연 문제를 줄였다. 마지막 단으로 사용되는 6비트 FLASH ADC에는 효과적인 2단 기준 전압 선택 기법을 적용하여 소비되는 전력 소모 및 면적을 줄였다. 제안하는 ADC는 0.13um 1P7M CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.40LSB와 1.79LSB 수준이다. 또한, 100MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 60.0dB와 72.4dB이다. 전체 칩 면적은 0.92mm2이며, 소모 전력은 1.0V의 단일 전원 전압에서 24mW이다.	Analog and Digital Mixed Signal	2010-02-09		2010-10-21	서강대학교산학협력단
1986	2010SG12b50 MSps018 ADC	본 설계에서는 의료용 초음파, CCD 이미지 센서와 같은 고화질 영상 시스템의 아날로그-프런트-앤드 응용을 위한 12비트 50MS/s 0.18um CMOS ADC를 제안한다. 제안하는 ADC는 다양한 영상시스템 응용을 위하여 입력 단에 가변 이득 조절 기능을 포함하는 동시에 높은 신호처리 속도와 고해상도 구현을 위해 4단 파이프라인 구조를 사용하여 전력 소모와 면적을 최적화하였다. 입력 단 VGA는 스위치드-커패시터 기법을 기반으로 샘플 및 홀드 기능과 가변 이득 증폭 기능을 포함하고 있으며, 입력 신호를 선택한 이득에 따라 증폭하여 출력한다. 입력 단VGA의 이득은 4비트의 디지털 제어 신호를 사용하여 -3dB에서 0dB의 범위를 0.2dB의 간격으로 16단계로 조절되며, 병합 커패시터 기반의 로그함수 근사방식을 적용하여 설계하였다. 전체 ADC의 전력 소모 중에서 많은 비중을 차지하는 MDAC의 증폭기에는	Analog and Digital Mixed Signal	2010-01-27		2010-10-21	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		칩 면적과 전력 효율성을 고려하여 telescopic 구조와 common-source 구조로 구성된 2단 증폭기를 사용하였으며, 낮은 전원 전압에서도 공정에 덜 민감한 telescopic 증폭기의 바이어스 기법을 제안한다. 제안하는 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대0.41LSB와 0.63LSB 수준이다. 또한, 50MS/s의 샘플링속도에서 측정된 SNDR 및 SFDR은 각각 최대 62.6dB와 73.1dB이다. 전체 칩 면적은 1.09mm2이며 소모전력은1.8V의 단일 전원 전압에서 28.1mW 이다.					
1987	2010SG14b100MSps013 ADC	본 설계에서는 고해상도 및 고속신호처리 조건을 동시에 만족하면서 저전력 및 소면적을 요구하는 SDR 시스템 응용을 위한 14비트 100MS/s SHA-free 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 가지며, 첫 번째 단의 MDAC 및 FLASH ADC의 입력단 스위치에는 동일한 게이트-부트스트래핑 회로를 적용하고 충분히 작은 시정수를 갖도록 하여 샘플링 신호의 부정합 및 왜곡 현상을 최소화하였다. 낮은 전원 전압에서도 높은 신호대비 잡음성능을 얻기 위해, 내부에서 처리하는 신호 범위의 두 배 크기를 지닌 입력 신호를 처리하는 range-scaling을 제안한다	Analog and Digital Mixed Signal	2010-07-30		2010-10-21	서강대학교산학협력단
1988	2010SG10b200MSps018 ADC	본 설계에서는 HDTV와 같이 고화질 영상시스템 응용을 위한 10비트 200MS/s 0.18um CMOS ADC를 구현하기 위하여 다음과 같은 설계 기법들을 제안한다. 제안하는 ADC는 3단 파이프라인 구조를 사용하여 목표로 하는 10비트 해상도와 200MS/s 신호처리 속도 범위 내에서 전력소모 및 면적을 최적화하였다. 입력 단 SHA와 2개의 MDAC에는 이중 샘플링 기법과 증폭기 공유기법을 적용 하여 요구되는 증폭기 동작 속도를 50% 수준으로 완화함 과 동시에 전력 효율성을 향상시켰다. 세 개의 4비트 FLASH ADC에서 사용되는 비교기는 하나의 DDA 구조 프리앰프를 공유하여 면적과 전력 소모를 줄이면서 이중 샘플링 기법이 적용된 SHA와 MDAC의 출력을 용	Analog and Digital Mixed Signal	2010-09-11		2010-10-21	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		이하게 처리할 수 있도록 하였다. 제안하는 ADC는 0.18um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.31LSB와 0.72LSB 수준이다. 또한, 200MS/s 의 샘플링 속도에서 4MHz 차동 입력 신호를 사용하여 측정된 SNDR 및 SFDR은 각각 53.4dB와 63.2dB이다. 전체 칩 면적은 1.28mm2이며 소모 전력은 1.8V의 단일 전원 전압에서 44.6mW이다.					
1989	2010SG6b1.2GSps65n ADC	본 설계에서는 고속 무선 개인 통신 시스템 응용을 위한 6비트 1.2GS/s 65m CMOS ADC를 구현하기 위하여 다음과 같은 설계 기법들을 제안한다. 제안하는 ADC는 미세 나노 공정에서 증가하는 비교기 오프셋의 영향을 최소화 하고 전력 소모를 줄이기 위해 1.2V의 낮은 전원 전압에서 1.0Vp-p의 큰 입력신호를 갖는 flash 구조를 기반으로 설계하였다. 입력단은 증폭기가 없는 트랙-앤-홀드를 사용하였으며, 프리앰프에 능동부하를 갖는 이중입력의 차동오차증폭기 및 출력평균 레이아웃 기법을 사용하여 넓은 범위의 입력신호를 왜곡 없이 처리하였다. 또한 인터폴레이션 기법을 적용하여 요구되는 프리앰프의 수를 절반 수준으로 줄였으며, 비교기에 3단으로 직렬 연결된 래치를 사용하여 고속에서 안정적으로 동작하도록 설계 하였다. 한편, 인코더 회로에는 2단 구조의 버블 교정 회로를 사용하여 연속된 최대 3개의 버블 오차까지 교정하도록 하였다. 제안하는 ADC는 65nm CMOS 공정을 사용하여 제작되었으며, 측정된 DNL 및 INL은 6비트 해상도에서 각각 0.77LSB와 0.98LSB 수준을 보이며, 동적 성능으로는 1.2GS/s의 동작속도에서 각각 최대 33.2dB의SNDR과 44.7dB의 SFDR을 보여준다. 전체 칩 면적은0.23mm2이며 소모 전력은 1.2V 전원 전압과 1.2GS/s의 동작 속도에서 47.8mW의 전력을 소모한다.	Analog and Digital Mixed Signal	2010-02-17		2010-10-21	서강대학교산학협력단
1990	2010SG6b1.4GSps65n DAC	본 설계에서는 저전력 고속 무선 데이터 통신 응용을 위한 6비트 1.4GS/s 65m CMOS DAC를 구	Analog and Digital Mixed	2010-02-17		2010-10-21	서강대학교산학협

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		현하기 위하여 다음과 같은 설계 기법들을 제안한다. 제안하는 DAC는 글리치 에너지를 최소화하면서, 선형성을 보잘할 수 있는 전류 셀 매트릭스 구조를 적용하였으며, 1.0V의 낮은 전원 전압에서 50Ω 부하 저항을 구동하여 최대 0.6Vp-p의 아날로그 출력 값을 생성하도록 설계하였다. 디코더 앞단에는 하나 또는 네 개의 채널을 선택적으로 처리하도록 디지털 인터페이스 회로를 구현하였으며, 소면적 마스터-슬레이브 디글리칭 회로를 적용하여 스위치 구동신호 의 불안정한 동기와 전류 원 노드의 전압 변동 및 전류 셀들 간의 지연 시간 문제 등으로 인한 동적 성능 감소를 최소화 하였다. 한편 제안하는 이차원 INL bounded 스위칭기법은 행과 열에 발생하는 전류 셀들 간의 오차를 보상해 준다. 제안하는 DAC는 65nm CMOS 공정을 사용하여 제작되었으며, 측정된 DNL 및 INL은 6비트 해상도에서 각각 0.18LSB와 0.11LSB 수준을 보이며, 동적 성능으로 는 1.4GS/s의 동작속도에서 최대 40.8dB의 SFDR을 보여준다. 전체 칩 면적은 0.11mm2이며 소모 전력은 1.0V전원 전압과 1.4GS/s의 동작 속도에서 11.9mW의 전력을 소모한다.	Signal				력단
1991	2010SG70ADSM018 ADC	기존의 electret microphone의 출력 신호는 아날로그이기 때문에 전송경로에서 발생하는 신호 간섭에 의한 전기적 잡음 등에 의해 성능이 크게 영향을 받는다. 본 설계에서는 이러한 단점을 극복하기 위하여 electret microphone과 analog-to-digital 데이터 변환기 (A/D 변환기)를 포함하는 단일 패키지 센서 모듈용 digital electret microphone interface 회로를 구현하였다. 제안하는 digital electret microphone interface 회로는 델타-시그마 A/D 변환기, 온-칩 레퍼런스, 클록 발생기 회로로 구성되어 있다. 델타-시그마 A/D 변환기는 두 개의 적분기와 1비트 비교기를 이용하여 switched-capacitor(SC) 방식의 single-stage 구조로 구현하였다.Oversampling ratio (OSR)로 64를 적용	Analog and Digital Mixed Signal	2010-07-30		2010-11-03	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		하였으며 2.56MHz의 클록 주파수에서 20kHz의 signal bandwidth를 처리하도록 설계하였다. 특히, 적용된 델타-시그마 A/D 변환기는 noise coupling 기법을 적용하여 2개의 적분기로 3차의 quantization noise shaping을 구현하므로 칩 면적 및 소비전력을 최소화하였다. 클록 발생기를 통하여 외부에서 입력되는 하나의 클록으로부터 두 개의 중첩되지 않는 클록 (non-overlapping clock) ϕ1 및 ϕ2를 발생시켜 사용하였으며, 온-칩 bandgap reference 회로를 이용하여 외부의 추가적인 기준 전압 및 기준 전류 발생 회로를 사용하지 않고도 독립적으로 동작할 수 있도록 설계하였다. 제안하는 digital microphone interface 회로는 0.18μm CMOS 공정으로 제작되었으며 측정 결과 2.56MHz의 동작 속도에서 70.80dB의 dynamic range (DR)와 -4.22dBFS의 입력 신호를 인가하는 경우 65.7dB의 peak SNR을 확인하였다. 전체 칩 면적은 0.67mm2이며 소모 전력은 1.8V의 단일 전원 전압에서1.14mW이다.					
1992	2010SG10b100MSps013 ADC	본 설계에서는 1.2V 공급 전압에서 동작하는 10 비트 100MS/s 이중 채널 파이프라인 CMOS ADC를 제안한다. 제안하는 ADC는 이중 채널로 동작하는 9단 파이프라인 구조를 가지며, 면적과 소모 전력의 최적화를 위해 연산증폭기 공유 기법을 사용하였다. 제안하는 다이내믹 메모리 효과 제거 기법은 연산 증폭기 공유 기법 사용에 따른 잔류 전하에 의한 채널 간섭 효과를 감소시키며, 이중 채널 sample-and-hold (S/H) 회로의 연산 증폭기 이득 조건을 완화시킨다. 제안하는 ADC는 0.13um CMOS 공정으로 제작되었으며 1MHz 입력 신호에 대해 측정된 출력의 SNDR은 최대 56 dB이며 100MS/s의 샘플링 속도에서 측정된 채널 간섭 효과 비는 최대 67.4 dB이다. 전체칩 면적은 1.96 mm2 이며 소모 전력은 1.2V의 단일 전원전압에서 채널당 16.2mW이다.	Analog and Digital Mixed Signal	2010-08-15		2010-11-03	서강대학교산학협력단
1993	2010SG70WDS	본 설계에서는 SC(switched-capacitor) 구조의	Analog and	2010-08-2		2010-11-0	서강대학

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	M013 ADC	5차single-stage 시그마-델타 ADC를 제안한다. 제안하는 ADC는, OSR (oversampling ratio) 값이 8인 feedforward구조를 사용하고 있다. 제안하는 모듈레이터는 최적화 된 적분기 coefficient들과 internal DAC reference를 scaling 함으로써 quantizer의 full scale보다 1dB정도 넘어서는 신호의 입력이 가능하도록 설계되었다. 또한, multi-bit DAC의 linearity를 향상시키기 위하여, DWA DEM (data weighted averaging dynamic elementary matching)방식을 이용한 19-level quantizer를 사용하였다. 제안하는 ADC는 0.13um CMOS 공정을 사용하고 있으며, 측정 결과는 1MHz의 입력주파수와 6.25MHz의 대역폭을 가지는 신호 영역에서 63.7dB의 SNDR이 나타남을 보여주고 있다. 또한, 100MHz의 clock 주파수와 1.2V의 전원에서 52.2mW의 전력을 소모하고 있다	Digital Mixed Signal	5		3	교산학협력단
1994	2010SG70SDS M013 ADC	본 설계에서는 고해상도의 성능을 만족하면서 저전력 및 소면적을 요구하는 센서 인터페이스 응용을 위한 전류 공유 증폭기를 사용한 델타 시그마 ADC를 제안한다. 제안하는 ADC는 반 클록 딜레이 차이로 동작하는 적분기에 응용하여 전류의 양을 줄이는 전류 공유 증폭기를 사용했다. 가변 전류를 이용한 증폭기는 부하가 작고 피드백 팩터가 큰 홀드 모드에서 적은 바이어스 전류를 사용하고 부하가 크고 피드백 팩터가 작은 적분 모드에서는 추가적인 전류를 이용함으로써 소비 전류의 효율을 높였다. 전류 공유 증폭기는 증폭기의 면적을 줄여주며, 증폭기에서 사용되는 전류를 최대 50%까지 줄일 수 있으며, 본 설계 에서는 25%의 전류를 줄이는 방식으로 설계되었다. 제안하는 ADC는 0.13um CMOS 공정으로 제작되었으며 1.28MS/s의 샘플링 속도에서 128의 OSR을 적용하여 측정된 SNDR과 DR은 각각 최대 71.8dB와 74.9dB 수준이다. 전체 칩 면적은 0.166mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 50.04uW 이다	Analog and Digital Mixed Signal	2010-08-12		2010-11-03	서강대학교산학협력단
1995	VMBS Rx	VLC-LED 조명에서 수신된 VLC 브로드캐스트	Others	2010-09-1		2010-10-2	한국전자

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	Part(VLC Receiver Dongle) Printed Circuit Board Design	ID메시지를 수신하여 처리하는 모든 기능을 탑재하고 있음		1		6	통신연구원
1996	VMBS Tx Part(LED-ID Lighting) Printed Circuit Board Design	LED조명을 제어하여 VLC 브로드캐스트 ID 메시지를 송신하는 모든 기능을 탑재하고 있음	Others	2010-09-11		2010-10-26	한국전자통신연구원
1997	High Brightness Power LED Metal Printed Circuit Board Design	Color Mixing LED Array 모듈은 4in1 LED, Warm white, Cool White, Amber의 6개 칼라 LED를 포함 한 모듈로 대략 14 watt의 전력을 소모하는 고출력 Metal PCB LED모듈, 140mA 이상의 전류 공급	Others	2010-06-04		2010-10-26	한국전자통신연구원
1998	High Brightness Fast LED Driver Printed Circuit Board Design	LDRV는 LEDA에 전압 및 전류를 공급하는 LED드라이버 부분으로, 메시지 전달을 위하여 빠른 On/Off가 가능함, LDRV는 Color Mixing LED Array타입을 위한 드라이버회로	Others	2010-06-04		2010-10-26	한국전자통신연구원
1999	ACLED용 션트 레귤레이터 IC	사용전원을 입력하여 고전압 LED를 구동하는 ACLED IC의 션트레귤레이터로서 ACLED IC의 특정 전압 2.5V에서 고정도/고속으로 전류를 흐르게하는 션트 스위치이다. 특히 ACLED용 션트레귤레이터는 431 션트레귤레이터에 면적을 최소화하기 위해 최대 전류용량은 줄이고 조절전압 2.5V에 민감하게 동작하도록 설계하였다. 공정은 X-Fab 1.0um XDH 650V를 활용하였다.	Analog and Digital Mixed Signal	2010-06-04		2010-11-11	한국전기연구원
2000	주파수 증가형 ACLED 구동용 오실레이터 IC	사용전원을 입력하여 고전압 LED를 구동하는 ACLED IC의 오실레이터로서 주파수는 5kHz이며, 입력전압 10V 내지 25V 범위의 변동에 무관하게 동작한다. 특히 주파수의 변동은 ±5% 이내로서 저가의 ACLED IC에 맞게 면적을 최소	Analog and Digital Mixed Signal	2010-06-04		2010-11-23	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		로 한 것이 특징이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였다.					
2001	ACLED 구동 one chip 전원형 IC	상용전압 220V를 직접 입력하여 고전압 LED를 구동하는 ACLED 구동 one chip 전원형 IC는 고전압 ACLED를 구동하는데 별도의 부품이 필요 없으며, 특히 조명장치에 문제로 되는 Power Factor 0.9 이상, THD 20% 이하 및 플리커 17 이하를 만족시키는 고전압 레귤레이터 IC이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였다	Analog and Digital Mixed Signal	2010-06-04		2010-11-11	한국전기연구원
2002	Core-A 프로세서(SoCore-A)	Core-A 프로세서를 사용하여 캐쉬, AMBA 버스 및 주변장치용제어기를 붙인 SoC 칩으로, 동부 0.18um의 공정으로 설계된 것	Microcomponent	2010-09-07		2010-11-17	(주)다이나릿시스템
2003	2010SG400MFRAC018 4PAM(1)	본 설계에서는 signaling scheme은 binary signaling에 비해 1/2의 symbol rate를 가지는 4-level pulse amplitude modulation(4-PAM)을 제안한다. 제안하는 4-PAM에 사용되는 구조는 크게 송신기와 수신기로 나눌 수가 있으며, 모두 CMOS logic으로 구현되었다. 송신기에 사용한 output driver 회로에는 4개의 level을 결정하는 reference 전압을 출력에 전달하기 위해 CMOS 스위치 대신 nmos 스위치로만 사용되었으며, 스위치의 on /off를 위해 Bootstrapping 회로를 사용하였다. 송신기에서 수신기로 전달되는 전압 level 은 0V - VDD 이며 기존의 conventional logic 보다 전력소비가 적다.	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단
2004	2010SG400MFRAC018 4PAM(2)	본 설계에서는 signaling scheme은 binary signaling에 비해 1/2의 symbol rate를 가지는 4-level pulse amplitude modulation(4-PAM)을 제안한다. 제안하는 4-PAM에 사용되는 구조는 크게 송신기와 수신기로 나눌 수가 있으며, 모두 CMOS logic으로 구현되었다. 송신기 에 사용한 output driver 회로에는 4개의 level을 결정하는 reference 전압을 출력에 전달하기 위해 CMOS 스위치 대신 nmos 스위치로만 사용되었으며, 스위치의 on /off를 위해 Bootstrapping 회로를 사용하였	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		다. 송신기에서 수신기로 전달되는 전압 level 은 0V - VDD 이며 기존의 conventional logic 보다 전력소비가 적다. 수신기에는 4개의 level을 구분하기 위해 comparator가 사용하였으며, 입력되는 0V-VDD 의 전압 범위를 switch 와 capacitor로 구성된 level shifter를 사용하여 shift 시켜comparator 가 모든 전압 범위에서 동작 가능 하도록 하였다.					
2005	2010SG400MF RAC018 4PAM(3)	본 설계에서는 signaling scheme은 binary signaling에 비해 1/2의 symbol rate를 가지는 4-level pulse amplitude modulation(4-PAM)을 제안한다. 제안하는 4-PAM에 사용되는 구조는 크게 송신기와 수신기로 나눌수가 있으며, 모두 CMOS logic으로 구현되었다. 송신기에 사용한 output driver 회로에는 4개의 level을 결정하는 reference 전압을 출력에 전달하기 위해 CMOS 스위치 대신 nmos 스위치로만 사용되었으며, 스위치의 on /off를 위해 Bootstrapping 회로를 사용하였다. 송신기에 서 수신기로 전달되는 전압 level 은 0V - VDD 이며 기존의 conventional logic 보다 전력소비가 적다. 수신기에는 4개의 level을 구분하기 위해 comparator가 사용하였으며, 입력되는 0V-VDD 의 전압 범위를 switch 와capacitor로 구성된 level shifter를 사용하여 shift 시켜 comparator 가 모든 전압 범위에서 동작 가능 하도록 하였다	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단
2006	2010SG400MF RAC018 PLL	본 설계는 400MHz 대역의 narrow band 요건을 충족시키고 FSK modulation 기법을 사용하며, 저전력 및 parastic passives를 고려하여 주파수 범위를 조정할 수있는 Fractional-N PLL(Phase locked loops) transmitter를 제안한다. 본 설계의 Fractional-N PLL은 PFD(Phase Frequency Detector), CP(Charge Pump), Loop filter, VCO(Voltage Controlled Osillator), Divider Block, sigma-delta modulator, FIR filter로 구성된다. Loop Bandwidth를	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		50kHz 와 200kHz 로 하기위해 Loop filter 를 두 개의 type으로 넣었으며 loop Bandwidth를 200kHz로 할 경우 sigma-delta noise의 영향이 전체 phase noise의 high frequency offset에서 dominant 하므로 FIR filter를 이용하여 sigma-delta noise를 3MHz offset에서 phase noise를 기존보다 최대 10dBc/Hz 이상 향상시켰다. 그리고 본 설계인 목적인 저전력을 구현 하기 위해 system내에서 전력소모가 많은 VCO 및 Buffer를 최소한의 전류를 사용하여 전체 system에 흐르는 전체전류가 10mA로 흐르도록 하였다. Locking 시 phase noise는 -125dBc/Hz(@1M offset) 이 되도록 설계 하였으며 output power는 0dBm 이 되도록 하였다. 전체 chip 면적은 2.16mm2 이며 소모 전력은 1.8V의 단일 전원 전압에서 18mW이다					
2007	2010SGKKHMG018 Limiting Amplifier	본 설계에서는 10 Gb/s 급 광통신용 광수신기 중에서 10 Gb/s Limiting Amplifier (LA) 개발을 제안한다. 제안하는 LA는 4단 Cascade 구조로 Gain을 증가시켰으며, Inductive peaking 및 Positive feedback 회로를 적용하였다. Inductive peaking에 사용되는 Inductor를 마이크 로 인덕터 크기로 모델링하여 적용하였으며 그에 따라 기존의 회로에 비해 Inductor size를 50% 이상 줄여 Inductor로 인한 면적소모를 대폭 줄였다. 또한 Active feedback및 Inductive peaking 기술을 이용하여 Bandwidth를 크게 향상시켰다. 제안하는 LA는 0.18 um 1P6M CMOS 공정으로 제작되었으며 Voltage gain은 50 dB 이상, Bandwidth는 10 GHz 이상, Sensitivity는 10 mVpp이며 Power consumption은 150 mW 이하가 되도록 하였다.	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단
2008	2010SG400M018 FREQUENCY SYNTHESIZE	본 설계는 400~450MHz 대역의 무선 송신기 설계를 위해 FSK modulation 기법을 사용하며, 저 전력 및 parasitic passives를 고려하여 주파수 범위를 조정할 수있는 Fractional-N 기법을	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	R	사용한 frequency synthesizer 구조를 제안한다. 본 설계의 frequency synthesizer은 PFD(Phase Frequency Detector), CP(Charge Pump), Loop filter, VCO(Voltage Controlled Osillator), DividerBlock, sigma-delta modulator로 구성된다. Loop Bandwidth를 50kHz 와 200kHz 로 하기위해 Loop filter를 두 개의 type으로 넣어서 설계하였다. 그리고 본 설계인 목적인 저 전력을 구현하기 위해 system내에서 전력소모가 많은 VCO 및 Buffer를 최소한의 전류를 사용하여 전체 system에 흐르는 전체전류가 10mA로 흐르도록 하였다. 또 저 전력을 위해 divider block은 prescaler를 포함하여 모두 digital logic으로 구성하였다. 2/3 dual modulus prescaler, 3~6 swallow counter, 11 programmable counter, 15-bit 3rd-order sigma delta modulator의 동작은 12.5kHz의 narrow frequency spacing specification을 만족하기 위한 digital 회로이다. 전체 chip 면적은 1.63 이며 Output power는 0dBm, 소모 전력은 1.8V의 단일 전원 전압에서 18mW이다.					
2009	2010SGIllumin ometer018	본 설계에서는 고해상도의 저전력 및 소면적을 요구하는 Sensor 시스템 응용을 위한 0.18um CMOS 12비트 2nd-Order Delta-Sigma ADC를 이용한lluminometer 를 제안한다. 제안하는 Illuminometer는 크게 CDS와 2nd-Order Delta-Sigma로 구성된다. CDS circuit은 Switched-capacitor 구조이며, pixel의 reset transistor 의 variation과 무관하게 일정한 signal 값을 읽어내는 역할을 한다. 2nd-Order Delta-Sigma는 첫 번째 stage의 folded cascode OP-amp 회로의 Input gate size를 크게하여 flicker noise를 줄이려 노력하였다. Commonmode Feedback circuit은 Switched-capacitor Common-mode Feedback circuit을 사용하였다. 제안하는	Analog and Digital Mixed Signal	2010-10-15		2010-11-23	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Illuminometer는 0.18um 1P6M CMOS 공정으로 제작되었다. 전체 칩 면적은 0.28mm2이며 소모 전력은 1.8V의 단일 전원 전압에서 65uW이다.					
2010	무선통신 모듈 특성 측정 보드	2.4GHz 대역의 USN(Ubiquitous sensor network) 구현을 위해 안테나와 수신용 Zigbee Front-end 모듈이 필요하다. 본 배치배선은 안테나와 수신용 Front-end 회로의 특성 측정 및 분석을 위한 것이다. 본 배치배선의 개발 배경은 가스관이 매립된 지하환경에서 가스관의 상태를 모니터링하고 그 정보를 지상 수신 시스템에 전송하기 위한 것이다. 전체 모듈중 안테나는 패치(patch)형태의 원형편파 수신용 안테나가 제작되었고, Zigbee front-end 회로는 상용부품을 구입하여 설계 및 제작된 보드에 실장 하여 측정을 수행하였다.	Others	2010-11-22		2010-11-30	전자부품 연구원
2011	Auto Focus Driver	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작가능한 전류로 레귤레이션하는 회로로 VCA가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2009-02-06		2010-12-01	주식회사 동운아나텍
2012	13.56MHz 대역 수신 모듈 특성 측정 보드	13.56MHz 대역의 USN(Ubiquitous sensor network) 구현을 위해 안테나와 수신용 Front-end 모듈이 필요하다. 본 배치배선은 안테나와 수신용 Front-end 회로의 특성 측정 및 분석을 위한 것이다. 본 배치배선의 개발 배경은 가스관이 매립된 지하환경에서 가스관의 상태를 모니터링하고 그 정보를 지상 수신 시스템에 전송하기 위한 것이다. 전체 모듈중 안테나는 패치(patch)형태의 원형편파 수신용 안테나가 제작되었고, 13.56MHz front-end 회로는 상용부품을 구입하여 설계 및 제작된 보드에 실장 하여 측정을 수행하였다	Others	2010-11-22		2010-11-30	전자부품 연구원
2013	Mouse Sensor	본 배치설계는 Mouse Sensor로서 센서의 동작 감도를 기존 센서보다 향상 시켰으며 Mouse 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-03-08		2010-12-01	주식회사 애트랩

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2014	CapScope	본 배치설계는 CapScope로서 내부에 feedbak loop가 있어 외부 noise를 억제하는 특징이 있으며, Noise가 많은 capacitive touch panel 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-03-22		2010-12-01	주식회사 애트랩
2015	1ch touch sensor	본 배치설계는 1ch touch sensor로서 터치 센서의 동작감도를 기존 터치센서보다 향상시켰으며 터치센서가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-03-16		2010-12-01	주식회사 애트랩
2016	Wireless Mouse Sensor	본 배치설계는 Wireless Mouse Sensor로서 무선마우스의 동작 감도를 기존 무선 마우스 보다 향상 시켰으며 무선 마우스가 사용되는 응용에 적용가능하다	Analog and Digital Mixed Signal	2008-08-24		2010-12-01	주식회사 애트랩
2017	Optical Finger Navigation Sensor for Mobile	본 배치설계는 Optical Finger Navigation Sensor로서 센서의 동작 감도를 기존 센서 보다 향상 시켰으며 Mobile 센서가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-01-14		2010-12-01	주식회사 애트랩
2018	고성능 1A 로우 드롭 레귤레이터	본 배치설계는 고성능 1A 로우드롭 레귤레이터에 관한것이다. 드롭아웃전압을 최소화하고, 파워 트랜지스터의 효율이 최대화되도록 배치되었다.	Analog and Digital Mixed Signal	2008-08-19		2010-12-01	넥스트랩 주식회사
2019	캐패시터리스 헤드폰 증폭기	본 배치설계는 캐패시터리스 헤드폰 증폭기에 관한 것이다. DC블로킹 캐패시터를 사용하지 않기 위해 네가티브 차지펌프 기능을 내장하여 동일 칩안에 +-양전위가 존재하는바, Latch-up 및 상호간섭○르 최소화 하도록 배치되었다.	Analog and Digital Mixed Signal	2008-08-19		2010-12-01	넥스트랩 주식회사
2020	모바일용 오디오 프로세서	본 배치설계는 모바일용 오디오 프로세서에 관한것이다. 디지털과 아날로그 블록이 공존하며, 멀티입력과 멀티출력을 구비한 제품으로 상호간섭을 최소화하고 저소비전력을 구현하며 칩사이즈가 최소화되도록 배치되었다.	Analog and Digital Mixed Signal	2009-05-17		2010-12-01	넥스트랩 주식회사
2021	8채널 정전용량 터치스위치	본 배치설계는 8채널 정전용량 터치센서에 관한 것이다. 외부 노이즈 간섭에 강하고, 저전압동작이 가능하도록 배치되었다	Analog and Digital Mixed Signal	2008-08-19		2010-12-01	넥스트랩 주식회사
2022	Sigma-Delta ADC for Mobbile Phone	본 배치설계는 Sigma-Delta 기술을 이용한 ADC로서 portable communication device 및 digital audio에 두루 사용되며 휴대기기의 발달로 인해 더욱 시장이 확대되고 있고 power manager management ic분야의 휴대용 및 의	Analog and Digital Mixed Signal	2010-10-02		2010-12-01	(주)다빛 다인

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		료기기 등의 gas gauge(전압 전류 측정 기능)등에도 많이 사용되고 있음					
2023	Battery protection IC	본 배치설계는 Battery Protection IC로서 Battery의 과충전 및 과방전을 방지하여 battery를 보호하는 회로로 battery가 사용되는 응용에 적용가능하다	Analog and Digital Mixed Signal	2010-10-03		2010-12-01	(주) 엔시스텍
2024	Analog Switch	본 배치설계는 다 채널의 analog신호를 처리하는 switch로서 mobile 용으로 설계되었다.	Analog and Digital Mixed Signal	2007-03-24		2010-12-01	주식회사 동운아나텍
2025	Analog Switch	본 배치설계는 다 채널의 Analog신호를 처리하는 Switch로서 mobile용으로 설계 되었으며 이전 제품인 DW5700과 비교하여 High speed, 저 전력 소비 장점을 가지고 있다	Analog and Digital Mixed Signal	2009-04-24		2010-12-01	주식회사 동운아나텍
2026	Dual DC/DC Converter(for AMOLED)	본 배치설계는 AMOLED 구동에 필요한 전압을 전원으로부터 AMOLED가 동작가능한 전압레벨로 레귤레이션하는 회로로 AMOLED가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2009-11-01		2010-12-01	주식회사 동운아나텍
2027	LED BACK Lightning Driver(조명용)	본 배치설계는 LED구동에 필요한 전압을 전원으로부터 LED가 동작가능한 전압레벨로 승압하여 레귤레이션하는 회로로 LED B/L가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-11-16		2010-12-01	주식회사 동운아나텍
2028	Dual DC/DC Converter(for AMOLED)	본 배치설계는 AMOLED구동에 필요한 전압을 전원으로부터 AMOLED가 동작가능한 전압레벨로 레귤레이션하는 회로로 AMOLED가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2009-10-21		2010-12-01	주식회사 동운아나텍
2029	Power Management IC (for Mobile)	본 배치설계는 Mobile camer Module구동에 필요한 전압을 전원으로부터 camera module이 동작 가능한 전압레벨로 레귤레이션하는 회로로 Camera molule이 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2009-04-14		2010-12-01	주식회사 동운아나텍
2030	8CH LED DRIVER (MOBILE용)	본 배치설계는 휴대폰용 LED구동에 필요한 전압을 전원으로부터 LED가 동작가능한 전압레벨로 승압하여 레귤레이션하는 회로로 LED B/L가 사용되는 응용에 적용가능하다.	Analog and Digital Mixed Signal	2010-10-18		2010-12-01	주식회사 동운아나텍
2031	Auto Focus Driver	본 배치설계는 VCA구동에 필요한 전류를 전원으로부터 VCA가 동작 가능한 전류로 레귤레이션하	Analog and Digital Mixed	2008-03-24		2010-12-01	주식회사 동운아나

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		는 회로로 VCA가 사용되는 응용에 적용가능하다.	Signal				텍
2032	개별 부품 특성 측정 보드	USN(Ubiquitous sensor network) 구현을 위해 안테나와 수신용 Front-end 모듈이 필요하다. 본 배치배선은 안테나와 수신용 Front-end 회로 구성을 위한 개별 부품의 특성 측정 및 분석을 위한 것이다. 본 배치배선의 개발 배경은 가스관이 매립된 지하환경에서 가스관의 상태를 모니터링하고 그 정보를 지상 수신 시스템에 전송하기 위한 것이다. 전체 모듈중 안테나는 패치(patch)형태의 원형편파 수신용 안테나가 제작되었고, front-end 회로 구성을 위한 부품은 상용부품을 구입하여 설계 및 제작된 보드에 실장 하여 측정을 수행하였다.	Others	2010-11-22		2010-11-30	전자부품 연구원
2033	0.13um 공정을 사용한 USB 2.0을 위한 5-Phase 480MHz PLL	USB 2.0 Physical Layer(PHY)에 사용되는 클럭을 공급해주기 위한 회로로써 동부하이텍 0.13um CMOS공정을 사용하여 Hspice를 이용하여 시뮬레이션 및 회로 설계를 완성한 후 Cadence Virtuso을 이용하여 레이아웃 완료	Analog and Digital Mixed Signal	2010-07-06		2010-12-03	포항공과대학교 산학협력단
2034	ND2000	본 건 배치설계인 ND2000은 지상파 DMB와 Navigation 일체형 Module로써 차량용 단말기 또는 Portable 단말기등에 적용하기 용이한 구조로 설계되어 있으며, A/VDecoder는 Advanced된 STMicroelectronics사의 Nomadik(STn8815)으로 구현되어 다양한 Multimedia Application을 저전력으로 구현할 수 있고, 800x400 (WVGA) gotkdehdml 맵 및 Application에 적합하도록 구현됨. 또한 H.264, BSAC, AAC 및 MPEG-4(SP)등이 DSP로 구현되어 있어 NIP Navigatin-in-picture)동작시 Navigation 성능에 거의 영향을 주지 않도록 구현됨. 특히, ND2000은 Dual DMB Chipset(RF+BB)를 채택하여 1개의 화면에 두 개의 DMB화면을 표현할 수 있는 PIP (Picture-in-Picutre)를 구현하였고, 1개의 DMB는 TPEG전용으로 할당하여 TPEG을 이용하면서 여러 DMB채널을 시청할 수 있도록 구현됨과 아울러 Navigation을 실행	Microcomponent	2009-10-09	2010-08-09	2010-12-01	지엔에스디 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		하면서 2개의 DMB화면을 동시에 시청 할 수 있게 구현됨. 그리고 ND2000을 이용하여 차량의 종류에 적합한 형태의 메인보드를 제작할 경우 모든 종류의 차량에 적용가능하게 됨.					
2035	AD5823	본 반도체 집적회로의 구조는 MOS이며, 기술은 CMOS이며, 기능은 리니어(Linear)이다. 또한, 본 반도체 집적회로는 VCM 드라이버로서, 카메라폰, 카메라/이미지 모듈, 렌즈 오토 포커스, 셔트/NDF/Iris 제어, 카메라 작동가능 PDA, 웹 카메라에 적용가능하다. 또한, 본 반도체집적 회로는 고속 오토 포커스 캡쳐용으로 작동가능한 ARC(액츄에이터 응답 제어) 및 ESRC 특징, 오토 포커스용 10-비트 VCM 드라이버 특징, 2×3 어레이의 1.1㎟WLCSP에서 가용되는 특징, 2-wire(I2C 호환가능) 1.8V시리얼 인터페이스 특징, 10-비트 해상도 DAC 특징, 100mA 전류 싱크 특징, 통합된 전류 감지 저항기 특징, 2.3 내지 3.6볼트 공급 전압 특징, 모든 코드에 대해 보장된 모노토닉 특징, 전형적인 0.5㎂에 파워 다운 특징, 내부 기준 전압 특징, 극초저 노이즈 전치증폭기 특징, 파워다운 기능 특징, 및 파워-온 리셋 특징을 갖는다.	Others	2009-09-04	2009-11-20	2010-12-13	아나로그 디바이시즈 인코포레이티드 대표자 윌리암 에이. 와이즈
2036	RO-7000	본건 배치설계인 RO-7000은 국외에서 수입되는 차량중 LCD는 장착되어 있으나 Navigation 기능이 없는 차량에 대해서 Navigation 기능이 가능토록 함으로써 운전자의 안전운행을 도모토록 한 것으로 특히 LCD 인터페이스는 LVDS(Low-Voltage differential signaling)를 지원토록 한 것이며, 주요기능은 Navigation 기능으로써 차량통신 (CAN)을 지원하여 순정시스템과 자연스럽게 연결될 수 있도록 하고, 특히 최근에 출시되는 차종에 적용된 Smart Type의 Key에 맞도록 설계되어 운전자의 편리성을 증대시킬 뿐 아니라 단말기의 일정부분이 최소 소모전류(100uA이하)로 항상 동작하여 운전자가 차에 탑승하였는지 여부를 확인하여 단말기의 구동여부를 판단할 수 있도록 설계된 것임.	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사
2037	SN-100CL	본건 배치설계인 SN-100CL은 국외에서 수입되	Others	2009-08-1	2010-09-2	2010-12-2	지엔에스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		는 차량중 LCD는 장착되어 있으나 Navigation 기능이 없는 차량에 대해서 Navigation 기능이 가능토록 함으로써 운전자의 안전운행을 도모토록 한 것으로 특히 LCD 인터페이스는 LVDS(Low-Voltage differential signaling)를 지원토록 한 것이며, 주요기능은 Navigation 기능과 CMMB(중국이동 디지털방송) 수신기능 등이 있으며, CMMB 음향은 차량 스피커를 통해서 나오며, Navigation의 음향은 별도의 스피커를 통해서 나오기 때문에 운전자와 동승자가 쾌적하게 오디오를 청취할 수 있도록 하였을 뿐 아니라 1개의 화면을 두 개로 분리하여 CMMB(중국이동 디지털방송)와 Navigation 화면을 각각 표현할 수 있는 PIP(Picture-in-Picture)를 구현하여 편리성을 증대시킨 것 임.		5	0	0	디 주식회사
2038	-	-	-	-	-	-	말소등록
2039	0.13um CMOS 10bit 250MHz D/A Converter	위 명기된 IC는 CMOS로 구성된 10bit 해상도에 250MHz 의 샘플링 속도로 아날로그 신호를 디지털 신호로 변환하는 Digital-to-Analog Converter 이다. DAC는 6-4 current-steering구조이며, 입력 버퍼, 디코더, 레퍼런스, 전류셀로 구성되어 있다. 레퍼런스 회로는 내부 또는 외부에서 조절할 수 있도록 설계하였다. 설계된 회로는 0.13um 1-poly, 6-metal CMOS 공정을 사용하였다.	Analog and Digital Mixed Signal	2010-11-30		2010-12-13	전자부품 연구원
2040	130nm 공정의 Serial-to-Parallel 인터페이스	개발된 Serial-to-Parallel interface (SPI)는 외부의 직렬도 입력되는 디지털 신호를 내부의 레이스터를 통해 병렬형태로 내보내주는 역할을 수행한다. 이?? 필요한 신호는 SPI용 Clock, Load enable, Data의 3개의 신호가 필요하며 내부의 연속된 레지스터를 통해 Load enable신호를 통해 한꺼번에 병렬로 내보내지도록 이루어져 있다. 개발된 SPI는 각각 입력으로 SPI CLK, Load enable, Data로 되어 있으며 출력은 모두 32개의 레지스터 주소를 가지며 1개의 레지스터당 주소와 데이터를 포함하여 16개의 bit로 구성되어 있	Microcomponent	2010-11-30		2010-12-13	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		으며, 제작은 CMOS 130nm, 1 poly 8 Metal 공정을 사용하였다.					
2041	8bit 1GSPS 0.13um Folding-Interpolation A/D Converter	본 설계에서는 풀 디지털 오디오와 비디오 신호를 통합전송할 수 있는 고화질 멀티미디어 인터페이스(HDMI 1.3) (WQXGA 급 : 340MSPS) 를 수신부에서 안정적으로 처리하기 위해 필요한 8bit 이상의 해상도, 최소 500MHz 이상의 변환속도를 만족하는 ADC를 제안한다. 제안하는 ADC는 폴딩 신호처리 기법을 사용하여 기존 flash ADC 의 장점인 빠른 변환속도를 만족하는 병렬신호 처리 구조 를 유지하면서도 상?하위 분할구조로 저 전력 소 면적 특 성을 만족하는 8bit 해상도의 폴딩 ADC를 제안한다. 특히 기존 폴딩 ADC가 지닌 문제점인 평균화 오차를 개선하는 홀수개의 폴딩블록 신호처리 기법을 제안하여 부가적인 보정회로 없이 성능향상을 유도하였고 또한 홀수개의 폴딩블록 사용시 발생하는 인코딩 문제를 효율적으로 해결하기 위해 상위 출력 신호를 기준으로 하위 출력을 Switching 하는 Rom 인코더를 제안하였다. Layout은 Analog 신호 왜곡을 최소화하기 위해 신호의 흐름을 한 쪽 방향으로만 진행되게 각각의 Sub-block이 배치되어 있으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Core를 분리하여 배치하였다. 또한 상위 2-bit A/D 변환기와 하위 4-bit 변환기에서 발생할 수 있는 신호의 간섭을 최소화 하기위해 각각의 Core를 분리하여 배치하였으며, 이때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 제안하는 ADC는 0.13um 1P6M CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1LSB와 1.5LSB 수준이다. 또한, 800MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR 은 각각 최대 40.05dB와 49.26dB이다. 전체 칩 면적은 0.85mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 150mW 이다.	Analog and Digital Mixed Signal	2010-01-20		2010-12-13	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2042	10bit 500MSPS 0.13um Folding-Interpolation A/D Converter	최근 이동통신 기술은 급속한 세대 변화를 보이며 빠르게 발전하여 4G 이동통신의 개념이 제시되고 있다. 4G 이동 통신에서 중요한 역할을 담당하는 Software Defined Radio (SDR)에는 10bit 이상의 해상도, 500MHz 이상의 변환속도를 만족하는 고성능 ADC가 요구 되고 있다. SDR이란 단일의 송수신 시스템을 통해 다수의 무선 통신 규격을 통합 수용하기 위한 무선 접속 기반 기술이다. 따라서 본 설계에서는 상 하위 분리 기법을 이용하여 상위 4bit,하위 6bit 구조의 F/I ADC를 설계하여 전력소모와 면적을 최소화 하고 높은 folding rate에 의한 주파수 제한 문제를 해결하기 위해서 intermediate IR 과 THA를 적용하고 iterating offset self-calibration 기법을 적용하여 F/I ADC의 특성인 전원 전압의 감소 및 소자의 mismatching에 따른 offset error 를 외부에서 제어 설계된 ADC 는 ADC core뿐만 아니라 calibration block이 포함 되어 있으므로 두 개의 block이 최대한 서로에게 간섭을 주지 않게끔 layout 하였다. ADC core는 analog block을 왼쪽에, digital block을 오른쪽에 각각 독립적으로 배치하여 서로 간섭을 피했다. ADC core 내부는 전처리 증폭기 단, folding 단, interpolation 단, 비교기, encoder 등 여러 단으로 구성되어 있으므로 각 단의 연결을 위한 긴 metal line에 의한 IR drop이 있다. 이를 방지하기 위해서 최대한 가까우면서 동일한 길이의 metal line을 갖도록 배치하였다. 제안하는 ADC는 0.13um 1P6M CMOS 공정으로 제작되었으며 500MSPS의 변환속도에서 9.27734375MHz 의 sine 력을 인가했을 때 SNDR 은 61.2667dB, SFDR은 -69.5748dB, ENOB는 9.8848b 으로 측정되었으며 임의로 mismatching error를 발생 시킨 뒤 calibration 회로를 동작 시켰을 때 ENOB는 0.65b,SFDR은 -9dB이상 상승하는 것을 확인할 수 있다. 전체 칩 면적은 1.6mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 200mW 이	Analog and Digital Mixed Signal	2010-01-20		2010-12-13	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		다.					
2043	10bit 50MSPS Logarithmic SS-ADC를 사용한 CMOS Image Sensor	본 설계에서는 wide dynamic range를 갖는 CIS를 제안 한다. 제안하는 CIS는 Column ADC의 구조를 가지며, 픽셀 어레이, CDS, logarithmic 카운터, 래치로 구성된다.픽셀 어레이의 경우 동작 전원 전압 3.3V에 따라 픽셀 신호를 직접적으로 처리하는 CDS 단의 회로 동작 전압을 통일하였다. 픽셀 신호를 처리하는 회로는 two-side column-wise방식으로 배치하였다. 이는 각 픽셀의 열을 나누어 홀수열과 짝수열을 각각 양쪽으로 나누어 신호를 처리하는 방식으로 이는 컬럼의 피치를 2배로 증대시켜 과도한 컬럼 피치의 축소로 인한 회로의 오작동 발생 가능성을 줄일 수 있었다. CDS 단을 제외한 회로는 간단한 레벨 shift를 적용하여 1.5V 전원 전압에서 동작하도록 설계하여 소비전력과 면적을 감소시켰다. CDS에 사용되는 ADC는 Single-slope ADC로써 인버터를 2단으로 연결하여 픽셀 pitch 이하의 저면적에 삽입되면서 비교기로써의 동작이 가능하도록 하였다. 카운터는 기본적인 카운터 구 조에 MUX와 인코더 구조를 삽입한 형태로 클락 신호의 주기를 선택적으로 출력한다. 이 때 삽입한 회로는 기존의 적분기를 사용한 램프 생성기의 추가회로가 없이 간단한 디지털 회로를 적용하여 logarithmic한 디지털 코드를 생성할 수 있다. 제안한 회로는 레이아웃 면적10400um2로 기존 CIS 칩 면적의 0.019%의 증가만으로 wide dynamic range를 구현하였다. 또한 CIS의 경우 픽셀 화소수로 인해 모든 열에 하나의 회로로 신호를 제공할 경우 각 열의 배치위치에 따라 신호의 딜레이나 스큐가 심하게 나타날 수 있다. 따라서 본 칩에서는 양단에 카운터를 각각 따로 달아 총 두 개의 카운터로 신호를 공급함으로써 딜레이 및 스큐를 감소시켰다. 마지막 단에는 각 열에 저장되어 있는 신호를 스위치와 버퍼를 통하여 순차적으로 신호를 출력한다. 제안하는 CIS는 0.18um 1P4M CIS 공정으로 제작되었으며 전체	Analog and Digital Mixed Signal	2010-06-14		2010-12-13	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		칩 면적은 2.35mm2이며 소모 전력은 18mW 이다.					
2044	7bit 2GSPS 0.13um Folding-Interpolation A/D Converter	본 설계에서는 WPAN, Bluetooth, UWB 등 다양한 초고속 무선통신 시스템 및 전송기술에 적용 가능한 중간 해상도의 높은 변환속도를 갖는 ADC 를 제안한다. 제안하는 ADC는 full-flash ADC의 장점인 높은 변환속도를 유지하면서 소면적, 저전력으로 구현하기 위해 7-bit 2GSPS Folding/Interpolation(F/I) ADC 구조를 채택하여 설계하였으며, F/I ADC가 갖는 구조적인 오차를 자체적인 feedback loop를 통하여 극복 할 수 있는 calibration회로를 on-chip 하여 외부 제어 없이 내부 회로만으로 offset error 및 zero-crossing 변화에 따른 ADC 성능 저하를 최소화 하여 안정적인 동작이 가능하도록 하였다. 설계된 ADC는 ADC core와 calibration block으로 크게 나눌 수 있다. ADC core는 차동 신호를 사용하기 때문에 완전 대칭구조의 layout을 설계하여 차동신호의 경로 및 기생성분을 일치시켜 주었으며, 아날로그 블락 특성을 활용하여 면적과 기생적인 성분을 최대한 효율적으로 줄일수 있게 한 방향으로 신호처리를 할 수 있는 순차적 배열구조를 갖는다. Calibration block은 보정과정에서 필요한 digital 신호들이 ADC에 영향을 미치지 않게 분리하여 배치하였을 뿐만 아니라 아날로그, 디지털, calibration블락들 사이에 두꺼운 guard-ring을 배치함으로써 서로 간의 간섭을 최대한 줄일 수 있도록 설계하였다. 또한 calibration에 쓰이는 digital 신호들이 각 block 으로 인가될 때 동일한 timing을 가질 수 있도록 calibration control block을 calibration block들의 가운데에 위치하도록 하였다. 전체 제안하는 ADC는 0.13um 1P7M CMOS 공정으로 제작되었으며 설계된 ADC의 면적은 1.4mm2, calibration 회로의 면적은 1.1mm2로써 전체칩 면적은 2.5mm2 이다. Calibration 작동 후 2GSPS 샘플링 속도에서 측	Analog and Digital Mixed Signal	2009-08-01		2010-12-13	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		정된 SNDR 및 SFDR은 39.49dB, 53.95dB로 작동 전보다 약 4dB 의 성능향상을 보였으며 소모 전력은 1.2V의 단일 전원 전압에서 134mW 이다.					
2045	AD5839	본 반도체 집적회로의 구조는 MOS이며, 기술은 CMOS이며, 기능은 리니어(Linear)이다. 또한, 본 반도체 집적회로는 VCM 드라이버로서, 카메라폰, 카메라/이미지 모듈, 렌즈 오토 포커스, 셔트/NDF/Iris 제어, 카메라 작동가능 PDA, 웹 카메라에 적용가능하다. 또한, 본 반도체집적 회로는 고속 오토 포커스 캡쳐용으로 작동가능한 ARC(액츄에이터 응답 제어) 및 SRC 특징, 오토 포커스용 10-비트 VCM 드라이버 특징, 2×3 어레이의 1.1㎟ WLCSP에서 가용되는 특징, 2-wire(I2C 호환가능) 1.8V시리얼 인터페이스 특징, 10-비트 해상도 DAC 특징,100mA 전류 싱크 특징, 통합된 전류 감지 저항기 특징, 2.3내지 3.6볼트 공급 전압 특징, 모든 코드에 대해 보장된 모노토닉 특징, 전형적인 0.5㎂에 파워 다운 특징, 내부 기준 전압 특징, 극초저 노이즈 전치증폭기 특징, 파워다운 기능 특징, 및 파워-온 리셋 특징을 갖는다.	Others	2009-09-18	2010-02-23	2010-12-13	아나로그 디바이시즈 인코포레이티드 대표자 윌리암 에이. 와이즈
2046	차선인식 및 주변 인터페이스 회로	도심환경과 같은 중, 저속 운전 상황에서 차량 간 접촉사고 및 인명 피해를 최소화하기 위해 차선 인식 회로와 주변 인터페이스 회로를 개발하였고, 본 회로는 이에 대한 배치 배선이다. 본 배치 배선은 외부 카메라에서 영상을 입력 받는 비디오 인터페이스부, sobel 및 steerable 필터부, 허프 변환부로 구성된다. 개발된 차선 인식기는 CMOS 0.18um, 1 poly 6 Metal 공정을 사용하였고 1.8/3.3V에서 동작한다. 구현된 칩의 크기는 PAD 포함하여 4.9mm x 4.9mm이다.	Others	2010-11-29		2010-12-13	전자부품 연구원
2047	SI-LD4xx	본건 배치설계인 SI-LD4xx Interface는 랜드로버사 D4RRS 차량의 네비게이션을 지원하기 위하여 개발된 것으로서, 800×480 해상도의 디지털 방식으로 RGB 24 비트 지원은 물론 터치 지원이 가능하고, 통신방식의 Any Navigation 지원을 가능케 한 것으로 적용차종은	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		LANDROVER DISCPVERY 4와 LANDROVER RANGROVER SPORT 차종에 적용 가능하 것입니다					
2048	RO-5000	본건 배치설계인 RO-5000은 국외에서 수입되는 차량중 LCD는 장착되어 있으나 Navigation 기능이 없는 차량에 대해서 Navigation 기능이 가능토록 함으로써 운전자의 안전운행을 도모토록 한 것으로 특히 LCD 인터페이스는 GVIF(Gigabit Video Interface)를 지원토록 한 것이며, 주요기능으로는 Navigation 기능과 CMMB(중국이동디지털방송) 수신기능 등이 있으며, CMMB의 음향은 차량 스피커를 통해서 나오며, Navigation의 음향은 별도의 스피커를 통해서 나오기 때문에 운전자와 동승자가 쾌적하게 오디오를 청취할 수 있도록 하였을 뿐 아니라 1개의 화면을 두 개로 분리하여 CMMB(중국이동디지털방송)과 Navigation 화면을 각각 표현할 수 있는 PIP(Picture-In-Picture)를 구현하여 편리성을 증대토록 한 것임.	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사
2049	RO-5100	본건 배치설계인 RO-5100은 국외에서 수입되는 차량중 LCD는 장착되어 있으나 Navigation 기능이 없는 차량에 대해서 Navigation 기능이 가능토록 함으로써 운전자의 안전운행을 도모토록 한 것으로 특히 LCD 인터페이스는 LVDS(Low-voltage differential signaling)를 지원토록 한 것이며, 주요기능으로는 Navigation 기능과 CMMB(중국이동디지털방송) 수신기능 등이 있으며, CMMB의 음향은 차량 스피커를 통해서 나오며, Navigation의 음향은 별도의 스피커를 통해서 나오기 때문에 운전자와 동승자가 쾌적하게 오디오를 청취할 수 있도록 하였을뿐 아니라 1개의 화면을 두 개로 분리하여 CMMB(중국이동디지털방송)과 Navigation 화면을 각각 표현할 수 있는 PIP(Picture-In-Picture)를 구현하여 편리성을 증대토록 한것임.	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사
2050	RO-5200	본건 배치설계인 RO-5200은 국외에서 수입되는 차량중LCD는 장착되어 있으나 Navigation 기능	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		이 없는 차량에대해서 Navigation 기능이 가능토록 함으로써 운전자의안전운행을 도모토록 한 것으로 특히 LCD 인터페이스는ARGB(Analog Red/Green Blue)를 지원토록 한 것이며,주요기능으로는 Navigation 기능과 CMMB(중국이동디지털방송) 수신기능 등이 있으며, CMMB의 음향은 차량 스피커를 통해서 나오며, Navigation의 음향은 별도의 스피커를 통해서 나오기 때문에 운전자와 동승자가 쾌적하게 오디오를 청취할 수 있도록 하였을 뿐 아니라 1개의 화면을 두 개로 분리하여 CMMB(중국이동디지털방송)과 Navigation 화면을 각각 표현할 수 있는 PIP(Picture-in-Picture)를 구현하여 편리성을 증대토록 한 것임.					사
2051	SI-JXFxx	본건 배치설계인 SI-JXFxx Interface는 제규어사 XF 차량의 네비게이션을 지원하기 위하여 개발된 것으로서, 800×480 해상도의 아날로그 방식으로 RGB 24 비트 지원은 물론 터치 지원이 가능하고, 통신방식의 Any Navigation 지원을 가능케 한 것으로 적용차종은 JAGUAR XF 차종에 적용 가능한 것입니다.	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사
2052	LR500	본건 배치설계인 LR500은 Audio 시스템만 있는 차량에 LCD가 포함된 일체형 Navigation system을 장착함으로써 운전자의 안전운행을 도모할 수 있게끔 설계된 것으로, 주요기능으로는 Navigation 기능과 MP3음악 청취기능, 동영상 Player 및 Photo Viewer 기능 등이 있으며, 동영상 및 MP3음악 등의 음향은 차량 스피커를 통해서 나오며, Navigation의 음향은 별도의 스피커를 통해서 나오기 때문에 운전자와 동승자가 쾌적하게 오디오를 청취할 수 있게 된 것임. 또한 중국에 수출되는 차량에 장착하여1개의 화면을 두 개로 분리하여 CMMB(중국이동디지털방송)와 Navigation 화면을 각각 표현할 수 있는 PIP(Picture-In-Picture)를 구현함은 물론 CMMB(중국이동디지털방송)를 위해서 CMMB를 지원하는 단말기와 연결이 가능토록 설계된 것임.	Others	2009-08-15	2010-09-20	2010-12-20	지엔에스디 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2053	Programmable Gain Amplifier	본 배치설계는 전압 이득 조정이 가능한 증폭회로를 제안한다. 제안하는 증폭 회로는 아래의 그림과 같이 R-nR 감쇠기와 두 개의 비 반전 증폭기로 구성되며, 다양한 범위의 전압 이득을 선택 가능토록 설계되었다. 본 배치설계는 R-nR 감쇠기와 비 반전 증폭기를 이용함으로써 (-) 전압이득에서 (+)전압 이득까지 다양한 범위의 전압 이득이 선택 가능하다. 또한 R-nR감쇠기에서 n비트, 첫 번째 비 반전 증폭기의 피드백 저항을 m비트의 디지털 컨트롤러를 사용하여 총 2k개(k=m+n)의 전압 이득이 선택 가능하도록 설계되었다. 특히 저항 값을 조정하는 것의 조합에 의해 전	Analog and Digital Mixed Signal	2010-11-15		2010-12-06	서울시립대학교 산학협력단

19. '11년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2054	SMBA1000 을 이용한 SKT 측정회로	SMBA1000 이라는 소자를 이용하여 압력 및 온도를 동시에 측정할 수 있는 모듈 설계 및 개발, 손목형 디바이스에서 발목이 얼마나 조이고 그 동시에 어떠한 온도와 다른 생체 신호가 측정되는지 알 수 있도록 설계	Digital Logic	2010-11-30		2011-02-09	한국전자통신연구원
2055	LR359B1	본건 신청에 관한 회로 배치를 이용하여 제조한 LR359B1 은, 핸디 게임기의 기능을 실현하기 위하여, ARM 프로세서 코어, TeakDSP 코어, 3 차원 그래픽스 코어, LCD 콘트롤러, 사운드 제네레이터, 메모리 콘트롤러, 카메라 I/F 등을 내장한 1 칩 마이크로 컴퓨터를, CMOS 를 이용하여 실현한 반도체 집적 회로로서, 신청자가 새롭게 그 회로 배치를 창작한 것입니다.	Microcomponent	2010-03-04	2010-05-26	2011-02-23	샤프
2056	NS-001	본건 배치설계인 NS-001 은 KFDA(한국식약청)에서 승인한 의료기기(제허 11-70 호)의 핵심유닛으로, 여성의 가슴을 확대하는 목적으로 개발된 제품입니다. USFDA(미국식약청)의 임상결과 여성의 가슴세포의 확대를 극대화하기 위한 적정압력은 15~25mmHg 임이 입증되었으며, 이러한 NS-001 은 가슴확대를 위한 최적의 압력인 15~25mmHg 를 센싱(sensing)하여, 모터첨프를 제어하고, 과도한 압력이 발생하거나, 시스템에 치명적인 오류 시 경고음을 울리며, 시스템의 동작을 차단하는 기능이 탑재되도록 설계된 것임	Digital Logic	2008-08-15	2009-04-10	2011-03-21	브라바아이엔씨 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2057	대역 확산 클럭 발생기	1. 배치설계파일에 대한 간단한 설명: (1)SSCG_TOP.jpg: 대역 확산 클럭 발생기 전체 레이아웃도 (2) PFD.jpg: 위상 상검출기 레이아웃도 (3) CP.jpg: Charge pump 레이아웃도 (4) VCO.jpg: 전압제어발진기 레이아웃도 2. 배치설계에 대한 간단한 설명: system 내 클럭을 생성해 내는 대역 확산 클록 발생기를 설계한 도면임. EMI를 줄일 수 있는 방법으로 주파수를 변조하여 클록을 생성하기 때문에 EMI의 최고치를 낮출 수 있는 회로임. 클록 대역 확산을 위해 허쉬 키스(hershy-kiss profile)형태로 제어전압을 인가하여 VCO를 제어함. 허쉬 키스 프로파일은 델타-시그마 모듈레이터를 이용하여 만듦.(verilog-HDL source로 합성하여 자동 layout 형성함.)	Microcomponent	2010-08-02		2011-02-18	인하대학교 산학협력단
2058	적응형 등화기가 적용된 고속 직렬 링크 수신기	1. 배치설계파일에 대한 간단한 설명: (1)receiver_top.jpg: 수신기 전체 레이아웃도, (2) FFE.jpg: 등화기 레이아웃도 (3) PD.jpg: 위상검출기 레이아웃도 (4) VCO.jpg: 전압제어발진기 레이아웃도 2. 배치설계에 대한 간단한 설명: 전송선로를 통해 수신되는 데이터는 전송선로의 특성에 따라 데이터를 왜곡시켜 수신기에서 의 정확한 데이터 검출을 어렵게 함. 수신기의 전치단에 FFE(피드포워드등화기)를 적용하여 손실된 데이터를 복원함. FFE 이후 위상 검출기(Phase detector)를 통해 수신된 데이터와 전압제어발진기(Voltage controlled oscillator)와의 위상을 동기화시키고 데이터를 복원함. VCO를 제어하기 위해 저역 통과 필터(loop filter)를 사용함.	Microcomponent	2010-05-04		2011-02-18	인하대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2059	클럭 및 데이터 복원 회로	1. 배치설계파일에 대한 간단한 설명: (1) CDR_top.jpg: CDR 레이아웃 전체 구성도 (2) PD.jpg: 위상검출기 레이아웃도 (3) VCO.jpg: 전압제어발진기 레이아웃도 2. 배치설계에 대한 간단한 설명: NRZ 형식의 수신 데이터로부터 클럭 및 데이터를 복원하기 위한 수신기내 전치단 블록임. 수신기측 클록을 생성하기 위한 VCO 및 수신된 데이터와 VCO 와의 위상을 동기시키기 위한 위상 검출기를 설계한 도면임. VCO 를 제어하기 위해 저역 통과 필터(loop filter)를 사용함.	Microcomponent	2010-01-03		2011-02-18	인하대학교 산학협력단
2060	멀티레이어 멀티기가 스위치 설계 회로 구조	1. GMAC(MII)0/1/2 RX/TX BLK 1-1 8/4bit to 32bit 변환 1-2 L2~L4 Packet Parsing 1-3 UDP,TCP check sum 계산 1-4 PAUSE Frame Generation for Flow Control 1-5 Auto Updata of Link State 정보. 2. GMAC (MII 3/4/5) 0/1/2 RX MIB BLK 2-1 RX Packet 별 broadcast, multicast, pause, oversize, undersize packetcount3.GLUE(FLUE0)0/1/2BLK3-1 .PacketHeader128bitParsing 및 Pre Qit 정보 저장 3-2. Network Process 에서 RX Packet 별 Destinaiton Vector 정보및 VLAN tagging, remove, insert, Cos/Tos 참조 4 가지의 Priority 결정함. 3-3. 16word Processor Clipboard. 4. TAG BLK 4-1. 5 개의 Lookup engine 으로부터 출력포트별로 존재하는 output Scheduler 를 control 하는 기능 5. MEMI BLK 5-1. Packet memory, pointermomory 의 read/write 수행 5-2. Base pointer 를 이용해 release pointer 를 release queue 에 저장하고 Free Cell Manager 로부터 relese pointer 출력	Digital Logic	2008-06-01		2011-04-19	주식회사 쿠오핀

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2061	IEEE1588v2 (PTP, precision time protocol)의 회로 설계	1. Port0/1 Ingress BLK 1-1 8/4bit to 32bit 변환 1-2 L2~L4 Packet Parsing 1-3 UDP sum 계산 1-4 peer to peer 의 경우 requester 로 동작 2. Port0/1 RX TIMESTAMP 모든 입력 패켓에 대해 time stamp 를 찍는다. 3. Port0/1 RX Parser 3-1 PTP packet sync, delay_resp 에 대해 message type, correction field, sequence ID and Origin Time stamp 를불류하고 checksum 재계산을 위한 sum 을 구해서 register 에 저장 3-2 PTP packet delay_req 에 대해 message type, correctionfield,sequenceID 를 분류하고 checksum 제 계산을 위한 sum 을 구해서 register 에 저장 4. Register1588 4-1 Port 0 RX 4-1-1 Sync/follow_up : seqID, Ingress TS, Correction field, Origin TS, Packet Sum 4-1-2 delay_resp/follow_up : seqID, Ingress TS, Correction field, delay_resp sum 4-2 Port 0 TX 4-2-1 delay_reqegressTS4-3Port1RX4-3-1delay_req:IngressTS,Correctionfield,delay_reqsum4-4Port1TX4-4-1Sync:egressTS4-4-2delay_resp: egressTS5.Port0/1TXOperator5-1Messagetype 에 따라 register 의 내용을 참조하여 sync/delay_resp, correction field 재계산, checksum 재계산하여 egress blk 로 출력 6. Port 0/1 Egress BLK 6-1 TX Operation 이 완료되면 delay_req 의 correction field, check sum, FCS 를 재계산하여 출력 6-2 출력되는 모든 패켓에 대해 timestamp 를 찍는다. 7. Local Offset 7-1 local offset 계산 : sync to sync local count 평균 7-2 PDV 계산 : sync to sync local counter - local offset + prev PDV 7-3 base offset 계산 : sync to sync Origin TS 간격 - local offset 8. ToD/meanPD Offset 8-1 ToD Offset = base offset + (ToD counter ingress TS - PDV) - originTS+meanPathDelay)8-2meanPD 계산 = (req_egressTS - resp ingressTS resp cr field)/2 9. ToDGen9-1ToDOffset 을 이용하여 ToD counter 동작 9-2 ToD counter 를 이용하여 1pps/10MHz 생성	Digital Logic	2009-12-14		2011-04-19	주식회사 쿠오핀

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2062	Ion Mobility Spectrometer	개발한 MEMS 이온 이동도 센서는 외부의 방사성 동위원소에 의해 이온화된 가스 이온들을 감지 전극에서 포집하여 외부 가스의 종류 및 농도를 측정하는 역할을 한다. 이 때 필요한 구성 요소로는 외부의 방사성 동위원소, 가스 이온들을 교류 및 직류 전압을 가할 수 있게 하는 상부 전극부, 중앙의 이온 이동 통로, 하부 전극부 및 감지전극부가 있다. 본 배치설계는 상부 전극부, 중앙의 이온 이동 통로 및 하부 전극부를 제작하기 위한 패턴으로 3 차원 MEMS 구조물 제작을 위해 금속 증착 공정 및 Si Deep RIE 공정을 사용하였다.	Others	2011-04-14		2011-04-22	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2063	12bit 2.5MSPS 0.35um Cyclic Folding ADC	본 설계에서는 모바일 정보기기의 배터리 고효율 전력 관리를 제어하는 IBS (Intelligent Battery Sensor), BMS (Battery Management System) 등의 PMIC (Power ManagementIC)기술에 적합한 ADC (Analog to Digital Converter)를 제안한다. 제안하는 ADC는 사이클릭 폴딩 신호처리 기법을 적용하여 고해상도에서 빠른 변환 속도, 저 전력, 소 면적 특성을 갖는 사이클릭 폴딩 구조이다. 사이클릭 구조의 ADC는 고해상도에 적합한 폴딩 구조중 에서 하나의 단만을 반복적으로 순환하여 구현함으로써 전력소모 및 면적이 매우 작다는 장점을 가지고 있다. 입력단, 증폭기, MUX, 폴딩 블록, 분산 T&H, 인터폴레이션 블록과 디지털 오차보정 회로를 포함하는 디지털 블록 및 클록 발생기 (clock generator) 등으로 구성되어 있으며 1주기가 20MHz가 되는 시스템 입력 클록을 사용하여 한 번의 입력 신호가 8주기 지난 후 최종 출력을 내보내어 2.5MS/s의 변환 속도를 가지게 한다. 아날로그 단은 차 동 신호를 사용하기 때문에 완전 대칭 구조의 layout을 설계하여 차동 신호의 경로 및 기생성분을 일치시켜 주었으며 디지털 단은 신호처리 부분에서 발생할 수 있는 지연 시간을 최소한 줄이기 위해 집적화와 동일한 path를 고려하여 설계하였다. 본 설계에서 제안된 ADC는 매그나/하이닉스 350nm 2P4M nwell CMOS 공정을 사용하여 설계 및 layout이 진행되었다. 입출력 패드를 제외한 칩 면적은 10.04mm2 이며 layout 시 아날로그와 디지털 신호 처리부를 분리하여 신호간섭을 최소화 하였다. 2.5MS/s의 변환속도, 입력 주파수 96.74KHz 일 때의 ADC Postlayout 모의실험 결과, SNDR, SFDR 은 68.2dB. 70.4dB이며 ENoB (Effective Number of Bits)는 10.95bit, 소모전력은 150mW이다.	Analog and Digital Mixed Signal	2011-02-11		2011-05-27	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2064	10b 50MSps Single-Slope ADC와 Built-In Self Calibration 램프 생성기의 회로를 적용한 0.13um CMOS Image Sensor Layers	본 설계에서는 Gamma Correction이 가능한 10-b 해상도의 50MS/s CIS를 제안한다. 제안하는 CIS는 Column ADC의 구조를 가지며, 픽셀 어레이, CDS, logarithmic 카운터, 래치, 램프 생성기로 구성된다. 픽셀 어레이의 경우 동작 전원 전압 3.3V에 따라 픽셀 신호를 직접적으로 처리하는 CDS 단의 회로 동작 전압을 통일하였다. 픽셀신호를 처리하는 회로는 two-side column-wise 방식으로 각 픽셀의 홀수 열과 짝수 열의 출력 전압을 양쪽으로 나누어 처리한다. 이 방식은 하나의 컬럼에서 픽셀 2배 크기의 피치를 사용하여 많은 회로들을 컬럼 내에 배치가능하게 하였다. CDS 단을 제외한 회로는 간단한 레벨 shift를 적용하여 1.5V 전원 전압에서 동작하도록 설계하여 소비전력과 면적을 감소시켰다. 또한 본 칩에 적용된 카운터는 간단한 디지털 회로를 적용하여 logarithmic한 디지털 코드를 생성한다. 이는 레이아웃 면적 10400um2로 기존 CIS 칩 면적의 0.019%의 증가와 단순한 설계회로 만으로도 gamma correction이 가능하도록 한다. 본칩에 삽입된 램프 생성기는 자가 보정 회로를 통하여 기울기가 고정된 지수 함수적인 램프 신호를 생성하게 된다. 자가 보정 기능은 공정 상 일어나는 칩 간의 variation으로 인하여 칩마다 달라질 수 있는 램프 기울기를 일정하게 조절할 수 있게 한다. 이 때 램프 생성기와 CIS 회로에 들어가는 모스들을 common centroid 방식을 이용하여 대칭 구조로 적용하여 디바이스들 간의 특성 mismatching을 최대한 줄이고자 하였다. 제안하는 CIS는 0.13um 1P4M CIS 공정으로 제작되었으며 패드를 포함한 전체 칩 면적은 15mm2이다.	Analog and Digital Mixed Signal	2011-02-28		2011-05-27	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2065	10b 50MSPS Single-Slope ADC와 Configurable Digital CDS를 사용한 0.13um CMOS Image Sensor	본 설계에서는 column parallel readout 방식의 CMOS 이미지 센서(CIS)에서 고정 패턴 잡음(Fixed Pattern Noise, FPN)을 줄이기 위하여 기존과는 다른 새로운 구조의 저 전력 configurable digital correlated double sampling(CDS)을 제안한다. 제안하는 CIS는 픽셀 어레이, 컬럼 ADC, 컬럼 디지털 CDS, 메모리, 카운터 등으로 구성된다. 픽셀 어레이는 QVGA급을 만족하기 위해 320×240 개로 이루어져 있으며 픽셀의 크기는 2.25um이다. 작은 픽셀 크기로 인하여 생길 수 있는 설계 시 컬럼 내부의 공간 제약과 오작동 문제를 극복하기 위해, 컬럼 회로를 even과 odd 회로로 나누어 배치하였다. 컬럼 ADC의 구조는 간단하면서도 변환성능이 뛰어난 SS-ADC를 적용하였으며, 설계된 SS-ADC는 10-bit 해상도를 갖도록 하여 CIS에서 1024의 그레이 레벨 표현이 가능하도록 하였다. 또한 SS-ADC에 비교기로 이용되는 OTA는 고 이득을 갖는 단일 OTA로 구성함으로써 추가적인 회로를 줄여 면적과 파워소모를 줄였다. 디지털 CDS는 기존의 up/down counter를 사용하는 방식과는 달리 8bit의 configurable CDS counter를 각 컬럼 마다 포함하고 있으며 and 로직을 거쳐 출력이 high일 때 의 카운터 값을 메모리에 저장하여 디지털 변환을 한다. 이와 같은 방식으로 카운팅 수를 줄였으며 아날로그 이득에 따라서 필요로 하는 최소한의 카운터를 사용하는 방식으로 전력낭비와 잡음을 효과적으로 감소시켰다. 제안한 CIS 칩은 0.13㎛ CIS 공정으로 제작되었으며 2.25um 크기의 4TR active pixel sensor를 사용하였다.	Analog and Digital Mixed Signal	2011-02-28		2011-05-27	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2066	2011 10bit 500MSPS 0.13um Folding-Interpolation A/D Converter	본 연구에서는 최근 휴대용 응용제품의 발달과 더불어 적은 전력 소모를 위한 회로 설계 기술뿐만 아니라 차세대 이동통신을 위한 4G 이동통신의 개념이 제시되고 있다. 빠르게 발전하고 있는 4G 이동통신에는 digital-TV, 위성수신기 및 set-top box등 하나의 수신기로 통합하는 소프트웨어 기반 통신기술에 대한 연구가 활발히 진행되고 있다. 이러한 단일의 송수신 시스템을 통해 다수의 무선통신 규격을 통합 수용하기 위한 무선 접속 기반 기술을 Software Difined Radio (SDR) 이라고 한다. 4G 이동통신에서 중요한 역할을 담당하는 SDR 수신부에 적용하기 위해서는 높은 변환속도에서 ADC가 수백 mW 이하의 저전력특성을 만족해야 하기 때문에 기존 병렬처리 구조 (time-interleaved)를 적용하는데 어려움이 있다. 또한 기존의 F/I ADC의 cascaded 구조의 형태는 병렬처리 되는 신호가 많아지게 되고 면적이 커지게 된다. 따라서 저 면적 특성을 만족하고 비교기의 숫자를 줄이면서 효율적인 Lay-out 배치를 할 수 있는 4단 F/I ADC 10bit 500MS/s ADC를 제안한다. 제안하는 ADC는 기존에 cascade folding 구조에서 두 개의 folding stage 2개가 더 추가 되어서 각 stage 별로 1b+2b+3b+4b 구조로 구성되어 10비트의 해상도를 결정하는 분할 구조로 설계되었다. 또한 기존의 folding ADC가 갖는 offset 오차에 의한 비선형성 문제를 극복하기 위해 offset 자가 보정 회로를 적용하였다.	Analog and Digital Mixed Signal	2011-04-25		2011-05-27	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2067	2011 8bit 1GSPS 0.13um Folding-Interpolation A/D Converter	본 설계에서는 풀 디지털 오디오와 비디오 신호를 통합전송할 수 있는 고화질 멀티미디어 인터페이스 (HDMI 1.3) (WQXGA 급 : 340MSPS) 를 수신부에서 안정적으로 처리하기 위해 필요한 8bit 이상의 해상도, 최소 500MHz 이상의 변환속도를 만족하는 ADC를 제안한다. 제안하는 ADC는 폴딩 신호처리 기법을 사용하여 기존 flash ADC 의 장점인 빠른 변환속도를 만족하는 병렬신호 처리 구조 를 유지하면서도 상?하위 분할구조로 저 전력 소면적 특성을 만족하는 8bit 해상도의 폴딩 ADC를 제안한다. 특히 기존 폴딩 ADC가 지닌 문제점인 평균화 오차를 개선하는 홀수개의 폴딩블록 신호처리 기법을 제안하여 성능향상 을 유도하였으며 공정상의 오차를 보정하는 자체 보정회로를 내장하였다. 또한 홀수개의 폴딩블록 사용시 발생하는 인코딩 문제를 효율적으로 해결하기 위해 가산기를 이용한 인코더와 상, 하위 디지털 출력 오차를 보정하는 디지털 보정 회로를 추가하여 안정성을 향상 시켰다. 본 설 계에서는 고속의 동작에 알맞게 신호의 전달이 최소가 되도록 Metal을 연결하였으며, 병렬신호들 간의 위상변화를 막기 위해 모든 병렬신호를 전달하는 Metal의 길이를 동일하게 배치하였다. 또한 상대적으로 오차에 둔감한 디지 털 영역은 면적 절감에 우선순위를 두어 배치하여 ADC의 고성능,소면적을 유도하였다.	Analog and Digital Mixed Signal	2011-04-25		2011-05-27	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2068	2011SG8b250M Sps013-Scaler ADC	제안하는 ADC는 2단 파이프라인 구조를 사용하여 높은 신호처리속도와 함께 전력소모 및 면적을 최적화하였다. 광대역 가변신호를 적절히 처리하는 SHA에는 게이트-부트스트래핑 회로를 사용하여 입력 한계치 신호변화에도 신호왜곡 없이 정확한 값을 샘플링 할 수 있도록 하였으며 부트스트래핑 커패시터로 기존의 MIM 대신 MOS 커패시터를 사용하여 해당 면적을 70% 이상 줄였다. 제안하는 MDAC 커패시터 열은 높은 정합도를 갖는 1차원 대칭 방식으로 레이아웃 하여 기존의 2차원 동심원 구조에 비해 커패시터열의 해당면적을 70% 이상 줄였다. 최종 단에 사용되는 5비트 flash ADC에는 2단 기준전압 선택기법을 효율적으로 적용하여 소비되는 전력소모 및 면적을 줄였다. 제안하는 시제품 ADC는 0.13um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 각각 최대 0.35LSB,0.54LSB 수준을 보인다. 동적성능은 250MS/s 동작속도에서 44.4dB의 SNDR과 56.1dB의 SFDR을 보이며, 시제품 ADC의 칩 면적은 0.72mm2이고, 전력소모는 1.2V 전원 전압에서 가변 입력범위에 따라 58.8mW에서 62.4mW를 소모한다.	Analog and Digital Mixed Signal	2010-08-10		2011-06-03	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2069	2011SG10b50M Sps013-Skinny Type ADC	제안하는 ADC는 CIS 응용을 위해 제한된 폭을 가지고 10비트 50MS/s 동작하는 3단 파이프라인 구조를 사용하였다. 잔류 증폭기에 적용한 증폭기 공유기법은 각 단의 증폭동작에 따라 전류를 조절함으로써 증폭기의 성능을 최적화 하여 전력 효율을 향상시켰다. 동일한 구조를 가진 3개의 FLASH ADC에서는 인터폴레이션 기법을 통해 비교기의 입력 단 개수를 절반으로 줄였으며, 프리앰프를 제거하여 래치만으로 비교기를 구성하였다. 또한 래치에 입력 단과 출력 단을 분리하는 풀-다운 스위치를 사용하여 킥-백 잡음으로 인한 문제를 최소화하였다. 기준전류 및 전압회로에서는 온-칩 저 전력 전압구동회로만으로 요구되는 정착시간 성능을 확보하였으며, 디지털 교정회로에는 신호특성에 따른 두 종류의 레벨-쉬프트 회로를 두어 낮은 전압의 디지털 데이터가 출력되도록 설계하였다. 제안하는 ADC는 0.35um thick-gate-oxide 트랜지스터를 지원하는 0.13um CMOS로 제작되었으며, 측정된 DNL 및 INL은 10비트에서 각각 최대 0.42LSB, 1.19LSB수준을 보이며, 동적 성능은 50MS/s 동작속도에서 55.4dB의 SNDR과 68.7dB의 SFDR을 보인다. 시제품 ADC의 칩 면적은 0.53mm2이며, 2.0V의 아날로그 전압, 2.8V 및 1.2V 등 두 종류의 디지털 전원전압에서 총 15.6mW의 전력을 소모한다.	Analog and Digital Mixed Signal	2010-08-10		2011-06-03	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2070	2011SG12b100 MSps45n-ADC	제안하는 ADC는 4단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력 소모 및 면적을 최적화하였다. 입력단 SHA 회로에는 높은 주파수의 입력신호가 인가되더라도 12비트 이상의 정확도로 샘플링 할 수 있도록 게이트-부트스트래핑 회로를 적용하였다. 입력단 SHA 및 MDAC의 증폭기는 요구되는 DC 이득 및 높은 신호 스윙을 얻기 위하여 이득-부스팅 구조를 사용하였으며 전류 부정합을 최소화하기 위하여 캐스코드 전류미러를 사용하였다. 제안하는 ADC는 45nm CMOS 공정으로 제작되었으며, 면적은 0.43mm2 이고, 측정된 DNL 및 INL은 각각 1.71LSB, 3.82LSB의 최대값을 가지며, 동적성능은 100MS/s의 동작속도에서 각각 최대 55.1dB의 SNDR과 69.4dB의 SFDR을 보여준다. 전력 소모는 1.0V 전원 전압 및 100MS/s 동작속도에서 28mW이다.	Analog and Digital Mixed Signal	2010-10-20		2011-06-03	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2071	2011SG10b10M Sps013-SAR ADC	제안하는 ADC는 10비트 10MS/s의 사양을 가지면서 전력 소모 및 면적을 최소화하기 위하여 증폭기를 사용하지 않는 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 구조를 사용하는 동시에 공통모드전압 기반의 스위칭 기법을 적용하여 전력 소모 및 면적을 줄였다. 비교기에서는 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였고, D flip-flop 기반의 SAR 논리 회로의 경우 회로 의 최적화를 통해 디지털 회로에서 소모되는 전력과 면적을 최소화하였다. 제안하는 ADC는 0.13um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 2.62LSB와 3.18LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 51.5dB와 61.8dB이다. 전체 칩 면적은 0.29mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 3.2mW이다.	Analog and Digital Mixed Signal	2010-10-20		2011-06-03	서강대학교산학협력단
2072	.18㎛ CMOS 공정을 사용한 USB 2.0을 위한 5-Phase 480MHz PLL	USB 2.0 Physical Layer(PHY)에 사용되는 클럭을 공급해주기 위한 회로로써 동부하이텍 0.18㎛ CMOS 공정을 사용하여 Hspice를 이용하여 시뮬레이션 및 회로 설계를 완성한 후 Cadence Virtuso을 이용하여 레이아웃 완료	Analog and Digital Mixed Signal	2010-03-04	2010-04-14	2011-06-22	포항공과대학교산학협력단
2073	USB3.0을 위한 스프레드 스펙트럼 클럭 발생회로	위상차 보상 방식과 위상 회전기를 이용하여 EMI를 감소시키기 위한 스프레드 스펙트럼 클럭을 생성하는 회로로써 USB3.0, SATA 및 PCI express에서 요구되는 스프레드 스펙트럼 클럭을 위한 클럭 생성기로 사용 가능함	Analog and Digital Mixed Signal	2010-12-07	2011-03-01	2011-06-22	포항공과대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2074	Integration servo controller board for Microrobot	ATMEGA128 MCU를 기반으로 하여 다양한 종류의 로봇액추에이터들을 통합 제어하는 보드로서, 방전율이 큰 리튬폴리머 전지를 사용하는 최근의 추세에 발맞추어 다양한 종류의 다수개의 액추에이터들을 효과적으로 제어할수 있도록 소자들을 배치 설계함. 1. 마이크로 로봇에 기본적으로 사용되는 DC모터 1조를 TA8050P와 74HC08을 이용하여 PWM제어할 수 있도록 배선함. 2.최대 의 RC서보를 연결하여 MCU가 PWM 방식으로 시분할 제어 할 수 있도록 서보모터 연결핀을 배치함. 1. WCK,DYNAMIXEL과 같은 UART통신 방식으로 제어하는로타리 서보 액추에이터들을 제어할 수 있도록 포트를 배치하여 1번과 2번의 액추에이터와 병행하여 제어할 수 있도록 함. 3. 1 -3 번의 액추에이터들에게 원활한 전류 공급을 할 수 있도록 각 액추에이터 제어 포트별로 예상 소비 전류량과 사용 전압에 따라 배선 패턴을 특성화하여 설계함 . 4. 그 외 남아있는 MCU의 자원을 최대한 활용하기 위해 2개의 8pin 포트를 추가로 배치하여 추가적인 모터나 스테핑 모터를 제어할 수 있는 모터 드라이버 보드들과 연결하여 하나의 컨트롤러 보드로 다양한 액추에이터들을 제어할 수 있도록 설계함.	Microcomponent	2011-07-02		2011-07-04	오창연
2075	핀프루브 디바이스의 뇌압측정회로	초소형 정전용량식 뇌압측정회로	Others	2011-07-19		2011-07-19	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2076	Integration Robot Servo Controller V1.1	1. 로봇 액추에이터 중 주요하게 사용되고 있는 DC motor, RC서보, rotary servo actuator를 통합하여 제어할 수 있도록 설계되었음. 2. 1번의 설계를 통해 창의 공학 설계형 로봇 뿐 아니라 rotary servo actuator 다수개로 구성되는 관절형 로봇도 하나의 컨트롤러를 통해 통합적으로 제어할 수 있는 포맷을 제공하도록 설계됨. 3. 또한 다량의 액추에이터를 제어할 수 있는 방전율이 큰 리튬 폴리머 전지를 사용할 때 발생할 수 있는 발열과 특정 패턴에서의 전류강하 문제를 해결하기 위해 각 제어 포트별로 배선 패턴을 다양화하여 설계함. 4. 또한 RF통신 장치를 탑재할 수 있는 포트와 16개의 서보 모터 제어와 겸용할 수 있는 센서 입력 포트들을 배치하여 자율 이동형 로봇과 조종형 로봇 모두를 설계할 수 있는 포맷을 제공하도록 설계됨.	Microcomponent	2011-07-15	2011-08-01	2011-08-10	오창연
2077	주파수 선형성이 개선된 공진형 전원장치 제어용 집적회로	중용량 전원장치로 많이 사용되는 Half-bridge converter 를 제어하기 위한 제어 집적회로로서 half-bridge converter에서 전력전달을 위해 사용되는 스위칭 소자를 구동하는 신호를 출력한다. 집적회로에 내장된 전압 제어형 오실레이터의 구동 주파수는 최대 500㎑이며, 제어 IC로의 입력전압 11 ~ 18V 범위 내에서 입력전압의 변동에 무관하게 동작한다. 특히 본 집적회로에 내장된 전압 제어형 오실레이터의 경우 제어 전압에 따른 구동 주파수의 선형성이 개선되어 외부 신호에 의한 정확한 제어가 가능 하다. 또한 구동 주파수의 duty ratio는 50%를 기준으로 ±2%이내의 오차 범위를 가지고 있어 공진형 전원장치에서 중요한 공진상태를 유지하는데 적합하게 설계된 것이 특징이다. 공정은 X-Fab 1.0㎛ 650V XDH 공정을 활용하여 제작되었으며 평가결과 잘 동작하는 것을 확인하였다.	Analog and Digital Mixed Signal	2011-06-30		2011-08-09	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2078	슈미트 트리거 전압 제어형 오실레이터를 사용한 공진형 전원장치 제어용 집적회로	공진형 전원장치인 half-bridge converter를 제어하기 위한 제어 집적회로로서 half-bridge converter에서 전력전달을 위해 사용되는 스위칭 소자를 구동하는 신호를 출력한다. 집적회로에 내장된 슈미트 트리거 전압 제어형 오 실레이터의 구동 주파수는 최대 450㎑이며, 제어 IC로의 입력전압 9 ~ 20V 범위 내에서 입력전압의 변동에 무관하게 동작한다. 특히 구동 주파수의 duty ratio는 50%를 기준으로 ±1%이내의 오차 범위를 가지고 있어 공진형 전원장치에서 중요한 공진상태를 유지하는데 적합하게 설계된 것이 특징이다. 공정은 X-Fab 1.0㎛ 650V XDH 공정을 활용하였으며 제작하여 잘 동작하는 것을 확인하였다.	Analog and Digital Mixed Signal	2011-06-30		2011-08-09	한국전기 연구원
2079	AMPLIFIER MMIC	본 배치설계는 입력되는 신호의 전력을 증폭하여 일정한 출력신호를 만들어내는 증폭용 MMIC(MONOLITHIC MICROWAVE INTEGRATED CIRCUIT)이다. CASCODE 방식의 설계구조로 광대역의 신호를 낮은 왜곡 특성을 유지하면서 높은 이득으로 고출력의 신호를 발생하는 특성을 가지고 있으며 여러 단의 Transistor를 병렬 연결함으로서 회로의 안정성과 입/출력의 Impedance 정합 특성을 유지 하면서 High Linear 특성을 가지는 MMIC를 Design 하였다.	Analog and Digital Mixed Signal	2010-12-10		2011-09-01	알.에프 에이치아이씨 주식회사
2080	저소비전력 reset timer	개략 설명 : 본 배치설계는 저소비전력 reset timer 에 관한것이다. 소비전류를 최소화하고, 칩사이즈를 최소화되록 배치되었다. 사양 및 특징 : - 1 msec timer 내장 - 외부부품 최소화 응용 및 적용분야 : - 저소비전력 timer	Analog and Digital Mixed Signal	2008-04-08		2011-10-10	넥스트랩 주식회사
2081	Mouse Sensor	개략 설명 : USB 1Chip 광마우스 센서 IC SPI Interface 사양 및 특징 : 0.18um 공정, 1P5M 응용 및 적용 분야 : 광마우스	Analog and Digital Mixed Signal	2010-04-14		2011-10-10	주식회사 애트랩
2082	광마우스	개략 설명 : USB 1Chip 광마우스 센서 IC Revision 3 사양 및 특징 : 0.18um 공정, 1P5M 응용 및 적용분야 : 광마우스	Analog and Digital Mixed Signal	2011-08-16		2011-10-10	주식회사 애트랩

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2083	광마우스	개략 설명 : USB 1Chip 광마우스 센서 IC Revision 2 사양 및 특징 : 0.18um 공정, 1P5M 응용 및 적용 분야 : 광마우스	Analog and Digital Mixed Signal	2011-06-15		2011-10-10	주식회사 애트랩
2084	광마우스	개략 설명 : 1Chip 광마우스 센서 IC Revision 1 사양 및 특징 : 0.18um 공정, 1P5M 응용 및 적용 분야 : 광마우스	Analog and Digital Mixed Signal	2011-05-14		2011-10-10	주식회사 애트랩
2085	광마우스	개략설명 : USB 1Chip 광마우스 센서 IC 사양 및 특징 : 0.18um 공정, 1P5M 응용 및 적용 분야 : 광마우스	Analog and Digital Mixed Signal	2010-11-14		2011-10-10	주식회사 애트랩
2086	Vehicle Black Box imager	개략 설명 : 자동차 블랙박스용 이미지센서의 배치설계로 서 고온 및 외부조도의 급격한 변화에 최적의 이미지를 생성할 수 있는 제품 사양 및 특징 : 2-Ch 신호처리회로 를 통하여 54MHz의 구동속도와 내부 PLL을 통한 다양한 통합환경에서 구성할 수 있고 고속프레임(80fps 이상)으로 동작하기 위한 최적의 배치설계. 2-Ch을 통한 offset 보상 및 채널별 gain 제어로 컬러의 white valence 조절이 용이함. Top Metal인 M4로 회로의 상부를 차핑하여 신호처리상 노이즈 및 오동작에 대비한 배치설계 응용 및 적용 분야 : 자동차용 블랙박스의 카메라, CCTV 카메라 등 wide-dynamicrange 및 저조도/고조도 대응형 카메라등	Analog and Digital Mixed Signal	2010-12-15		2011-10-10	슈퍼바운드코리아㈜
2087	3D Tv용 Active Shutter Glasses	개략 설명 : 3D TV용 Glass Controller 사양 및 특징 : IR SYNC 검출, LCD구동, 모드검출, Flicker방지, Power제어, Free-Run제어, 기타 응용 및 적용 분야 : 3D Active Shutter Glasses 국내 및 해외 제품에 모두 적용 가능함	Analog and Digital Mixed Signal	2011-08-02		2011-10-10	(주)파인스
2088	3D Tv용 Active Shutter Glasses	개략 설명 : 3D TV 용 Glass Controller 사양 및 특징 : IR SYNC 검출, LCD 구동, 모드 검출, Flicker방지, Power제어, Free-Run제어, 기타 응용 및 적용 분야 : 3D Active Shutter Glasses	Analog and Digital Mixed Signal	2010-10-02		2011-10-10	(주)파인스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2089	Analog MEMS Audio Pre Amplifier SoC	개략 설명 : 본 Chip은 Microphone의 Analog audio amplifier로써 MEMS 진동판에서 나온 미세전압을 감지하여 증폭하는 SoC임 사양 및 특징 : ◎ 0 dB Gain ◎ Bias 전압 -11V (4V ~ 14V까지 변경 가능) ◎ Wide power supply range from 1.5v to 3.6v 응용 및 적용 분야 : 휴대폰 및 휴대기기용 MEMS Microphone	Analog and Digital Mixed Signal	2011-02-20		2011-10-10	(주)다빛 다인
2090	Battery Protection IC	개략 설명 : 배터리 안전제어 집적회로(BPIC)는 Single Chip Lithium ion/Polymer Battery에 사용할 수 있는 과충전, 과방전 그리고 과전류 등을 검출할 수 있는 칩이다. 사양 및 특징 : - 배터리 보호를 위한 고정도 전압 검출 ■ 과충전 전압 검출 범위 : 4.0V to 4.5V (5mV Step) ■ 과충전 해제 전압 검출 범위 : 3.9V to 4.4V (50mV Step) ■ 과방전 전압 검출 범위 : 2.0V to 3.0V (50mV Step) ■ 과방전 해제 전압 검출 범위 : 2.0V to 3.5V (50mV Step) ■ 방전 시, 과전류 검출 전압 범위 : 0.05V to 0.3V (5mV Step) ■ 충전 시, 과전류 검출 전압 범위 : -0.05V to - 0.3V (5mV Step) - 충전기의 순간 전압 상승에 대비하기 위한 고전압 패드 사용 ■ VM과 CO핀 인가 최대 전압 : 28V - 완전 방전 배터리의 충전 가능 여부 선택 가능 응용 및 적용 분야 : Lithum ion/Polymer Battery 충/방전 보호	Analog and Digital Mixed Signal	2011-07-08		2011-10-10	(주) 엔시스텍

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2091	캐패시터리스 헤드폰 증폭기	개략 설명 : 본 배치설계는 캐패시터리스 헤드폰 증폭기에 관한것이다. DC 블로킹 캐패시터를 사용하지 않기 위해 네가티브 차지펌프 기능을 내장하여 동일 칩안에 +- 양전위가 존재하는 바, Latch-up 및 상호간섭을 최소화 하도록 배치되었다. 사양 및 특징 : - 캐피시터리스 헤드폰 증폭기 - 네가티브 차지펌프 기능 내장 응용 및 적용분야 : - 헤드폰 증폭기 - 각종 음향기기 및 헤드폰 어플리케이션	Analog and Digital Mixed Signal	2011-08-08		2011-10-10	넥스트랩 주식회사
2092	Vehicle Black Box image	개략 설명 : 자동차 블랙박스용 이미지센서의 배치설계로서 고온 및 외부조도의 급격한 변화에 최적의 WDR 이미지를 생성할 수 있는 제품 사양 및 특징 : 2-Ch 신호처리회로를 통하여 54MHz의 구동속도와 내부 PLL을 통한 다양한 통합환경에서 구성할 수 있고 고속프레임(80fps 이상)으로 동작하기 위한 최적의 배치설계. 2-Ch을 통한 offset 보상 및 채널별 gain 제어로 컬러의 white valence 조절이 용이함. Top Metal 인 M4 로 회로의 상부를 차핑하여 신호처리상 노이즈 및 오동작에 대비한 배치설계. SG3_R0 에서 WDR 개선용 아날로그 제어핀 추가함 응용 및 적용 분야 : 자동차	Analog and Digital Mixed Signal	2010-12-15		2011-10-10	슈퍼바운 드코리아 ㈜

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2093	2011SG11b150 MSps013 Pipelined SAR ADC	제안하는 ADC 는 파이프라인 구조를 SAR ADC 에 접목한 4 채 널 time-카 intπt 앉 erleaved (TI) 11 비 트 150MS/s pipelined SAR ADC 로 6 비 트-6 비 트의 2 단 구조를 택하여 높은 해상도에서 SAR ADC 익 동작 속도가 제한되는 문제를 보완할 뿐아니라, 전체 커패시터의 크기가 감소하여 해상도에 의해 면적이 증가하는 문제를 해결하였다. 또한, 4 개 채널의 TI 구조를 적용하여 각 채널에서 요구되는 동작속도는 낮추고 전체 ADC 익 전력소모는 최소화 하면서도 빠른 변환 속도를 얻을 수 있으며, 하나의 증폭기를 4 개의 채널이 공유함으로써 TI 구조 사용 시 해상도를 제한하는 증폭기의 오프셋 부정합 문제를 동시에 해결하였다. 한편, 제안하는 ADC 는 증폭 동작 맞 SAR 동작 시 사용하는 기준전압을 분리함으로써 증폭동작 시 다른 채널의 SAR 동작으로 인하여 발생하는 기준전압 불안정 문제를 해결하였으며, 모든 채널이 증폭동작 시 동일한 기준전압을 사용하도록 구현하여 채널 간 이득 부정합 문제를 최소화하였다. 내부에서 자체적으로 높은 주파수의 클록을 생성하는 내부 클록 생성화로를 사용하였으며, 특히기준전압 샘플링 동작 맞 프리엠프 증폭 동작 구간을 최대화하기 위하여 duty cycle 을 조절할 수 있도록 구현하였다. 제안하는 ADC 는 O.13um CMOS 공정으로 제작되었으며, 면적은 2 .4 2mm2 이고, 측정된 DNL 맞 INL 은 각각 O.31LSB, 1. 18LSB 의 최대값을 가지며, 동적 성 능은 150MS/s 의 동작속도에 서 각각 최 대 54.5dB 의 SNDR 과 65.5dB 의 SFDR 을 보여준다. 전력 소모는 1.2V 전원 전압 맞 150MS/s 동작속도에서 46.8mW 이다.	Analog and Digital Mixed Signal	2011-03-21		2011-10-17	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2094	2011SG10b200 MSps018_R2 ADC	본 설계에서는 HDTV와 같이 고화질 영상시스템 응용을 위한 10비트 200MS/s 0.18um CMOS ADC를 구현하기 위하여 다음과 같은 설계 기법들을 제안한다. 제안하는 ADC는 3단 파이프라인 구조를 사용하여 목표로 하는 10비트 해상도와 200MS/s 신호처리 속도 범위 내에서 전력소모 및 면적을 최적화하였다. 입력 단 SHA와 2개의 MDAC에는 두 채널 간에 증폭기 공유기법을 적용하여 요구되는 증폭기 동작 속도를 50% 수준으로 완화함과 동시에 전력 효율성을 향상시켰다. 세 개의 4비트 FLASH ADC에서 사용되는 비교기는 하나의 DDA 구조 프리앰프를 공유하여 면적과 전력 소모를 줄이면서 SHA와 MDAC의 출력을 용이하게 처리할 수 있도록 하였다. 추가적으로 두 채널 간에 입력 신호 샘플링 시간 부정합을 최소화하기 위해 하나의 기준 클록에 동기 된 샘플링 클록을 생성하여 사용함으로써 제안하는 ADC의 동적 성능을 향상시켰다. 제안하는 ADC는 0.18um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.62LSB와 0.99LSB 수준이다. 또한, 200MS/s의 샘플링 속도에서 4MHz 차동 입력 신호를 사용하여 측정된 SNDR 및 SFDR은 각각 52.dB와 60.4dB이다. 전체 칩 면적은 1.28mm^2 이며 소모 전력은 1.8V의 단일 전원 전압에서 54.0mW이다.	Analog and Digital Mixed Signal	2011-02-11		2011-10-17	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2095	주파수 선형성이 개선된 오실레이터	스위칭모드 전원장치나 역률제어용 회로를 제어하는 펄스폭 변조 집적회로(PWM IC) 또는 역률제어 집적회로 (PFC IC)에 사용하기 위한 오실레이터로서 전원장치에서 전력전달을 위해 사용되는 스위칭 소자 구동 신호의 구동 주파수를 만들기 위한 신호를 출력한다. 설계된 오실레이터 구동 주파수의 출력범위는 20㎑ - 500㎑까지 이며 입력전압 범위 8 ? 20V 범위 내에서 입력전압의 변동에 무관하게 동작하며 최대 출력주파수값은 외부에서 연결되는 커패시터 값을 이용해 변경할 수 있다. 오실레이터 출력신호 주파수는 외부에서 연결되는 저항값을 변동하여 조절할 수 있으며 저항값이 100Ω씩 줄어들 때마다 구동주파수는 2.4㎑씩 선형적으로 변동되도록 설계된 것이 특징이다. 공정은 X-Fab 1.0㎛ 650V XDH 공정을 활용하였으며 제작하여 잘 동작하는 것을 확인하였다.	Analog and Digital Mixed Signal	2011-06-01		2011-09-29	(주)제퍼로직
2096	출력전압 조절이 가능한 출력 특성 개선형 voltage regulator	스위칭모드 전원장치 또는 역률개선용 회로 등을 제어하는 펄스폭 변조 집적회로(PWM IC)나 역률제어 집적회로 (PFC IC)의 내부에 집적되어 IC의 동작에 필요한 전압 및 전류를 공급하는 회로로 일반적으로 5V의 전압을 출력하며, 내부에 trimming 회로를 내장하여 공정상의 편차로 인해 생기는 전압의 변동을 보정한다. 제안된 배치설계를 이용해 제작된 voltage regulator는 trimming 회로 외에 별도의 저항과 단자를 사용하여 voltage regulator의 출력 전압을 사용자가 임의로 변경할 수 있도록 한 regulator로서 입력전압 8 ? 20V의 범위에서 출력전압을 3V ? 7V까지 조절할 수 있도록 되어 있는 것이 특징이다. 공정은 X-Fab 1.0㎛ 650V XDH 공정을 활용하였으며 제작하여 잘 동작하는 것을 확인하였다	Analog and Digital Mixed Signal	2011-06-01		2011-09-29	(주)제퍼로직

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2097	Timer Controller	개략 설명 : 본 배치설계는 저소비전력 reset timer에 관한 것이다. 소비전류를 최소화하고, 칩사이즈를 최소화되도록 배치되었다. 사양 및 특징 : - 1 msec timer 내장 - 외부부품 최소화 - 공정변화에 따른 산포 최소화 응용 및 적용 분야 : - 저소비전력 timer	Analog and Digital Mixed Signal	2008-05-19		2011-10-10	넥스트랩 주식회사
2098	CH7500	18 x 30 coordinates for C-type, Dispersion Type Touch Screen	Others	2011-09-05		2011-10-31	크로바하이텍㈜
2099	AD5817	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS 이며, 기능은 컨버터이다. 또한, 본 반도체 집적회로는 소비자용으로 렌즈 오토포커스, 렌즈 커버, 카메라 폰, 카메라 모듈, 디지털 비디오 카메라/캠코더, 카메라-가능형 디바이스, 보안 카메라, 웹/PC 카메라에 적용하능하고, 산업용으로 히터 콘트롤, 팬 콘트롤, 쿨러(펠티어) 콘트롤, 솔레노이드 콘트롤, 밸브 콘트롤, 리니어 액츄에이터 콘트롤, 라이트 콘트롤, 전류 루프 콘트롤에 적용 가능하다. 또한, 본 반도체 집적회로는 100mA 전류원 특징과, 4X4 어레이 WLCSP 패키지에서 이용 가능한 특징과, 2-와이어(I2C 호환 가능한) 1.8V 직렬 인터페이스 특징과, 10-비트 해상도 DAC 특징과, 리니어/PWM 출력 드라이브 아키텍처 특징과, 2.5V 로부터 3.6V 까지의 프로그래밍 가능한 VANA 특징과, 1.8V 로우 드롭 아웃 레귤레이터 특징과, 2.3V 내지 4.8V 동작 범위 특징과, 모든 코드에 걸쳐 보장된 모노토닉 특징과, 전형적으로 10??A 로의 파워-다운 특징과, SMIA++ 호환 가능한 특징과, 향상된 SRC 버전 특징과, ARCTM 액츄에이터 응답 콘트롤 특징을 갖는다.	Others	2010-10-14	2011-01-10	2011-11-04	아나로그 디바이시즈 인코포레이티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2100	AD5804	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS 이며, 기능은 기타(others)이다. 또한, 본 반도체 집적회로는 압전기 액츄에이터 드라이버로서, 카메라 폰, 카메라/이미지 모듈, 압전기 포지셔닝, 압전기 액츄에이터, 렌즈 오토 포커스, 카메라 가능형 PDA, 웹 카메라에 적용가능하다. 또한, 본 반도체 집적회로는 오토포커스를 위한 효율적인 클래스-D 드라이버 특징과, 압전기 액츄에이터 노이즈 감소 특징과, 프로그래밍 가능한 출력 패턴 생성기 특징과, 열 셧다운 기능 특징과, 2-와이어(I2C 호환 가능한) 1.8V 직렬 인터페이스 특징과, 8-볼 WLCSP 및 EWLP 패키지에서 이용 가능한 특징을 갖는다.	Others	2011-01-28	2011-04-22	2011-11-04	아나로그 디바이시즈 인코포레이티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2101	ADUX1001	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS 이며, 기능은 기타(others)이다. 또한, 본 반도체 집적회로는 스마트 전자기 액츄에이터 드라이버로서, 햅틱 애플리케이션, 선형 공진 액츄에이터, ERM(Eccentric Rotating Mass) 액츄에이터, 모바일 폰, 휴대용 미디어 플레이어, 휴대용 네비게이션 디바이스 및 태블릿 PC 에 적용가능하다. 또한, 본 반도체 집적회로는 ARC 가동형 LRA 자동공진 검출 및 크기 제어 특징과, HD 햅틱 효과를 가능하게 하는 애자일(agile) 패턴 생성기 특징과, 고속 시작 및 샤프 브레이킹 특징과, PWM 및 I2C 드라이브 모드 특징과, LLR(Low Latency Response) 드라이브 모드 특징과, 이머전(imersion) TS3000 및 TS4000 과의 호환 가능한 특징과, 프로그래밍 가능한, 양방향 출력 전류원 호환 가능성을 갖는 8-비트 DAC 특징과, 2-와이어(I2C 호환 가능한) 1.8V 직렬 인터페이스 특징과, 쇼트 회로 보호 특징과, 부족 전압 보호 특징과, 우수한 PSR 특징과, 핀-선택 가능한 I2C 어드레스 특징과, 5X3 WLCSP 및 16-리드 LFCSP 패키지에서 이용 가능한 특징을 갖는다.	Others	2011-03-15	2011-04-20	2011-11-02	아나로그 디바이시즈 인코포레이티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2102	ADUX1001_W852B	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS 이며, 기능은 기타(others)이다. 또한, 본 반도체 집적회로는 스마트 전자기 액츄에이터 드라이버로서, 햅틱 애플리케이션, 선형 공진 액츄에이터, ERM(Eccentric Rotating Mass) 액츄에이터, 모바일 폰, 휴대용 미디어 플레이어, 휴대용 네비게이션 디바이스 및 태블릿 PC 에 적용가능하다. 또한, 본 반도체 집적회로는 ARC 가동형 LRA 자동 공진 검출 및 크기 제어 특징과, HD 햅틱 효과를 가능하게 하는 애자일(agile) 패턴 생성기 특징과, 고속 시작 및 샤프 브레이킹 특징과, PWM 및 I2C 드라이브 모드 특징과, LLR(Low Latency Response) 드라이브 모드 특징과, 이머전(imersion) TS3000 및 TS4000 과의 호환 가능한 특징과, 프로그래밍 가능한, 양방향 출력 전류원 호환 가능성을 갖는 8-비트 DAC 특징과, 2-와이어(I2C 호환 가능한) 1.8V 직렬 인터페이스 특징과, 쇼트 회로 보호 특징과, 부족 전압 보호 특징과, 우수한 PSR 특징과, 핀-선택 가능한 I2C 어드레스 특징과, 5X3 WLCSP 및 16-리드 LFCSP 패키지에서 이용 가능한 특징을 갖는다.	Others	2011-07-26	2011-08-21	2011-11-08	아나로그 디바이시즈 인코포레이티드
2103	130nm 공정의 레이다용 4 채널 수신기	개발된 4 채널 RF 수신기는 어레이 구조를 채택하여 4 개의 동일한 수신기가 저잡음 증폭기와 주파수 혼합기 그리고 IF 증폭기로 이루어져 있다. 4 개의 동일한 채널이 차례대로 놓여있으며 주파수 혼합기에 신호를 인가하기 위한 LO 시그널 경로가 우측에 존재한다	Analog and Digital Mixed Signal	2011-10-24		2011-11-15	전자부품 연구원
2104	130nm 공정의 RF 전력 증폭기	개발된 RF 전력 증폭기는 24GHz 에서 동작하는 차량용 레이다용 응용을 위하여 제작되었다. 최종단의 구조는 cascode 의 구조로 이루어져 있으며 내부 회로는 차동구조로 이루어져 있고 단일출력으로 신호를 보내기 위해 내부에 트랜스 포머를 사용하여 차동신호를 단일신호로 변환하도록 설계되었다.	Analog and Digital Mixed Signal	2011-10-24		2011-11-15	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2105	CH9500	Camera ISP(Image Signal Processor) for CCTV	Others	2011-07-21		2011-11-21	크로바하이텍
2106	2011SGDR90A DSM65n ADC	본 설계에서 제안하는 2차 단일 루프 9-레벨 델타-시그마 A/D 변환기의 시제품은 65 nm 1P8M CMOS 공정으로 설계, 제작되었다. 델타-시그마 A/D 변환기는 아날로그 회로와 디지털 회로가 혼재되어 있기 때문에, 회로 성능에 중요한 영향을 끼치는 아날로그 회로를 디지털 전원및 클록으로부터 분리하기 위해 아날로그 전원 전압과 디지털 전원 전압의 분리 및 가드링 (guardring)을 사용하였다. 패드를 제외한 회로의 면적은 0.747 ㎟ (0.9 ㎜ × 0.83 ㎜)이다. 제안하는 2차 단일 루프 9-레벨 양자화기 델타-시그마 A/D 변환기는 2.5 V 전원 전압에 의해서 동작하며 512의 OSR을 사용하여 25 MHz의 클록 주파수에서 24 kHz의 입력 신호 대역을 갖는다. 15 kHz, -6dBFS 크기의 입력 신호에서 85.4 dB의 SNR (signal-to-noise ratio) 성능을 보여준다. 입력 단을 단락시킨 후 측정한 결과 109 dB의 DR (dynamic range)을 보여주었다. 입력신호의 크기에 대한 SNDR 및 SFDR (spurious free dynamic range) 성능을 살펴보면 SNDR 및 SFDR은 71.2 dB, 75.2 dB로 측정되었다. 2.5 V 전원 전압에서 전체 소비 전력은 14.75 mW로 아날로그 블록과 디지털 블록에서 각 각 8.75 mW, 6 mW의 전력소모를 갖는다.	Analog and Digital Mixed Signal	2010-12-02		2011-11-25	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2107	2011SGDR90P 3VADSM45n ADC	제안하는 오디오용 데이터 변환기는 2차의 피드-포워드 (feed-forward) 구조를 갖는 델타-시그마 변조기이다. 20kHz의 신호 대역에서 64의 OSR (over sampling ratio) 을 사용하였다. 외부 커패시터를 사용하지 않는 온칩 레퍼런스 회로를 사용함으로써 사용되는 핀의 갯수를 최소화하였다. 피드-포워드 구조에서 아날로그 신호를 더하기 위해 추가적으로 필요한 별도의 증폭기를 사용하지 않고 4비트 SAR A/D 변환기의 샘플링 동작을 통해 덧샘기를 구현함으로써 저 전력, 소 면적 설계를 가능하도록 하였다. 첫번째 적분기의 입력단 DAC 커패시터의 부정합을 보상하기 위하여 tree 구조를 갖는 DEM (dynamic element matching) 을 사용하였다. 제안하는 ADC는 삼 성 45nm CMOS 공정으로 제작되었으며 3.3V의 전원전압을 사용하였다. 24.576MHz의 클록에서 측정된 DR은 94dB이다. 아날로그 회로에서 소모하는 전력은 3.4mW, 디지털 회로에서 소모하는 전력은 4.8mW로 총 8.2mW의전력을 소모한다.	Analog and Digital Mixed Signal	2011-02-10		2011-11-25	서강대학 교산학협 력단
2108	2011SGSAR10 b25MSps013v1 ADC	제안하는 ADC는 Successive Approximation Register (SAR) 구조를 사용하여 저전력으로 동작하도록 설계하였다. SAR 스위칭 방식으로는 비동기식 방식을 적용하였는데, 이로서 외부에서 민감한 고속 클록을 입력하지 않고 원하는 고속 동작을 얻을 수 있었다. 전체 사용되는 커패 시터의 개수를 줄이기 위해 단조 스위칭 기법을 사용하였고, 이 기법을 통해 소모되는 전체 전력 및 면적을 줄일 수 있었다. 제안하는 시제품 ADC는 0.13um CMOS 공정 으로 제작되었으며, 면적은 0.792mm2이다. 동적성능은 10MS/s 동작속도에서 45.1dB의 SNR과 45.0dB의 SNDR을 보이며, 1.2V 전원 전압에서 5mW의 전력을 소모한다.	Analog and Digital Mixed Signal	2011-01-05		2011-11-25	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2109	2011SGSAR10b25MSps013v2 ADC	제안하는 ADC는 Successive Approximation Register (SAR) 구조를 사용하여 저전력으로 동작하도록 설계하였다. SAR 스위칭 방식으로는 비동기식 방식을 적용하였는데, 이로서 외부에서 민감한 고속 클록을 입력하지 않고 원하는 고속 동작을 얻을 수 있었다. 단조 스위칭 기법을 사용하여 전체 사용되는 커패시터의 양을 반으로 줄여, 소모되는 전체 전력 및 면적을 줄였다. 제안하는 ADC는 단위 커패시터로 Metal과 Metal간에 발생되는 기생성분을 이용하는 구조를 사용하여 가장 큰 면적을 차지하는 커패시터열의 크기를 줄일 수 있었다. 사용된 커패시터는 기존에 공정에서 제공되는 커패시터에 비해 1/10 크기의 단위 면적당 커패시턴스를 가지며, 이로 인해 ADC 전체 칩의 면적을 1.6배 줄일 수 있었고, 동작속도를 2.5배 높일 수 있었다. 제안하는 시제품 ADC는 0.13um CMOS 공정으로 제작되었으며, 면적은 0.475mm2이다. 동적성능은 25MS/s 동작속도에서 46.1dB의 SNR과 46.0dB의 SNDR을 보이며, 1.2V 전원 전압에서 3.34mW의 전력을소모한다.	Analog and Digital Mixed Signal	2011-01-05		2011-11-25	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2110	고집적 다중 데이터 처리를 위한 Reed solomon 모듈	정보의 양과 종류가 다양해지는 현 시대에 데이터를 좀 더 빠르게 전달하고, 더욱 신뢰성 있게 오류를 정정 하는 것이 무엇보다 중요하다. 이에 본 과제에서는 Reed solomon 부호를 적용하여 오류 정정 부호-복호기를 설계하였다. 본 회로에서 설계한 Reed Solomon 모듈은 8 비트 데이터 239 개를 받아서 255 개의 인코딩 된 8 비트 데이터를 output 으로 내보내는 인코더와 인코딩된 8 비트 255 개의 데이터를 239 개의 원래 데이터로 디코딩하는 디코더로 구성된다. 이러한 부호-복호기를 설계하는데 있어서 고집적 다중 데이터 전송을 위해 pipelined MEA 구조에 기인한 면적 효율성과 고속처리를 위한 RS(255,239) 복호기의 종합적인 구조를 설계하였다. 또한 수정된 유클리드 알고리즘 모듈에도 홀수와 짝수 데이터 의 병렬처리를 통하여 성능을 최대화 하였다.	Digital Logic	2011-07-15		2011-11-22	한양대학교 산학협력단
2111	2011SGDR90P 1p1VADSM45n ADC	본 설계에서는 SC(switched-capacitor) 구조의 2 차 single-stage 오디오용 시그마-델타 ADC 를 제안한다. 제안하는 ADC 는, OSR (oversampling ratio) 값이 64 인 feed-forward 구조와 4 비트 quantizer 를 사용하고 있다. analog adder 를 포함한 4 비트의 asynchronous SAR(successive approximation register) ADC 를 사용함으로써, active summing amplifier 를 쓰지 않고 quantization 과 summation 동작을 수행할 수 있어 전력 소모를 줄일수 있다. 또한, feedback DAC 의 capacitor mismatch 에 따른 distortion 을 줄이기 위하여 tree-structured DEM(dynamic element matching)을 사용하였다. 제안하는 ADC 는 45nm CMOS 공정을 사용하고 있으며, 24kHz 의 대역폭에 대하여 3.072MHz 의 clock 주파수와 1.1V 의 전원에서 약 400uW 의 전력을 소모하고 있다.	Analog and Digital Mixed Signal	2011-02-18		2011-11-25	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2112	2011SGDR75W DSM013 ADC	제안하는 ADC는 피드-포워드 구조의 2차 시그마델타 구조를 사용하여 광대역 입력 신호를 높은 해상도의 디지털 출력 신호로 전환한다. 32의 오버샘플링 비율을 사용하여 100MHz로 입력 신호를 샘플링한다. 피드-포워드 구조를 채택함으로써 각각의 루프 필터 출력에 오직 양자화 잡음 만이 나타나게 되어 선형성 조건을 완화하고자 하였으며 이에 따라 처리 가능한 입력 신호의 크기를 최적화시킬수 있다. 피드-포워드 구조의 채택에 따라 추가적으로 필요한 아날로그 증폭기를 각각의 피드-포워드 경로에 양자화기를 적용함으로써 디지털 영역에서 처리하도록 하여 전력 소모를 최적화 하였다. 제안하는 시제품 ADC는 0.13um CMOS 공정으로 제작되었으며, 약 9,67mW의 전력을 소모한다.	Analog and Digital Mixed Signal	2011-09-28		2011-11-25	서강대학 교산학협 력단
2113	2011SGSAR10 bDEM013 ADC	본 설계에서는 monotonic capacitor 스위칭 기술을 적용한 SAR ADC에 DWA DEM (data weighted averaging dynamic elementary matching)방식을 적용하여 capacitor mismatch에 의해 발생하는 nonlinearity 문제를 최소화 하였다. 제안하는 모듈레이터에 사용된 latch 앞단에는 4개의 preamplifier를 사용하여 고주파의 입력신호에도 왜곡 없이 정확한 값을 샘플링 할 수 있도록 하였으며 기존의 MIM capacitor 대신 메탈의 parasitic capacitor를 사용하여 capacitor array의 해당면적을 최소화 하였다. 제안하는 ADC는 0.13um CMOS 공정을 사용하고 있다.	Analog and Digital Mixed Signal	2011-09-28		2011-11-25	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2114	2011SG10b150 MSps45n_R2 ADC	본 설계는 HDTV 와 같은 고화질 영상시스템 응용을 위해 저전력 및 소면적 구현에 적합한 4 단 파이프라인 구조를 기반으로 설계된 10 비트 150MS/s 45nm CMOS ADC 를 제안한다. 입력단 SHA 는 1.2Vp-p 크기의 단일 및 차동 입력신호를 1.1V 의 낮은 전원에서 처리 가능한 0.8Vp-p 의 차동신호로 낮추기 위해 4 개의 커패시터 기반의 전하 재분배 구조로 설계하였다. 한편, 상대적으로 높은 전압 이득이 요구되는 SHA 와 MDAC 의 증폭기는 미세 나노 공정에서 발생하는 출력 임피던스 및 신호스윙 범위감소와 같은 제약사항을 극복하기 위해 이득-부스팅 기법이 적용된 2 단 증폭기를 사용하였다. 또한, 150MS/s 의 고속 동작 시 요구되는 넓은 대역폭과 충분한 위상여유 확보를 위해 Miller 및 cascode 주파수 보상기법을 적절히 배분하였으며, 증폭기의 면적과 전력소모를 최소화하기 위해 안정적으로 동작하는 하나의 연속시간 공통모드 피드백 회로를 사용하였다. 증폭기의 입력단에 발생할 수 있는 메모리 효과는 MDAC2 와 MDAC3 이 충분히 높은 전압이득을 갖는 하나의 증폭기를 공유함으로써 그 영향을 최소화하였으며, 증폭기 공유기법을 통해서 ADC 의 면적과 전력소모도 동시에 감소시켰다. 제안하는 시제품 ADC 는 45nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL 은 10 비트 해상도에서 최대 0.80LSB, 1.71LSB 수준을 보이며, 150MS/s 동작속도에서 단일 및 차동 입력신호에 대하여 동적성능은 각각 최대 51.4dB, 51.8dB 의 SNDR 과 61.3dB, 63.7dB 의 SFDR 을 보여준다. 시제품 ADC 의 칩 면적은 0.40mm2 이며, 3.3V 입력단 전원전압과 1.1V 내부 전원전압에서 47.3mW 의 전력을 소모한다.	Analog and Digital Mixed Signal	2011-02-15		2011-11-28	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2115	2011SGDR90S DSM018 ADC	제안하는 delta-sigma ADC는 센서인터페이스를 위한 SC 방식의 3차 단일루프 단일출력의 구조를 가진다. 제안 하는 ADC는 bandgap 기준전압 회로를 하나의 칩에 집적하여 민감한 아날로그 핀들을 패키지 내부에 모두 집적 하였으며, 외부로 나가는 핀의 개수를 줄일 수 있었다. 3차의 구조를 사용함으로서 늘어나는 소비전력을 보상하기 위해, OPAMP의 바이어스 스위칭 기법을 사용하여 기존의 구조보다 약 25%의 소비전력을 감소시킬 수 있었다. 제안하는 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DR 및 SNR 및 SNDR은 OSR 128,10kHz 신호 대역폭에서 각각 최대 89.2dB, 75.9dB,75.8dB 수준을 보인다. 시제품 ADC는 1.8V 전원전압에서 1.42mW를 소모한다.	Analog and Digital Mixed Signal	2011-07-07		2011-11-25	서강대학교산학협력단
2116	메시지 고신뢰성을 위한 ECC-CAN 모듈	고신뢰성 메시징 기법을 적용하기 위해서, 기존의 8051 데이터 버스 타입의 CAN을 기반으로 하여 AMBA AHB 버스에 맞도록 재구현하였다. 재구현된 CAN Controller는 32비트 Data Bus, Address Bus, AMBA Control Signal 등의 입력을 받아 TX를 통해 신호를 출력하고 RX을 통해서 Encoding된 Serial CAN signal을 받는 것으로 하여 Bus 쪽 입출력이 각각 32비트로 구성되어 있다. 우선 RX를 통해서 Encoding 된 serial code를 Shift Registers에 저장을 하고 이를 다시 Header 정보를 불러와서 Bit strem Processor에 병렬화된 Message 코드를 저장한다. Processor에서는 각 Message 정보를 Bit Timing Logic에 전달하게 되는데 이 때 메시징 신뢰성의 향상을 위해 Sample Code Bit와 Sync Mode를 간소화된 주어진 Bit열에 맞게 LUT로 구성하여 재설계하였다	Digital Logic	2011-07-22		2011-11-22	한양대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2117	2011SG12bit SARADC	본 설계에서는 고해상도의 저전력 및 소면적을 요구하는 Sensor 시스템 응용을 위한 0.18um CMOS 12 비트 SAR (Successive Approximation Resistor) ADC 를 제안한다. 제안하는 SAR ADC 는 Charge redistribution 기법이 사용되므로 전력소모가 작으며 저전력 및 소면적을 구현하기 위하여 Split capacitor 방법을 사용하였다. 또한 Attenuation capacitor 의 mismatch 가 발생하게 되는데 이를 보정하기 위한 Calibration 방법을 사용하여 capacitor mismatch 에 의한 performance degrade 를 방지하고자 노력하였다. 따라서 전체 ADC 는 저전력 및 소면적으로 구현하면서도 높은 performance 를 유지하도록 설계하였다. 제안하는 12bit SAR ADC 는 0.18um 1P6M CMOS 공정으로 제작되었다. 전체 칩 면적은 0.22mm2 이며 소모 전력은 1.8V 의 단일 전원 전압에서 65uW 이다.	Analog and Digital Mixed Signal	2010-11-10		2011-11-30	서강대학 교산학협 력단
2118	2011SG_12-Gb /s 8PAM_Pre-em phasis	12-Gb/s 8PAM_Pre-emphasis 가 0.13-μm CMOS technology 를 통해 제작되었다. 새롭게 제안하는 adaptive pre-emphasis 방법과 pre-emphasis 회로를 통해서 간단한 회로 구성을 가능하게 하며, 전력소모와 칩 면적을 줄이 수 있었다. 제작된 회로는 adjustable delay line 을 통해 multi-Gb/s 에서 pre-emphasis 동작이 가능하다. 또한 8-PAM driver 와 pre-emphasis 회로를 제외하고는 저 전력소모 구현을 위해 CMOS logic 과 true single phase clock (TSPC) flip-flop 을 사용하였다. 이번 연구결과는 multi-Gb/s 와 최대 12-Gb/s 의 빠른 속도를 구현하였다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2119	2010SG2.4GHz ADPLL013	본 연구는 IEEE 802.11g 규격을 만족하는 2.4GHz RF Transceiver의 구성요소 중 하나인 PLL을 ADPLL 방식으로 설계 및 제작을 제안한다. 본 설계에서 제작한 ADPLL의 경우 IEEE 802.11g 규격을 만족하는 RF Transceiver 내부의 frequency synthesizer로의 역할을 수행하게 된다. PLL은 크게 Analog PLL과 Digital PLL로 나눌 수 있으며 Analog PLL 중 대표적인 Analog Charge Pump PLL의 경우 공정이 발달하고 공급전압이 낮아짐에 따라 VCO의 이득이 증가하고 Charge Pump 회로와 Loop filter capacitor의 누설 전류가 증가하기 때문에 Clock Jitter 함으로 설계가 어려워지고있다. 따라서 높은 최대동작 주파수를 유지하면서 넓은 동작 주파수 영역을 가지는 DCO를 이용한 All Digital PLL을 만들기 위해 CP와 LPF block들을 TDC와 DLF(Digital Loop Filter)인 Digital block으로 설계를 진행하였다. 본 연구목표인 ADPLL은 1.6GHz로 동작하게 되는데 RF Transceiver의 동작이 2.4GHz 대역으로서 2.4GHz의 2/3배인 1.6GHz와 1/3배 인 800MHz 출력 주파수를 System 내의 다른 구성 요소에 공급하게 된다. 기본적으로 ADPLL(All Digital PLL)을 만들기 위해서는 DCO, TDC, Counter, Digital loop filter와 같은 Digital block이 필요하다. 전체 Chip 면적은 3.05이며, 전원전압은 1.2V이다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2120	2010SG400MHzADPLL018	본 설계는 400~450MHz 대역의 무선 송신기 설계를 위해 FSK modulation 기법을 사용하며 deep submicron CMOS 공정에 따른 analog block 의 noise 영향의 증가로 인해 PLL 의 analog block 을 noise 에 덜 민감한 digital block 으로 변경한 ADPLL(All Digital Phase Locked Loop) 구조를 제안한다. 본 설계의 ADPLL 은 DCO(Digitally controled oscillator), Counter, TDC(Time to Digital Converter), DLF(Digital Loop Filter), sigmadelta modulator 로 구성된다. 6-bit counter 는 2-bit 와 4-bit counter 로 분리하여 설계를 함으로써 저전력과 빠른속도 동작에 적합하도록 설계 하였다. TDC 는 3-step verniertype 로 설계하여 2-step 에 비해 저전력을 구현할 수 있으며, 높은 해상도를 가짐으로써 위상잡음을 줄일 수 있다. Sigma delta modulator 는 dithered SDM 기법을 사용 함으로써 양자화 잡음을 더 줄일 수 있도록 설계하였다. 전체 chip 면적은 3.94 이며, 전원전압은 1.8V 이다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2121	2011SG_Multi-Gb/s 4PAM_Pre-emphasis	Multi-Gb/s 4PAM_Pre-emphasis가 0.13-μm CMOS technology를 통해 제작되었다. 새롭게 제안하는 adaptive pre-emphasis 방법과 pre-emphasis 회로를 통해서 간단한 회로 구성을 가능하게 하며, 전력소모와 칩 면적을 줄이 수 있었다. 제작된 회로는 digitally controlled delay line 회로를 통해 multi-Gb/s에서 preemphasis 동작이 가능하다. 또한 4-PAM driver와 preemphasis 회로를 제외하고는 저 전력소모 구현을 위해 CMOS logic과 true single phase clock (TSPC) flipflop을 사용하였다. 제작된 회로는 최대 10-Gb/s 의 동작을 달성하였으며 총 128 mW의 전력을 소모했다. 이번 연구결과는 multi-Gb/s와 최대 10-Gb/s의 빠른 속도를 구현하였다	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단
2122	2011SG8PAMTransmitter013	본 설계에서는 signaling scheme은 binary signaling에 비해 1/3의 symbol rate를 가지는 8-level pulse amplitude modulation(8-PAM)을 제안한다. 제안하는 8-PAM에 사용되는 구조에서 송신기를 설계 및 제작 하였으며, 모두 CML(current mode logic)으로 구현되었다. 송신기에 사용한 구조는 PRBS generator, Encoder, Output drive circuit 이렇게 3개로 구성되었다. Output drive circuit에서는 8-level 의 wide range를 위하여 Thick gate 트랜지스터를 사용하여 high-voltage 전원 전압을 사용토록 하였다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2123	2011SG_10Gbps_DEMUX	본 설계에서는 0.13 공정을 이용하여 10Gbps 급 optical receiver 에 쓰일 고속 디멀티플렉서를 구현하였다. 디멀티플렉서는 Master-slave 타입의 플립플롭이 사용된다. Master-slave 타입의 플립플롭은 두 개의 래치로 구성이 되며 결국 고속의 디멀티플렉서를 설계하기 위해서는 고속의 래치를 설계해야 한다. 이러한 고속의 래치를 설계하기 위한 기존의 연구가 많이 있었는데 이중 대표적인 구조로 전류방식 래치 (CML Latch)를 선택하였다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단
2124	2011SG_10Gbps_TIA	본 설계에서는 0.13 공정을 이용하여 10Gbps 급 optical receiver 에 쓰일 TIA 를 구현하였다. 입력단의 입력 임피던스를 줄이기 위해 regulated cascode(RGC) 입력단 회로를 사용하였다. local feedback 을 이용하기 때문에 virtual ground 입력 임피던스를 가지므로 큰 bandwidth 를 얻을 수 있다. 이후 충분한 gain 을 확보하기 위하여 3 단 Amplifier 를 사용하였다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단
2125	2011SG_10-Gb/s 4PAM_Pre-emphasis	10-Gb/s 4PAM_Pre-emphasis 가 0.13-μm CMOS technology 를 통해 제작되었다. 새롭게 제안하는 adaptive pre-emphasis 방법과 pre-emphasis 회로를 통해서 간단한 회로 구성을 가능하게 하며, 전력소모와 칩 면적을 줄이 수 있었다. 제작된 회로는 VCDL 회로를 통해 multi-Gb/s 에서 pre-emphasis 동작이 가능하다. 또한 4-PAM driver 와 pre-emphasis 회로를 제외하고는 저 전력소모 구현을 위해 CMOS logic 과 true single phaseclock(TSPC)flip-flop 을 사용하였다. 제작된 회로는 최대 10-Gb/s 의 동작을 달성하였으며 총 128 mW 의 전력을 소모했다. 이번 연구결과는 multi-Gb/s 와 최대 10-Gb/s 의 빠른 속도를 구현하였다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2126	2011SG8PAMR eceiver013	본 설계에서는 signaling scheme은 binary signaling에 비해 1/3의 symbol rate를 가지는 8-level pulse amplitude modulation(8-PAM)을 제안한다. 제안하는 8-PAM에 사용되는 구조에서 수신기를 설계 및 제작 하였으며, 모두 CML(current mode logic)으로 구현되었다. 수신기에 사용한 구조는 ADC block, Decoder, Output-buffer 이렇게 3개로 구성되었다. ADC block 에서는 7개의 CML 형태의 비교기가 8-level의 입력을 받아 thermometer code로 변환한 뒤, Decoder에서 binary signal로 변환 후 Output-buffer를 통해 출력으로 내보낸다.	Analog and Digital Mixed Signal	2010-11-11		2011-11-30	서강대학 교산학협 력단
2127	Core-A 프로세서 (McCore-A)	Core-A 프로세서를 사용하여 On-Chip Memory, AMBA 버스 및 주변장치용제어기를 붙인 MCU(Micro Controller Unit) 칩으로, 동부 0.18um의 공정으로 설계된 것	Microcomponent	2011-08-03		2011-11-25	(주)다이 나릿시스 템
2128	90nm 공정의 LVDS 드라이버를 이용한 고속 직렬 송수신기	개발된 송수신기는 저속의 병렬 신호들을 고속의 직렬 신호로 변환하여 LVDS 드라이버를 통해서 송신하는 송신기와 채널을 통해서 전송된 고속 직렬 신호를 다시 복원 후 저속의 병렬 신호로 변환해주는 수신기로 이루어져 있다. 개발된 송수신기는 각각 송신기와 수신기 및 클록 생성기로 구성하고 있으며, 제작은 CMOS 90nm 공정을 사용하였다	Analog and Digital Mixed Signal	2011-12-12		2011-12-16	전자부품 연구원
2129	동부 0.13-μm 공정을 이용한 Core-A 2G 멀티코어 프로세서를 포함하는 임베디드 컴퓨팅 시스템의 Hard-IP	본 배치설계는 특허청 핵심반도체설계재산권 창출촉진 2단계 사업의 주요 결과물인 Core-A 2G 프로세서 및 Cache, TLB, On-chip SRAM 등을 포함하는 임베디트 컴퓨팅 시스템을 동부 0.13-μm 공정에 porting한 Hard-IP를 GDSII 파일의 형태로 제공한다. 해당 Hard-IP의 동작은 GCD Computation, Sorting 및 Memory copy 등의 Post-layout simulation을 통해 검증되었으며, 해당 Layout은 다음과 같이 얻어진다.	Microcomponent	2011-04-30		2011-12-16	한국과학 기술원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2130	0.35um 공정의 synchronous DC-DC buck converter	개발된 DC-DC 컨버터는 500mA급 synchronous DC-DC buck converter이며, 제작은 CMOS 0.35um, 1 poly 3 Metal 공정을 사용하였다.	Analog and Digital Mixed Signal	2011-12-12		2011-12-16	전자부품 연구원
2131	삼성 0.13-μm 공정을 이용한 Core-A 2G 멀티코어 프로세서의 Hard-IP	본 배치설계는 특허청 핵심반도체설계재산권 창출촉진 2단계 사업의 주요 결과물인 Core-A 2G 프로세서를 포함하는 멀티코어 프로세서를 삼성 0.13-μm 공정에 porting한 Hard-IP를 GDSII 파일의 형태로 제공한다. 해당 Hard-IP의 동작은 GCD Computation, Sorting 및 Memory copy 등의 Post-layout simulation을 통해 검증되었으며, 해당 Layout은 다음과 같이 얻어진다	Microcomponent	2011-04-30		2011-12-16	한국과학 기술원
2132	90nm 공정의 FPGA를 위한 클록발생기	개발된 클록발생기는 FPGA를 위한 클럭 생성기로써 FPGA에 필요한 다중 위상 클록, 광대역 주파수 클록, 듀티 조절이 가능하며, 제작은 CMOS 90nm 공정을 사용하였다.	Analog and Digital Mixed Signal	2011-12-12		2011-12-16	전자부품 연구원
2133	자동 BER 조절용 평가보드 설계	설계된 배치설계는 무선통신집적회로의 송신기 및 수신기의 특성을 평가하기 위한 보드 설계이다. 송신단으로 부터 수신기로 수신된 신호의 BER(Bit Error Rate)을 계산하여 Quality 상태를 분석한 후 미리 부여된 상태에 따른 디지털 코드를 송신기에 피드백함으로써 무선 송신신호의 신호증폭 정도를 조절한다. 따라서 바이어스의 조절에 따라 신호의 증폭정도가 조절되어 수시된 신호의 BER을 조절 할 수 있다.	Analog and Digital Mixed Signal	2011-12-06		2011-12-28	전자부품 연구원
2134	2.4GHz 대역의 무선통신 송신 모듈 보드설계	설계된 배치설계는 무선통신집적회로의 송신 보드용으로 송신기의 무선신호의 강도(dB)를 조절하기 위한 송신용 보드이다. 송신단으로 부터 수신기로 수신된 신호의 BER(Bit Error Rate)을 계산하여 Quality 상태를 분석한 후 미리 부여된 상태에 따른 디지털 코드를 송신기에 피드백함으로써 무선 송신신호의 신호증폭 정도를 조절한다. 따라서 바이어스의 조절에 따라 신호의 증폭정도가 조절되어 수시된 신호의 BER을 조절 할 수 있다.	Analog and Digital Mixed Signal	2011-12-06		2011-12-28	전자부품 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2135	2.4GHz 대역의 무선통신 수신기 모듈 보드설계	설계된 배치설계는 무선통신집적회로의 수신기 보드용으로 송신기로부터 수신된 무선신호의 강도(dB)를 조절하기 위한 수신용 보드이다. 송신단으로 부터 수신기로 수신된 신호의 BER(Bit Error Rate)을 계산하여 Quality 상태를 분석한 후 미리 부여된 상태에 따른 디지털 코드를 송신기에 피드백함으로써 무선 송신신호의 신호증폭 정도를 조절한다. 따라서 바이어스의 조절에 따라 신호의 증폭정도가 조절되어 수시된 신호의 BER을 조절 할 수 있다.	Analog and Digital Mixed Signal	2011-12-06		2011-12-28	전자부품 연구원
2136	바이어스 자동 조절 및 공급회로	설계된 배치설계는 통신집적회로 상에서 송신단으로 부터 수신기로 수신된 신호의 BER(Bit Error Rate)을 계산하여 Quality 상태를 분석한 후 미리 부여된 상태에 따른 디지털 코드를 입력으로 받아 신호증폭기 등 신호의 감도를 조절할 수 있는 회로부의 바이어스를 조절하기 위한 배치 설계이다. 바이어스의 조절에 따라 신호의 증폭정도가 조절되어 수시된 신호의 BER을 조절 할 수 있다. 제작은 CMOS 1.3um, 1 poly 3 Metal 공정을 사용하였다.	Analog and Digital Mixed Signal	2011-12-06		2011-12-28	전자부품 연구원
2137	mm-Wave nano detector	본 발명은 mm-Wave detector를 개발함에 있어서 nano size의 pattern 및 소자의 구현을 위하여 stepper 공정을 이용한 mm-Wave detector를 개발하는 과정에서 소자의 mm-Wave detecting 성능을 높이기 위한 고유의 design을 배치설계건으로 출원	Others	2011-11-24		2011-12-08	전자부품 연구원

20. '12년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2138	멀티코어 내부 통신을 위한 온 칩 라우터 IP	On-ChipNetwork를구성하는On-ChipRouterIP이다.코어간의통신을위한On-ChipBackbone네트워크를구성하기위한기초IP이다.Backbone네트워크는On-ChipRouterIP를그물망(Mesh)형태로연결하여구성할수있다.주요기능은다음과같다. 1) 5 포트 라우터 2) 포트 당 4 bit 씩 전송 가능 3) 1.4Gbps 대역폭 @ 70MHz, 0.18㎛ 4) XY 라우팅 알고리즘	Microcomponent	20110826		20120110	조성민
2139	RFID digital(256bit ROM)design	본 회로는 ETRI 0.8um 기본셀을 이용하여 RFID tag에 사용할 목적으로 Cadence환경에서 설계되었으며, 총 8개의 부분 블록셀로 구성되어 있고, ISO 14443-typeB에 맞는 256bit ROM와 7-segment driver를 포함하는 디지털 블록이다.	DigitalLogic	20110729		20120216	한국전자통신연구원
2140	Design of Segment Driver	본 회로는 RFID의 직렬 데이터를 입력받아 8자의 7 segment에 디스플레이 할 수 있도록 하는 기능을 갖고 있다. 이는 RFID의 양 방향 통신에서 전송되는 직렬 데이터 string을 그때마다 포착하여 7-segment에 디스플레이 되게 하는 범용의 소자로 활용하기 위하여 설계 됨.	DigitalLogic	20111130		20120216	한국전자통신연구원
2141	RFID digital(128bit ROM)design	ETRI 0.8um 기본셀을 이용하여 RFID tag에 사용할 목적으로 Cadence환경에서 설계 되었으며, 총 8개의 부분 블록 셀로 구성되어 있고, ISO14443-typeB에 맞는 RFID 디지털 블록이다.	DigitalLogic	20110314		20120216	한국전자통신연구원
2142	ADUX1001_W852C	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS이며, 기능은 기타(others)이다. 또한, 본 반도체 집적회로는 리니어 공진 액츄에이터 제어기로서, 햅틱 애플리케이션, 리니어 공진 액츄에이터, 이심 회전 질량 액츄에이터, 모바일 폰, 휴대용 미디어 플레이어, 휴대용 네비게이션 디바이스, 태블릿 PC에 적용 가능하다. 또한, 본 반도체 집적회로는 ARC™ 사용 가능한 LRA 오토 공진 검출 및 크기 제어 특징과, HD 햅틱 효과를 사용 가능한 애자일 패턴 발생기 특징과, 고속 시동 및 급제동 특징과, PWM 및 I^2C 드라이브 모드 특징과, 저지연 응답(LLR) 드라이브 모드 특징과, 이머전 TS3000 및 TS4000 호환 가능한 특징과, 프로그램 가능한, 양방향 출력 전류원 용량을 갖는 8-비트 DAC 특징과, 2-와이어(I^2C 호환가능) 1.8V 직렬 인터페이스 특징과, 단	Others	20111017	20111216	20120517	아나로그 디바이시즈 인코포레이티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		락 보호 특징과, 부족 전압 보호 특징과, 우수한 PSR 특징과, 핀-선택 가능 I^2 C 어드레스 특징과, 5X3 WLCSP 및 16-리드 LFCSP 패키지에서 이용 가능한 특징을 갖는다.					
2143	AD5846	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS이며, 기능은 리니어이다. 또한, 본 반도체 집적회로는 카메라 폰, 카메라/이미지 모듈, 디지털 스틸/비디오 카메라, 렌즈 오토 포커스에 적용 가능하다. 또한, 본 반도체 집적회로는 VCM 드라이버로서, 오토포커스를 위한 10-비트 VCM 드라이버, 고속 오토포커스 캡쳐를 위해 사용 가능한 ARC 특징과, 오토 공진 검출 특징과, 100mA 출력 전류 싱크 특징을 갖고, DC-DC 컨버터로서, 1.20V 고정 출력 전압 옵션 특징과, 6MHz 작동 주파수 특징과, EMI를 감소시키기 위한 확산 스펙트럼 주파수 변조 특징과, 350mA 연속 출력 전류 특징과, 작은 적층 인덕터와 호환 가능한 특징과, 내부 동기 정류기 특징과, 출력 대 접지 단락 보호 특징을 갖고, 2-와이어 (I^2 C 호환 가능), 1.8V 직렬 인터페이스 특징과, 2.5V 내지 4.4V 입력 전압 특징과, VCM 단락 및 개방 검출 특징과, 전류-제한 보호 특징과, 부족전압 차단 특징과, 열 셧다운 기능 보호 특징과, 0.330mm 높이(최대), 8-볼 범프 칩 특징을 갖는다.	Others	20111125	20120217	20120517	아나로그 디바이시즈 인코포레이티드
2144	LXT_DCB100A	본배치설계LXT-DCB100은출력전압순응형전압변압장치의 Buck-BoostConverterIC이다.BCD0.35um1poly4Metal 공정을사용하였다.	Analog and Digital Mixed Signal	20120126		20120517	주식회사 룩센테크놀러지
2145	H.264 비디오 코덱을 위한 고속 움직임 예측기		DigitalLogic	20100701		20120612	서영호
2146	2012DG10b50MSps018 CMOS Image Sensor	본 설계에서는 column parallel readout 방식의 CMOS 이미 센서(CIS)에서 고속 동작을 위하여 기존의 single slope ADC(SS-ADC)와는 다른 구조의 two-step single slope ADC(TS SS-ADC)을 제안한다. 제안하는 CIS는 픽셀 어레이, 컬럼 ADC, 메모리, 카운터 등으로 구성된다. 픽셀 어레이는 QVGA급을 만족하기 위해 320×240 개로 이루어져 있으며 픽셀의 크기는 2.25um이다. 컬럼 ADC의 구조는 간단하면서도 고속동작이 가능한 TS SS-ADC를 적용하였으며, 설계된 TS SS-ADC는 10-bit 해상도를 갖도록 하여 CIS에서 1024의 그레이 레벨 표현이 가능하도록 하였다. 또한 TS SS-ADC는 기존	Analog and Digital Mixed Signal	20111010		20120516	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		의 one ramp를 사용하는 방식과는 달리 two ramp를 사용하고 있으며 상위 bit의 변환을 수행하는 coarse A/D 변환, 하위 bit의 변환을 수행하는 fine A/D 변환의 두 과정을 통하여 디지털 변환을 한다. 이와 같은 방식으로 컬럼 당 스위치 수를 줄였으며 DC 제너레이터에서 넣어주는 Vref 신호를 사용안하는 방식과 램프 신호 출력단에 추가적으로 아날로그 버퍼를 사용하는 방식으로 램프의 기울기 감소 문제와 잡음을 효과적으로 감소시켰다. 또한 TS SS-ADC에 비교기로 이용되는 OTA는 레이아웃 상에서 메탈 간의 커플링 캡을 이용함으로써 픽셀 입력의 선형성을 위한 추가적인 회로를 줄여 면적 파워소비를 줄였다. 제안한 CIS 칩은 0.18 ㎛ CIS 공정으로 제작되었으며 2.2um 크기의 4TR active pixel sensor를 사용하였다.					
2147	2012DG10b500MSps013 ADC	본 설계에서는 최근 이동통신 산업은 3G망, WIFI망, Digital-TV, 위성수신기 및 Set-top box 등을 하나의 수신기로 통합하는 단일의 송수신 시스템을 통해 다수의 무선 통신 규격을 통합 수용 가능하게 하기 위한 무선 접속 기반 기술인 Software Defined Radio(SDR)에는 10bit 이상의 해상도, 500MHz 이상의 변환속도에서 수백 mW이하의 저 전력 특성을 만족하는 고성능 ADC가 요구 되고 있다. 따라서 제안하는 A/D 변환기는 높은 변환속도를 만족하기 위해 기존에 Cascade Folding 구조에서 두 개의 Folding stage 가 더 추가 되어서 각 Stage 별로 1b, 2b, 3b, 4b을 뽑아 총 10b을 구현하는 Folding-interpolation ADC로 설계 되었다. 이 경우 Flash ADC의 고속 병렬처리 장점은 그대로 유지하면서도 상, 하위 분리 구조를 사용하여 비교기의 수를 크게 줄임으로서 저 전력, 소 면적 특성을 구현 가능한 장점을 지닌다. 그러나 Folding 증폭기에 의한 Settling 제한, 상 하위 분할 구조의 비대칭 오차 및 Offset 오차가 전체 A/D 변환기의 성능을 제한하는 단점이 있다. 이런 Folding A/D 변환기가 갖는 Offset 오차에 의한 비선형성 문제를 극복하기 위해 Offset 자가 보정 회로를 적용하여 최대 500MHz의 변환속도를 만족하는 10bit nyquist ADC를 구현하였다. Layout은 각각의 Analog Stage에서 10bit에 관한 신호를 출력하기에 Analog Stage에서의 신호가 한쪽으로 흐르게 배치를 하였고, Digital Stage를 Analog Stage의 아래 쪽에 배치함으로써 각 Stage의 출력의 이동구간을 맞추고, 지연시간을 맞추	Analog and Digital Mixed Signal	20111105		20120516	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		기 위해서 Delay Block과 데이터 동기화 회로를 삽입하였다. 또한 Analog와 Digital간의 신호 간섭을 최소화하기 위해 각각의 Block을 Guard-Ring처리하여 분리?배치하였다. 제안하는 ADC는 0.13um 1P6M CMOS 공정으로 제작되었으며 500MSPS의 변환속도에서 125.48828125MHz의 sine입력을 인가했을 때 SNDR은 58.8640dB, SFDR은 63.6158dB, ENOB는 9.4857b으로 측정되었다. 전체 칩 면적은 2.23mm^2 이며 소모 전력은 1.2V의 단일 전원 전압에서 350mW 이다.					
2148	2012DG8b1GSps013 ADC	본 설계에서는 디지털 방송시장, 무선통신 기술의 성장에 따라 HDTV 및 위성 셋톱박스(S-STB),Ultra-Wideband(UWB),디지털 오실로스코프 등의 고성능 멀티미디어 기기에서 요구하는 수백MHz~수GHz의 높은 변환속도를 갖는 저전력 8b ADC 제안한다. 이와 같은 고속의 변환속도를 만족하는 ADC를 구현하기 위해 기존에는 주로 pipeline 및 flash 구조의 ADC를 사용하였다. 그러나 pipeline ADC 경우 DAC와 gain 증폭기의 settling 제한에 의해 수 GHz의 고속변환속도를 만족하기 어렵고, flash ADC의 경우 전체 아날로그 신호의 병렬처리 특성상 변환속도를 매우 높게 가져갈 수 있지만 해상도가 올라감에 따라 비교기의 숫자가 지수적으로 증가하여 면적 및 전력소모가 증가하는 단점을 지닌다. 이에 본 연구에서는 고속의 변환속도를 유지하며 낮은 전력소모에 적합한 folding 구조를 사용하여 최대 1GHz의 변환속도를 만족하는 8b ADC를 제안하였다. Folding ADC의 경우 flash ADC의 고속 병렬처리 장점은 그대로 유지하면서도 상, 하위 분리 구조를 사용하여 비교기의 수를 크게 줄임으로서 저 전력, 소 면적 특성을 구현 가능한 장점을 지닌다. 그러나 Folding 증폭기에 의한 settling 제한, 상 하위 분할 구조의 비대칭 오차 및 offset 오차가 전체 ADC의 성능을 제한하는 단점을 지닌다. 따라서 본 설계에서는 Folding 증폭기의 offset 오차를 보정하는 자가 보정기법, 그리고 multi-step 구조에 의한 디지털 코드 보정기법을 제안하여 1GS/s의 변환속도에서 0.5GHz의 ERBW를 갖는 8b nyquist ADC를 구현하였다. Layout은 Analog 신호 왜곡을 최소화하기 위해 신호의 흐름을 한쪽 방향으로만 진행되게 각각의 Sub-block이 배치되어 있으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring	Analog and Digital Mixed Signal	20111105		20120516	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		으로 각각의 Core를 분리하여 배치하였다. 그리고 Folding amp 특성상 서로 다른 위치의 신호들이 한 Amp로 인가 되기 때문에 Metal routing에 대한 기생성분의 캡이 발생하여, 원하는 주파수 동작을 충족시키기 위한 Settling time에 영향을 주게 된다. 따라서 제안한 Folding amp routing 방식으로 이러한 문제를 극복 하였다. 또한 상위 3-bit A/D 변환기와 하위 5-bit 변환기에서 발생할 수 있는 신호의 간섭을 최소화 하기위해 각각의 Core를 분리하여 배치하였으며, 이때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 제안하는 ADC는 0.13um 1P6M CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 0.3LSB와 0.25LSB 수준이다. 또한, 1GS/s의 샘플링 속도에서 측정된 SNDR은 최대 49.7003dB와 최소 46.0136dB이다. 전체 칩 면적은 2.85mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 350mW 이다.					
2149	2012DG10b54MSps011 DAC	Digital to Analog Converter (DAC)는 digital 신호를 analog 신호로 바꾸어주는 기본적인 기능을 갖고 있다. 따라서 여러system에 단품소자로도 많이 사용되며 집적회로의 SoC경향에 맞추어 IP로써도 그 활용 가치가 매우 높다.DAC의 종류로는 그구조에 따라Decoder-Based DAC, BinaryWeighted Array DAC, Thermometer Code 기법을 적용한 DAC 그리고 상기 방법들의 장점만을 이용한 HybridDAC가있다. 이중 고속,고해상도의 DAC는 대부분 우수한 성능의 전류원과 switch를 사용하는 전류 구동(CurrentSteering)방식으로 상,하위비트를 분할하여 사용하고있다.이러한 전류구동DAC는 출력을 연산증폭기를 이용한 전압구동방식으로 할 경우 출력전압의 settling은 연산증폭기의 slewrate에 의존하기 때문에 고속의 application에는 적합하지않다. 따라서 일반적으로 빠른 동작속도를 얻기 위해서는 칩의외부에 있는 off-chip 저항 혹은 칩의 내부에 구현한 종단저항(TerminationResistor)에 직접전류를 인가하는방식(전류구동방식)을 사용하고 있다.이러한 전류 구동방식의 DAC는 전류원과 이를 스위칭하는 회로의 성능이 DAC의 전체 성능을 결정짓기 때문에, 이 부분의 회로 설계가 매우 중요하다. 따라서, 본 설계에서는 10-b54MSPSCMOSDAC는 Current Steering 구조를 상위 하위 모두 Full Matrix방식으로 가져갔으며, 전체블록	Analog and Digital Mixed Signal	20111222		20120516	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		내에서의 데이터들 이서로 정확히 동기화될 수 있도록 위상이 서로 다른 Clock1, Clock2로 입력 데이터와 블록 내 데이터 그리고 최종 출력 데이터를 각각 동기화 시켰다. D/A 변환기의 레이아웃에 있어서 아날로그 신호와 디지털 신호의 간섭을 방지하기 위해 독립적인 전원전압을 쓰도록 철저히 분리하여 구현하였다. 또한 기존의 DAC는 Termination 저항을 칩 외부에서 구현하였지만 제안하는 DAC에서는 칩 내부에서 Gain Self Calibration 회로와 함께 구현하여 시스템에서 수동소자인 저항에 의한 면적의 수요를 줄일 수 있도록 설계하였다. 제안하는 DAC는 0.11um 1P6M(5M+UTM) CMOS 공정으로 제작되었으며 측정된 INL 및 DNL은 최대 0.2LSB 수준이다. 또한, 54MS/s의 샘플링 속도에서 측정된 SFDR은 71.9dB, SNDR은 61.58dB이다. 전체 칩 면적은 0.26mm2이며 소모 전력은 3.3V의 단일 전원 전압에서 95mW 이다.					
2150	KERI 하프브리지용 콤비(제어 및 드라이버) IC V402	KHB Ccontrol combi ICV402는 하프브리지용제어IC와 드라이버IC를 함께 구현한 one chip 집적회로이다. 200W 이상의 고효율컨버터 구현에 적합하며 제어부분과 드라이버 부분이 onechip으로 구현되어 컨버터구현시 부품수 감소 및 밀도향상에도움을줄수있다.동작주파수는100kHz에서 200kHz로 가변되며최 대500kHz까지 동작이가능하다. 동작주파수의 결정의 집적회로 외부의 CCF커패시터 및Rfmin, Rfmax저항에 의해 결정된다. LLC 공진제어용 PFM 출력 신호는 duty50%에서 ±2%로 설계되었으며, voltage regulator에는 트리밍패드가 전압상승용3개,전압하강용3개로총6개가 적용되어 IC내부공급전원인 VDDA전압을 ±1% 이내로 보정가능하다. 드라이버부분에는 데드타임제어용3개의 트리밍회로가 적용되어 공정후h ighsidegate제어신호와 lowsidegate 제어 신호간의 데드타임이 210ns 이내로 틀어질 경우에도 50ns 이내로 보정이 가능하다.	Analog and Digital Mixed Signal	20120619		20120705	한국전기연구원
2151	KERI 하프브리지용 드라이버 IC V02	KHBD IC V02는 Half-Bridge 컨버터 구현을 위한 Driver IC이다. KHBD V02는 주파수 제어방식의 duty 50% 출력신호를 입력받아 High side와 Low side 두 개의 driver 신호를 출력하는 드라이버 IC로써 게이트 드라이버 출력신호의 source current = 300mA(min.), sink current = 6000mA(min.)로 설계되었으며, rising time = 70ns(max.), falling time = 35ns(max.) 로 설계되었다. 하프브리지 컨버터용 드라이버 IC 설계시 가장	Analog and Digital Mixed Signal	20120223		20120705	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		중요한 high side gate 출력신호와 low side gate 출력신호의 dead time은 350ns로 설계되었으며 2개의 트리밍(trimming) 회로를 적용되어 dead time의 편차가 50ns 이상이 될 경우 50ns 이하로 보정이 가능하다.					
2152	KERI 하프브리지 컨버터용 제어 IC V302	KHBC302IC는 Half-Bridge 컨버터 제어용 집적회로로써 컨버터의 전력효율을 90%이상으로 유지시켜주는 장점을 가지고 있다. 동작주파수는 100kHz에서 200kHz로 가변되며 최대500kHz까지 동작이 가능하다. 동작주파수의 결정의 집적회로 외부의 CCF커패시터 및 Rfmin,Rfmax저항에 의해 결정된다. LLC 공진제어용 PFM 출력신호는 duty50%에서 ±2%로 설계되었으며, voltage regulator에는 트리밍패드 가전압 상승용3개, 전압하강용3개로 총6개가 적용되어 IC내부공급전원인 VDDA전압을 ±1% 이내로 보정가능하다.	Analog and Digital Mixed Signal	20120223		20120705	한국전기연구원
2153	출력전압 안정성이 개선된 아날로그 집적회로용 전압 공급기	아날로그 집적회로의 내부블록에 사용되는 전압 및 전류를 공급하기 위한 전압공급회로로서 아날로그 집적회로의 구동에 필요한 전압 및 전류를 공급한다. 아날로그 집적회로에 내장된 전압공급기의 공급전압 및 전류는 임의로 조절이 가능한 형태이며, 설계 및 집적된 전압공급기의 경우 공급전압은 5V, 공급전류는 최대10㎃로 아날로그 집적회로로의 입력전압 6~20V범위내에서 입력전압의 변동에 무관하게 일정한 전압 및 전류를 공급할 수 있다. 특히 본 아날로그 집적회로에 내장된 전압공급기의 경우 집적회로 제작에 사용되는 공정변수의 변화에 따른 출력전압 안정성이 개선되어 아날로그 집적회로의 안정적인 구동이 가능하다. 또한 입력전압 변화에 따른 전압 공급기 출력전압의 변화를 나타내는 line regulation 특성은 5V 출력전압을 기준으로 ±100㎷ 이내의 오차 범위를 가지고 있어 아날로그 집적회로의 동작에서 중요한 일정한 공급전압 및 전류를 제공하는데 적합하게 설계된 것이 특징이다. 공정은 X-Fab 1.0㎛ 650V XDH 공정을 활용하여 제작되었으며 평가결과 잘 동작하는 것을 확인하였다.	Analog and Digital Mixed Signal	20110610		20120705	한국전기연구원
2154	RF, THD 성능을 개선한 AC-LED용 4단 구동 IC	기존 AC LED 구동IC는 출력전류를 2단 제어하는 구조로서 이로 인한 Power Factor 및 Total Harmonic Distortion 개선에 한계를 갖고 있다. 출력전류 4단제어 구동IC는 입력전압을 4단으로 제어함으로서 PowerFactor 및 Total Harmonic Distortion이 개선되었다. 출력전류는 40mA,8W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2155	Digital Sinewave Generator	HB-LED구동장치는 조명제어기로서 PowerFactor 및 THD 성능을 개선하는 Power Factor Correction을 개선하는 기능이 포함되어야 한다. 이를 위해서는 입력전압파형을 검출하는 회로가 필요하다. 이는 수동 부품수를 늘려가 격상승, 신뢰성 저하 및 성능을 저하시킨다. 본 IC에서는 입력전압검출회로 대신 Digital Sinewave Generator가 필요하다. 공정은 X-Fab1.0umXDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2156	LED driver IC with PFC	비절연형 HB-LED 구동IC로서 주변부품을 최소화 및 구동시 입력전압 파형을 추종하기 위한 검출회로를 Digital Sinwave Generator를 칩내에 내장하였으며, PF,THD 및 플리커특성을 개선한 HB-LED 구동IC이다. 특히 기존의 TRIAC dimming과 호환하며, 벽면스위치를 이용한 4단 dimming기능도 내장하고 있으며, 8W까지 구동할 수 있는 Power MOSFET을 내장한 것이 특이점이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2157	고전압 DMOS를 이용한 DC LED 구동회로	상용전원을 입력하여 LED를 직접 구동하는 DCLED 구동IC회로로서, 정격은8W, 출력전류는 40mA의 ACLED구동IC 갖고 있는 플리커 특성을 개선한 구동IC이다. 직접 구동형 DC LED구동IC는 AC LED 구동 IC에서 발생하는 입력전압이 부하 LED의 VF보다 낮은 전압에서 전류가 흐르지 않는 특성을 개선하였다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2158	정전류 정전력 기능이 내장된 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어한다. 내부소자의 수를 줄이고, 출력전류의 되먹임을 통해 정전류, 정전력 기능이 내장된 회로이다. 출력전류는40mA, 8W이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2159	칩 면적을 줄인 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어한다. 회로의 구조를 변경하여 내부소자를 줄여 칩면적을 줄인 회로이다. 출력전류는 40mA, 8W이다. 공정은X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2160	출력전류 조절 기능을 가지고 출력전류 용량이 향상된 AC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어한다. 또한, 공정 변동에 둔감하며, 출력 전류의 용량이 더 큰 LED를 구동하도록 하였으며, 출력 전류의 크기를 조절하	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	LED 구동 IC	는 기능이 내장된 회로이다. 출력전류는 40mA, 8W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.					
2161	게이트 구동 회로 개선 및 출력 전류 조절 기능이 내장된 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어한다. 또한, 공정 변동에 둔감하며, 출력 전류의 크기를 조절하는 기능이 내장된 회로이다. 출력전류는 20mA, 4W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2162	Bleeder 기능이 내장된 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어하며, 외부에서 LED의 밝기를 조절하는 TRIAC을 위한 bleeder 기능이 내장된 회로이다. 출력 전류는 40mA,8W이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2163	게이트 구동 회로 개선 및 출력 전류 용량 향상을 위한 AC LED 구동 IC	AC LED 구동 IC는 LED 출력전류를 검출하고 정전류로 제어하며, 출력전류가 더 커진기능이 내장된 회로이다. 출력전류는 40mA,8W이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2164	게이트 구동 회로 개선 및 정전류 구동 기능이 내장된 AC LED 구동 IC	ACLED 구동 IC는 LED출력전류를 검출하고 정전류로 제어하며, 입력전압 변화에 대응하는 정전류 기능이 내장된 회로이다.출력전류는 20mA, 4W이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2165	게이트 구동 회로를 개선한 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어하며, 정전류 조절용 MOS게이트 구동회로의 공정 변화에 둔감한 기능이 내장된 회로이다. 출력 전류는 20mA, 4W이다. 공정은 X-Fab 1.0um XDH650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2166	칩 단가 인하를 위한 브릿지 없는 AC LED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어하며, 칩면적을 줄여 가격 경쟁력을 가질 수 있도록 하는 IC이다. 출력전류는 40mA, 8W이다. 공정은X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2167	ESD가 내장된 전류 조절 기능이 개선된 ACLED 구동 IC	AC LED 구동IC는 LED 출력전류를 검출하고 정전류로 제어하며, 칩을 보호하는 ESD기능이 내장된IC이다. 출력전류는 20mA,4W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2168	전류 조절 기능이 개선된 ACLED 구동 IC	AC LED 구동IC는 LED출력전류를 검출하고 정전류로 제어하는 되먹임 전압의 크기를 MOS로 조절기능이 내장된 회로이다. 출력 전류는 20mA, 4W이다. 공정은 X-Fab 1.0um XDH 650V를 활용 하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연 구원
2169	전류조절 기능회로를 간소화한 AC LED 구동 IC	AC LED 구동 IC는 LED 출력 전류를 검출하고 정전류로 제어하는 회로를 BJT에서 MOS로 구현한 회로이다. 출력전류는 20mA,4W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연 구원
2170	공진형 하프브리지 컨버터 제어용 집적회로	최근 대형 LCD&LEDTV와 같은 중형 가전제품의 전원장치로 많이 사용되는 공진형 하프 브리지 컨버터를 제어하기 위한 집적회로로서 하프 브리지 컨버터에서 전력 전달을 목적으로 사용되는 High-side & Low-side power MOSFET소자를 구동하는 신호를 출력한다. 하프브리지 컨버터에 사용된 스위칭 소자인 power MOSFET를 구동하기 위한 신호의 구동 주파수는 100 ~ 250㎑이며, 최대 500㎑ 까지 동작이 가능하다. 설계 및 제작된 집적회로의 경우 제어용 집적회로로의 입력전압 11 ~ 20V 범위 이내에서 입력전압의 변동에 무관하게 동작한다. 특히 본 집적회로에 내장된 전압 제어형 오실레이터는 제어 전압의 변화에 따른 구동 주파수의 선형성이 개선되어 외부 신호에 의해 정확한 제어가 가능하다. 또한 High side & Low side power MOSFET 구동 신호의 duty ratio는 50%를 기준으로 ±2%의 오차 범위를 가지고 있어 공진형 하프브리지 컨버터에서 중요한 공진상태를 유지하는데 적합하게 설계되었다. 설계된 집적회로는 X-Fab 1.0㎛ 650V XDH 공정을 활용하여 제작되었으며 평가결과 잘 동작하는 것을 확인하였다.	Analog and Digital Mixed Signal	20120610		20120705	한국전기연 구원
2171	TouchCore3.0C	Touch Sensor Controller를 내장한 80C51 호환 8Bit MCU	Microcomponent	20100518	20110223	20120622	주식회사 코아리버
2172	삼성 LED용 AC LED 구동 IC	기존 AC LED 구동 IC는 서울 반도체 아크리지만를 구동하였으나, 효율 성능이 개선된 삼성 LED를 직구동할 수 있는 AC LED 구동IC이다. 출력 전류는 40mA,8W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120610		20120705	한국전기연 구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2173	정전력기능이 내장된 AC LED 구동 IC	기존 AC LED 구동IC는 LED 출력 전류를 검출, 되먹임 제어를 통해 LED에 정전력을 공급하는 기능이 내장된 회로이다. 출력전류는 40mA, 8W이다. 공정은 X-Fab 1.0um XDH 650V를 활용하였으며 제작하여 잘 동작함을 확인하였다.	Analog and Digital Mixed Signal	20120611		20120705	한국전기연구원
2174	ADUX1001_W852E	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS이며, 기능은 기타(others)이다. 또한, 본 반도체 집적회로는 리니어 공진 액츄에이터 제어기로서, 햅틱 애플리케이션, 리니어 공진 액츄에이터, 이심 회전 질량 액츄에이터, 모바일 폰, 휴대용 미디어 플레이어, 휴대용 네비게이션 디바이스, 태블릿 PC에 적용 가능하다. 또한, 본 반도체 집적회로는 ARC 사용 가능한 LRA 오토 공진 검출 및 크기 제어 특징과, HD 햅틱 효과를 사용 가능한 애자일 패턴 발생기 특징과, 고속 시동 및 급제동 특징과, PWM 및 I^2C 드라이브 모드 특징과, 저지연 응답(LLR) 드라이브 모드 특징과, 이머전 TS3000 및 TS4000 호환 가능한 특징과, 프로그램 가능한, 양방향 출력 전류원 용량을 갖는 8-비트 DAC 특징과, 2-와이어(I^2C 호환가능) 1.8V 직렬 인터페이스 특징과, 단락 보호 특징과, 부족 전압 보호 특징과, 우수한 PSR 특징과, 핀-선택 가능 I^2C 어드레스 특징과, 5X3 어레이 WLCSP 패키지에서 이용 가능한 특징을 갖는다.	Others	20120228	20120405	20120718	아나로그 디바이시즈 인코포레이티드
2175	AD5823D	본 반도체 집적회로의 구조는 MOS, 기술은 CMOS이며, 기능은 리니어이다. 또한, 본 반도체 집적회로는 카메라 폰, 카메라/이미지 모듈, 렌즈 오토포커스, 셔터/NDF/아이리스 제어, 카메라 사용가능한 PDA, 웹 카메라에 적용 가능하다. 또한, 본 반도체 집적회로는 오토포커스를 위한 10-비트 VCM 드라이버 특징과, 고속 오토포커스 캡쳐를 위해 사용 가능한 ARC 및 ESRC 특징과, 2X3 어레이, 1.1mm^2 WLCSP에서 이용 가능한 특징과, 2-와이어(I^2C 호환가능), 1.8V 직렬 인터페이스 특징과, 10-비트 해상도 DAC 특징과, 100mA 출력 전류 싱크 특징과, 집적 전류 센싱 레지스터 특징과, 2.3V 내지 3.6V 전원 특징과, 모든 코드에 걸쳐 보장된 모노토닉 특징과, 최대 5?A로의 파워-다운 특징과, 내부 기준 특징과, 초저 노이즈 프리앰플리파이어 특징과, 파워-온 리셋 특징을 갖는다.	Others	20111115	20120202	20120718	아나로그 디바이시즈 인코포레이티드
2176	0.35um공정의 DC-DC buck converter	개발된 DC-DC는 500mA급 synchronous DC-DC buck converter이며, 세 작은 CMOS 0.35um, 1poly 3Metal 공정을 사용하였다.	Others	20120531		20120531	전자부품연구원 대표자 김춘호

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2177	CMOS compatible 56A EEPROM Design	본 설계는 56A의 터널링산화막을 갖는 EEPROM array를 구현하고, 단지 이 산화막만 사용하여 표준 CMOS공정으로 주변회로까지 구현되었다.	Memory	20120326		20120816	한국전자통신연구원
2178	CMOS compatible 70A EEPROM Design	본 설계는 70A의 터널링산화막을 갖는 EEPROM array를 구현하고, 단지 이 산화막만 사용하여 표준 CMOS공정으로 준변회로까지 구현되었다.	Memory	20120325		20120816	한국전자통신연구원
2179	CMOS compatible 26A EEPROM Design	본 설계는 26A의 터널링산화막을 갖는 EEPROM array를 구현하고, 단지이 산화막만 사용하여 표준 CMOS공정으로 주변회로까지구현되었다.	Memory	20120325		20120816	한국전자통신연구원
2180	LXT_RP03A	본배치설계의LXT-RP03A는HybridType의X-raySensor에사용하는고해상도용32X32PixelReadoutIC이다.CMOS0.18um1poly6Metal공정을사용하였다	Analog and Digital Mixed Signal	20120615		20120625	주식회사 룩센테크놀러지
2181	LXT_RP02A	본배치설계의LXT-RP02A는HybridType의X-raySensor에사용하는동영상용64X64PixelReadoutIC이다.CMOS0.18um1poly6Metal공정을사용하였다.	Analog and Digital Mixed Signal	20120615		20120628	주식회사 룩센테크놀러지
2182	2012SG14b100MSps013_R2V2 Low Power Range-scaled ADC	본 설계에서는 고해상도 및 고속신호처리 조건을 동시에 만족하면서 저전력 및 소면적을 요구하는 SDR 시스템 응용을 위한 14비트 100MS/s SHA-free 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 가지며, 첫 번째 단의 MDAC 및 FLASH ADC의 입력 단 스위치에는 동일한 게이트-부트스트래핑 회로를 적용하고, 디지털 컨트롤 신호를 통해 입력신호와 기준전압을 비교하는 클록의 지연시간을 조절하는 클록 지연회로를 추가하여 샘플링 신호의 부정합 및 왜곡 현상을 최소화하였다. 또한 전력 소모를 최소화하기 위하여 두 번째 및 세 번째 단 MDAC의 증폭기를 공유하였다. 제안하는 range-scaling 기법은 스위치드-커패시터 회로만을 사용하며, 추가적인 보정기법을 사용하지 않고 MDAC의 증폭동작과 FLASH 동작 시 사용되는 기준전압 구동회로를 분리하여, 단일 기준전압을 사용하면서 신호간섭에 의한 불안정 문제 해결 및 기준전압 구동회로에서 소모되는 전력을 최소화하였다. 제안하는 설계 기법을 적용하여 0.13um 1P6M CMOS 공정으로 구현한 시제품 ADC의 칩 면적은 1.2mm2이며, 측정된 DNL 및 INL은 14비트 해상도에서 각각 최대 0.84LSB, 3.24LSB 수준을 나타낸다. 또한, 100MS/s의 샘플링 속도에서 4MHz 입력 신호를 사용한 결과 측정된 SNDR 및 SFDR은 각각 최대 64.3dB, 76.3dB를 보여주며, 소모 전력은 1.3V 전원 전압	Analog and Digital Mixed Signal	20111105		20120828	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		에서 78.4mW 이다.					
2183	2012SG14b100MSps013_R2V1 Range-scaled ADC	본 설계에서는 고해상도 및 고속신호처리 조건을 동시에 만족하면서 저전력 및 소면적을 요구하는 SDR 시스템 응용을 위한 14비트 100MS/s SHA-free 0.13um CMOS ADC를 제안한다. 제안하는 ADC는 4단 파이프라인 구조를 가지며, 첫 번째 단의 MDAC 및 FLASH ADC의 입력 단 스위치에는 동일한 게이트-부트스트래핑 회로를 적용하고, 디지털 컨트롤 신호를 통해 입력신호와 기준전압을 비교하는 클록의 지연시간을 조절하는 클록 지연회로를 추가하여 샘플링 신호의 부정합 및 왜곡 현상을 최소화하였다. 첫 번째 단의 입력 범위는 출력 범위의 두 배 크기를 가지되, 단 하나의 기준전압만을 사용하는 range-scaling 기법을 제안하여 낮은 전원 전압에서도 높은 신호 대비 잡음성능을 가지면서, 전체 ADC 칩 소모 전력의 대부분을 차지하는 광대역 기준전압 구동회로의 숫자를 반으로 줄였다. 제안하는 range-scaling 기법은 하나의 기준전압 및 스위치드-커패시터 회로만을 사용하여, 추가적인 보정기법을 사용하지 않고 기준전압 구동회로의 전압 여유 부족으로 인한 입력신호 범위 제한 문제를 해결하였다. 제안하는 설계 기법을 적용하여 0.13um 1P6M CMOS 공정으로 구현한 전체 칩 면적은 1.2mm2이며, 측정된 DNL 및 INL은 각각 최대 0.80LSB, 3.30LSB 수준을 나타낸다. 또한, 100MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 64.5dB, 75.0dB를 보여주며, 소모 전력은 1.3V 전원 전압에서 145.6mW이다.	Analog and Digital Mixed Signal	20111105		20120828	서강대학교 산학협력단
2184	2012SG10b10MSps011_R2V2-SAR ADC	제안하는 ADC는 10비트 10MS/s의 사양을 가지면서 전력 소모 및 면적을 최소화하기 위하여 증폭기를 사용하지 않는 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (6b-4b) 구조를 사용하는 동시에 공통모드전압 기반의 스위칭 기법을 적용하고, 최하위 비트를 결정하기 위한 커패시터를 2개의 단위 커패시터의 직렬연결로 구성함으로써 전체 ADC의 전력소모 및 면적을 줄였다. 또한, DAC의 입력 샘플링 스위치에는 게이트-부트스트래핑 회로를 사용하여 온-저항을 결정하는 MOS 트랜지스터의 게이트-소스 전압을 일정하게 유지함으로써 입력을 왜곡 없이 샘플링 하도록 하였다. 한편, 비교기에서는 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는	Analog and Digital Mixed Signal	20111222		20120828	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		영향을 최소화하였고, D flip-flop 기반의 SAR 논리 회로의 경우 회로의 최적화를 통해 디지털 회로에서 소모되는 전력과 면적을 최소화하였다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1.03LSB와 1.44LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 55.2dB와 69.1dB이다. 전체 칩 면적은 0.26mm2이며 소모전력은 1.2V의 단일전원전압에서 2.3mW이다.					
2185	2012SG10b10MSps011_R2V1 Range-scaled SAR ADC	제안하는 ADC는 10비트 10MS/s의 사양을 가지면서 전력소모 및 면적을 최소화하기 위하여 증폭기를 사용하지 않는 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC는 단일입력신호범위가 비교기 첫 번째 프리앰프의 전압여유부족에 의해 제한되는 문제를 해결하기 위하여 샘플링 커패시터의 절반에만 입력신호를 샘플링하여 비교기에서 처리하는 신호범위를 절반으로 줄여주는 range-scaling 기법을 적용하였다. 또한, ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (6b-4b) 구조를 사용하는 동시에 공통모드전압 기반의 스위칭 기법을 적용하고, 최하위 비트를 결정하기 위한 커패시터를 2개의 단위 커패시터의 직렬연결로 구성함으로써 전체 ADC의 전력소모 및 면적을 줄였다. 또한, 비교기에서는 첫 번째 프리앰프에 오프셋제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였고, D flip-flop 기반의 SAR 논리회로의 경우 회로의 최적화를 통해 디지털 회로에서 소모되는 전력소모와 면적을 최소화하였으며, 저항열 기반의 기준전압생성회로를 사용함으로써 전력소모 및 면적을 추가적으로 감소시켰다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1.07LSB와 1.66LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 54.4dB와 69.8dB이다. 전체 칩 면적은 0.25mm2이며, 소모전력은 1.2V의 단일전원전압에서 2.3mW이다.	Analog and Digital Mixed Signal	20111222		20120828	서강대학교 산학협력단
2186	2012SG18W35BCD ClassD	본 설계에서는 DTV 응용을 위해 18W의 고출력과 90%의 높은 효율을 가지는 Class-D 출력 단 회로를 제안한다. 제안하는 Class-D 출력 단 회로는 출력 단 스위치를 5개로 나누어 순차적으로 ON/OFF 시켜, 스위칭 동작 시 발생하는 잡음을 최소화 하였다. 또한 제안하는 출력 단 회로는 18W의 고출력을 얻기 위하여 출력 단 스위치를 24V에서 동작하	Analog and Digital Mixed Signal	20111116		20120828	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		는 LDMOS 소자를 사용하였으며, 외부 boosting capacitor를 사용하지 않고 출력 단 구동회로를 구현하였다. 제안하는 설계 기법을 적용하여 0.35um 1P4M BCD 공정으로 구현한 시제품 Class-D 출력 단 회로의 CORE 면적은 3.18mm2이며, 측정된 출력 및 효율은 24V(출력 단), 5V(제어 부) 전원전압에서 각각 최대 18W, 90% 수준을 나타낸다. 또한, 1kHz의 입력신호와 768kHz의 스위칭 주파수를 사용하여 측정된 THD+N은 0.04%를 보여주며, Dynamic range는 102dB 이다.					
2187	2012SG12b80MSps011_R2V2 Hybrid Pipelined ADC	제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력소모 및 면적을 최적화 하였다. 입력 단에서 SHA를 제거하고, 높은 주파수의 입력을 성능의 저하 없이 처리하도록 첫 번째 단에 통상적인 파이프라인 구조에서 사용하는 4비트 FLASH ADC 대신 2채널의 4비트 SAR ADC를 사용하였다. 이 때, 두 개의 잔류전압증폭기와 하나의 MDAC에서 사용되는 모든 증폭기를 공유하여 전체 ADC에서 하나의 증폭기만을 사용하였으며, 마지막 단 FLASH ADC에는 2단 구조의 sub-ranging 기법을 적용하여 전력소모 및 면적을 감소시켰다. 또한, SAR 동작 시 발생되는 기준 전압 불안정 문제를 해결하기 위해 기준전압을 분리하고, 각 부하에 최적화 한 설계를 통해 전체 기준전압발생기에서 소모되는 전력을 최소화하였다. 제안하는 ADC는 0.11um 1P5M CMOS 공정으로 제작되었으며, 면적은 1.34mm2이고, 측정된 DNL 및 INL은 각각 0.56LSB, 1.35LSB의 최대값을 갖으며, 동적성능은 80MS/s의 동작속도에서 각각 최대 60.4dB의 SNDR과 66.5dB의 SFDR을 보여준다. 전력소모는 1.1V 전원 전압 및 80MS/s 동작속도에서 21mW이며, FOM은 0.31pJ/conv.이다.	Analog and Digital Mixed Signal	20111013		20120828	서강대학교 산학협력단
2188	2012SG12b100MSps011_R2V1 SHA-Free ADC	제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력소모 및 면적을 최적화 하였다. 첫 번째 및 두 번째 MDAC 사이에 적용된 증폭기 공유기법은 기존의 증폭기 공유 시 입력 단을 리셋하지 않아 발생하였던 메모리 효과를 제거하기 위해 2개의 입력 단을 사용하였으며, 위상 일부가 중첩된 클록을 사용하여 스위칭 동안 발생하는 글리치를 최소화하여 출력신호의 정착시간 지연문제를 줄였다. 마지막 단으로 사용되는 6비트 FLASH ADC에는 효과적인 2단 기준전압선택 기법을 적용하여 소비	Analog and Digital Mixed Signal	20111013		20120828	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		되는 전력소모 및 면적을 줄였다. 제안하는 ADC는 0.11um 1P5M CMOS 공정으로 제작되었으며, 면적은 0.92mm2이고, 측정된 DNL 및 INL은 각각 0.66LSB, 1.55LSB의 최대값을 갖으며, 동적성능은 100MS/s의 동작속도에서 각각 최대 59.7dB의 SNDR과 69.5dB의 SFDR을 보여준다. 전력소모는 1.1V 전원전압 및 100MS/s 동작속도에서 24mW이며, FOM은 0.30pJ/conv.이다.					
2189	TouchCore3.0C_LDO5	아날로그신호를 디지털신호로 변화시켜주는 장치(12Bit Resolution ADC)	Analog and Digital Mixed Signal	20100518	20110223	20120829	주식회사 코아리버
2190	TouchCore3.0C_PMU(POR)	일반적인 정전압장치 보다 작은값의 전압을 감압시켜, 평활한 전압을 출력하는 정전압장치1(Low Drop Out)	Analog and Digital Mixed Signal	20100518	20110223	20120829	주식회사 코아리버
2191	TouchCore3.0C_ADC	일반적인 정전압장치 보다 작은값의 전압을 감압시켜, 평활한 전압을 출력하는 정전압장치 2	Analog and Digital Mixed Signal	20100518	20110223	20120829	주식회사 코아리버
2192	TouchCore3.0C_LDO100	전원전압이 기준치 이상으로 변화하는지를 감지하고, 이를 신호화하여 출력하는 장치	Analog and Digital Mixed Signal	20100518	20110223	20120829	주식회사 코아리버
2193	SCHIP10		Microcomponent	20120229	20120730	20120906	주식회사 세븐코어
2194	LR359B2		Microcomponent	20101112	20110629	20120912	샤프 가부시키가이샤
2195	고성능 stereo matching 연산기		DigitalLogic	20110601		20120618	서영호
2196	MHL power boosted active cable equalizer		Analog and Digital Mixed Signal	20120926		20120928	스마트파이 주식회사
2197	KWU-MICROSTRIP-DBPF-1	본 설계도면은 2개의 대칭구조의 인덕터를 사용한 2개의 다중 대역통과 필터이다. 본 회로는 Ⅰ대역의 통신대역에 사용가능하다. 공진 주파수는 8.1 및 10.7GHz이며 반사계수는 -20.98 및 13.08dB 이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인하였으며 사이즈는 7.8×20 mm2를 가진다.	Analog and Digital Mixed Signal	20110520		20120910	광운대학교 산학협력단
2198	KWU-MICROSTRIP-DBPF-2	본 설계도면은 강한 전자기장이 가능하게 두개의 개방형 루프 구조의 2개의 다중 대역통과 필터 디자인이다. 본 회로는 C대역 및 X대역의 통신대역에 사용가능하다. 공진 주파수는 5.85 및 9.35 GHz 이며 반사계수는 -14.6 및 -14.8dB 이다. 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 6×20nm2를 가진다.	Analog and Digital Mixed Signal	20110615		20120910	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2199	KWU-MICROSTRIP-BPF-3	본 설계도면은 교차형 커플링 interdigital half-wavelength SIR 구조의 대역통과 필터이다. 본 회로는 C 대역의 통신 대역에 사용가능하다. 공진주파수는 4.9GHz 이며 반사계수는 -28dB 통과계수는 -0.3 dB이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 6.6×25mm2를 가진다.	Analog and Digital Mixed Signal	20110929		20120910	광운대학교 산학협력단
2200	KWU-MICROSTRIP-BPF-4	본 설계도면은 internally loaded stubs와 루프벽으로 구성된 계단형 임피던스 공진기(SIR)구조이다. 본 회로는 I 대역의 통신대역에 사용가능하다. 공진 주파수는 12.1GHz 이며 반사계수는 -12.1dB 통과계수는 -1.5dB이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 3×10mm2를 가진다.	Analog and Digital Mixed Signal	20111228		20120910	광운대학교 산학협력단
2201	KWU-MICROSTRIP-BPF-5	본 설계도면은 Interdigital even-mode half-wavelength 타입과 계단형 임피던스 구조의 결합으로 디자인된 공진기이다. 본 회로는 I 대역의 통신대역에 사용가능하다. 공진 주파수는 9.4GHz 이며 반사계수는 -28dB 통과계수는 -0.85dB 이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 5.4×25mm2를 가진다.	Analog and Digital Mixed Signal	20110706		20120910	광운대학교 산학협력단
2202	KWU-MICROSTRIP-BPF-6	본 설계도면은 개방형루프 구조를 바탕으로 stub-커플링 효과를 이용한 대역통과 필터이다. 본 회로는 Ku 대역의 통신에 사용가능하다. 공진주파수는 14.4 GHz 이며 반사계수는 -20 dB 통과계수는 -1.8 dB 이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 3×8mm2 을 가진다.	Analog and Digital Mixed Signal	20120111		20120910	광운대학교 산학협력단
2203	KWU-MICROSTRIP-BPF-7	본 설계도면은 두 개의 대칭된 나선형 인덕터를 통한 전자기 커플링을 이용하여 새롭게 디자인된 대역통과 필터이다. 본 회로는 C 대역의 통신에 사용 가능하다. 공진주파수는 5.597 GHz 이며 반사계수는 -24.4 dB 통과계수는 -0.93 dB 이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 25×25mm2 을 가진다.	Analog and Digital Mixed Signal	20120714		20120910	광운대학교 산학협력단
2204	KWU-MICROSTRIP-BPF-8	본 설계도면은 창문형 해어핀과 T-feeder 라인을 결합한 대역통과 필터이다. 본 회로는 RFID 리더기에 응용가능하다. 공진주파수는 5.8 GHz 이며 반사계수는 -22.6 dB 통과계수는 -0.95 dB 이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 12.3×25mm2을 가진다.	Analog and Digital Mixed Signal	20120719		20120910	광운대학교 산학협력단
2205	KWU-MICROSTRI	본 설계도면은 계단형 임피던스 공진기 구조(SIR)를 바탕으	Analog and Digital	20110412		20120910	광운대학교

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	P-BPF-9	로 새롭게 디자인된 대역통과 필터이다. 본 회로는 C 대역의 통신에 사용가능하다. 공진주파수는 4.235 GHz 이며 반사계수는 -35.7 dB 통과계수는 -0.38 dB 이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 13.2×25mm2 을 가진다.	Mixed Signal				산학협력단
2206	KWU-MICROSTRIP-BPF-10	본 설계도면은 planar square 개방형루프구조의 대역통과 필터와 개방형 루프구조의 floating stub 구조가 결합된 디자인이다. 본 회로는 Ku 대역의 통신대역에 사용가능하다. 공진 주파수는 13.1GHz 이며 반사계수는 -28.5 dB 통과계수는 -0.42 dB 이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 3.2×12mm2를 가진다.	Analog and Digital Mixed Signal	20120705		20120910	광운대학교 산학협력단
2207	KWU-IPD-BPF-1	설계된 대역 통과필터 설계는 펜타-interdigital의 resonators의 구조로 되었습니다. 모두 동일한 구조는 병렬 interdigital capacitances의 형태로 입력 및 출력포트단자가 모두 연결하는 데 도움이 됩니다. 통합된 수동소자(Intergrated Passive device)기술은 특히 클러스-밴드 위성 통신시스템에 대한 호환 가능한 형태로 기기를 줄이는데 사용됩니다. 측정된 삽입 손실와 반사손실은 13.5GHz의 공진주파수에서 각각, 0.5 dB와 25.7 dB를 나타내었습니다. 설계된 필터의 전체크기는 1.67 mm × 4.98mm 입니다.	Analog and Digital Mixed Signal	20110819		20120910	광운대학교 산학협력단
2208	KWU-IPD-BPF-2	설계된 대역 통과 필터는 interdigital resonators의 구조로 되었습니다. 가운데 떠 있는 구조시리즈 interdigital의 capacitances의 형태로 입력과 출력단자가 모두 연결하는 데 도움이 됩니다. 통합된 수동소자(IPD)기술은 K-밴드 위성 통신시스템에 대한 호환 가능한 형태로 기기를 줄이는데 사용됩니다. 측정된 삽입손실와 리턴손실은 20GHz의 공진주파수에서 각각, 0.5dB와 22.0dB를 나타내었습니다. 필터의 전체 레이아웃 크기는 2.0mm×5.0mm 이다.	Analog and Digital Mixed Signal	20110826		20120910	광운대학교 산학협력단
2209	KWU-IPD-BPF-3	설계된 이중 대역 통과 필터는 균일 계단식 임피던스 공진기(UIR) interdigital 구조를 기반으로 합니다. 대역 통과 필터는 이러한 종류의 클러스밴드와 K밴드시스템을 위한 듀얼 밴드 애플리케이션에 사용할 수 있습니다. 설계된 필터의 균일하고 대칭적인 피더라인은 입/출력장치와 일치하는 50 옴 임피던스 유지와 포트1단자에서 포트2단자에 전자기적 에너지를 수송하는데 도움이 됩니다. 측정된 삽입손실와	Analog and Digital Mixed Signal	20110830		20120910	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		반사손실가 13.0GHz 및 25GHz의 공진주파수에서 각각 2.5dB 및 15.0 dB를 나타내었습니다. 설계된 필터의 전체 크기는 1.08 mm ×5.0mm입니다.					
2210	KWU-IPD-BPF-4	대역 통과 필터 이러한 종류의 군복을 입은 네모서리 팔을 공진기순환루프를 기반으로 합니다. 설계된 필터 이외의 동일한 피더라인 입/출력장치와 일치하는 50 옴 임피던스를 유지와포트 1에서 포트 2단자에 전기 에너지의 수송을 도와줍니다. 대역 통과 필터는 K-대역통신 시스템에 적용할 수 있습니다. 측정된 삽입 손실와 리턴손실은 24GHz의 공진주파수에서 각각 0.5dB와 26.0 dB을 측정했다. 필터크기의 전체크기는 2.86mm×3.0mm 이다.	Analog and Digital Mixed Signal	20110908		20120910	광운대학교 산학협력단
2211	KWU-IPD-BPF-5	대역 통과 필터를 로드할 개방적 분권 스터브와 평방 개루프 resonators 를 기반으로 설계합니다. 두개의 스터브는 두평행 사각형 루프내에서 유도효과를 위한 마그네틱 커플리을 향상시킬 수 있습니다. 두 루프 electrimagnetically 루프의 오픈 스페이스를 통해 결합됩니다. 대역 통과 필터는 K-밴드 통신에 적용할 수 있습니다. 측정도니 삽입손실와 반사손실은 19.5GHz의 공진주파수에서 각각 0.5dB 와 20.0dB를 나타내었습니다. 설계된 필터의 전체 크기는 1.56mm×5.0mm 입니다.	Analog and Digital Mixed Signal	20110918		20120910	광운대학교 산학협력단
2212	2012HY80VXFAB035 Boost Converter	본 설계에서는 80V급의 출력전압을 생성하는 boost converter 를 제안한다. 제안된 boost converter는 PFM 모드로 동작을 하며 compensation 블록이 없기 때문에 stability를 위한 커패시터와 저항을 사용하지 않는다. 두 개의 비교기와 기준전압을 이용하여 출력전압이 비교가 되고 정해진 전압레벨 사이에서 출력전압이 boundary control 된다. 제안된 회로는 인덕터 전류의 최대값이 제어되고 이에 따라 일정한 duty가 형성되어 항상 일정한 인덕터 전류가 출력에 공급된다. 또한 start-up 회로가 추가되어 초기 회로 구동 시 인덕터 전류가 3단계로 정의되어 출력에 공급된다. 제안된 boost converter는 0.35um xfab 공정으로 설계되었고 면적은 1.9mm^2 이며 4V급의 입력 전압에서 80V급의 출력전압을 생성한다.	Analog and Digital Mixed Signal	20110530		20121024	한양대학교 에리카산학협력단
2213	2012HY2MH4ADB018 2-phase Buck Converter	본 설계에서는 두 개의 인덕터를 사용하여 출력단에 전류를 공급하고 일정한 전압을 생성하는 2-phase buck converter를 제안한다. 제안된 2-phase buck converter는 두 개의 인덕터를 사용함으로써 스위칭 주파수	Analog and Digital Mixed Signal	20120630		20121024	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		의 증가 없이 출력단의 리플 전압을 감소시킬 수 있다. 감소된 리플 전압으로 인하여 입력 및 출력의 커패시터의 사이즈를 줄일 수 있다는 이점이 있다. 또한 리플 전압을 감소시킬 수 있어 적은 인덕턴스를 가지는 인덕터의 사용이 가능하고 이로 인하여 시스템의 부하 전류에 따른 fast response 특성을 지닌다. 두 개의 인덕터를 동작시키기 위해서 두 개의 컨트롤러가 설계 되어 있고 각각의 인덕터는 180도의 위상차이를 가지고 출력단에 전류를 공급한다. 제안된 2-phase buck converter는 2MHz의 스위칭 주파수에서 동작하며 최대 4A의 전류를 출력에 공급한다. 0.18um CMOS 공정으로 설계 되었고 면적은 4mm^2 이며 최대 90%이상의 효율을 가진다.					
2214	2012HY1P7M013CT DELTA SIGMA MODULATOR	본 설계에서는 고속에서 동작하는 연속시간 델타-시그마 모듈레이터를 제안한다. 제안된 델타-시그마 모듈레이터는 320MHz 샘플링 주파수와 10MHZ의 신호대역으로 72dB의 성능을 얻었다. 0.13 CMOS공정으로 설계되었으며 동작전압은 1.2 V로 9.5mW의 파워소모가 일어났다. 고속의 digital data를 처리하기 위해서 주파수를 쉬프트 레지스터를 사용하여 40 MHZ로 줄이고 패드와 연결될 때 큰 버퍼를 사용하여 드라이빙을 할 수 있도록 레이아웃 하였다.모듈레이터의 구조는 3차 적분기와 4-bit 양자화기를 사용하여 잡음 성형을 이루어 10MHz 신호대역에서 고해상도를 얻고자 하였다. 이때 3 차 적분기의 계수는 저항과 커패시터로 이루어진다. 따라서 저항과 커패시터의 변화에 의한 성능저하를 보상하기위해 커패시터를 나열하고 외부에서 조절 가능하도록 설계하고 레이아웃 하였다. 총 면적은 2.2mm x 3.8mm 이고 모듈레이터의 면적은 600 um x 900 um 이다.	Analog and Digital Mixed Signal	20120430		20121024	한양대학교 에리카산학협력단
2215	2012HY20MBW4BDB011 MASH delta-sigma modulator	The invented circuit reduces the power consumption and complexity for MASH architecture. CIFF architecture is used for the first stage in MASH. To add the feedforward signals together, conventionally an extra adder is needed, which consumes much power and time. In the invented circuit, this extra adder is removed and the summing operation is completed by reusing the last integrator before adder. In MASH architecture, the second stage input is the first stage quantization error, which is canceled	Analog and Digital Mixed Signal	20121002		20121025	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		by combining the two stages outputs. In previous works, the error signal is extracted by the subtraction of the quantizer input and output. The quantizer number increases exponentially with the quantizer bit, therefore the second stage front end will be complicated as the quantizer bit increasing. When the invented CIFF is used, the first integrator output only contains error signal component, and the second integrator output contains error and input signal components. The first stage quantization error is extracted from the input, first and second integrator outputs. The proposed modulator reduces the quantization error extraction circuit and the CIFF summing circuit power. The achieved SNDR is 65dB at 20 MHz bandwidth, and it consumes 70mW at 1.2V VDD.					
2216	2012SG10b100MSps018_R2V2 Selective MDAC Amp-Sharing ADC	본 논문에서는 전력소모 및 면적을 최적화 하기 위해 다양한 회로 공유기법을 효율적으로 적용한 10비트 100MS/sCMOS 3단파이프라인 ADC를 제안한다. 입력단 SHA에는 제한된 이득으로 인한 성능저하를 최소화하기 위해 이득-부스팅기법을 적용하여 높은 이득을 갖도록 설계함으로써 입력 신호의 왜곡을 최소화하였다. 두 개의 연속되는 MDAC 사이에는 전력 효율 및 성능을 최적화하기 위해 2단증폭기 중 두 번째 증폭기만을 공유하고, 세개의 FLASH ADC는 하나의 저항열만을 공유하는 동시에 두번째와 세 번째 FLASH ADC 가프리 앰프를 공유하여 소모되는 전력 및 면적을 최소화하였다. 또한,각 FLASH ADC에는 보간기법을 적용하여 요구되는 프리앰프의 수를 절반으로 줄였으며, 입력단 및 출력단을 분리한 래치를 사용하여 킥-백 잡음의 영향을 최소화하였다. 디지털 블록들은 1.2V에서 1.8V까지의 전원에서 동작하도록 설계하여 추가적으로 전력소모를 감소시켰다. 제안하는 시제품ADC는 0.18um 1P6MCMOS공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대0.57LSB, 1.10LSB의 수준을 보이며, 동적 성능으로는 100MS/s의동작 속도에서 각각 최대52.5dB의 SNDR과 68.1dB의 SFDR을 보여준다.	Analog and Digital Mixed Signal	20081027		20121108	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		시제품 ADC 칩면적은 0.80mm2이며, 1.8V전원전압과 100MS/s동작속도에서 27.9mW의 전력을 소모하여 0.81pJ/conv-step의 FoM을 갖는다.					
2217	2011SG_Gated Ring Oscillator	This design uses a two-step ring oscillator to get a small time resolution from the time difference between the two delay lines. It can reduce power consumption and chip size significantly.	Analog and Digital Mixed Signal	20120831		20121109	서강대학교 산학협력단
2218	Time Domain Delta Sigma Temp Sensor	본 설계에서는 chip의 온도를 측정 할 수 있는 회로로서 온도의 변화에 따른 clock의 delay를 time-domain에서 delta-sigma modulator의 방식을 이용하여 측정하였다.	Analog and Digital Mixed Signal	20120831		20121109	서강대학교 산학협력단
2219	2012SG_CMOS_Limiting_Amplifier_using_Modified	본회로는 CMOS공정을 사용하여 기가비트응용을 위한 limiting amplifier 회로를 구현하였다. 대역폭 향상을 위해 active feed back, inductive peeking 등의 기술을 사용하였으며이득을크게하기위해4단cascade구조를이용하였다. Inductive peeking 기술에 사용된 인덕터 구조는 개량된 quadrature inductor형태로 ASITIC tool을 사용하여 직접 설계한 후 적용하였다. 0.13㎛ CMOS공정을 사용하여 구현한 10Gb/s급 limiting amplifier의 칩측정결과, 60dB의 이득 및 11.7GHz의 대역폭을 보였으며 60mW의 전력 소모를 하였다.	Analog and Digital Mixed Signal	20121012		20121109	서강대학교 산학협력단
2220	2012SG12bitSARADCwithCal	본 설계에서는 고해상도의 저전력 및 소면적을 요구하는 시스템 응용을 위한 0.18um CMOS 12비트 SAR(Successive Approximation Resistor) ADC를 제안한다. 제안하는 SAR ADC는 저전력 및 소면적을 구현하기 위하여 Split capacitor 방법을 사용하였다. 또한 Attenuation capacitor의 mismatch가 발생하게 되는데 이를 보정하기 위한 Calibration 방법을 사용하여 capacitor mismatch에 의한 performance degrade를 방지하고자 노력하였다. 따라서 전체 ADC는 저전력 및 소면적으로 구현하면서도 높은 performance를 유지하도록 설계하였다. 제안하는 12bit SAR ADC는 0.18um 1P6M CMOS 공정으로 제작되었다. 전체 칩 면적은 0.33mm2이다.	Analog and Digital Mixed Signal	20120514		20121109	서강대학교 산학협력단
2221	2012SG_3.6V_BoostConverter	3.6V BoostConverter가 0.18-㎛ CMOS technology를 통해 제작되었다. 제작된 회로는 Current-Mode로 동작을 한다. Inductor-Current Sensing은 Offset-current cancellation이 가능한	Analog and Digital Mixed Signal	20120813		20121109	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Current-Sensing Circuit을 사용함으로써 소비전력과 칩 면적을 줄일 수 있었다. 1.4V의 전압을 입력받아 3.6V의 전압을 출력했다. Switching Frequency는 1MHz이며 최대 효율은 91%을 구현하였다.					
2222	2010SG400MFRAC018 4PAM(1)	본 설계에서는 high speed serial link에서 수신된 data signal을 바탕으로 clock과 data를 recovery하는 회로를 제안한다. CML구조를 사용하여 3.4Gb/s의 high speed data rate를 처리할 수 있도록 하였다.	Analog and Digital Mixed Signal	20120514		20121122	서강대학교 산학협력단
2223	2010SG400MFRAC018 4PAM(1)	본 설계에서는 single photon을 감지할 수 있는 APD 소자의 sensing 및 reset을 도와주는 bias 회로의 성능을 향상시키기 위해 current source를 추가하여 APD 소자 자체의 variation으로 인한 unstability를 대폭 줄였으며, 기존의 회로에 비하여 전력 소모를 60% 정도 감소시킨 회로이다.	Analog and Digital Mixed Signal	20120914		20121122	서강대학교 산학협력단
2224	2012SGDR90ADSM035 ADC	제안하는 오디오용 데이터 변환기는 2-1 MASH 구조의 3차 델타-시그마 변조기이다. 20kHz의 신호 대역에서 64의 OSR (over sampling ratio) 을 사용하였다. 외부 커패시터를 사용하지 않는 온칩 레퍼런스 회로를 사용함으로써 사용되는 핀의 갯수를 최소화하였다. 피드-포워드 구조에서 아날로그 신호를 더하기 위해 추가적으로 필요한 별도의 증폭기를 사용하지 않고 캐패시터를 이용한 연산을 함으로써 저 전력, 소 면적 설계를 가능하도록 하였다. 또한, 1bit 비교기를 사용하여 DEM (dynamic element matching)을 사용하지 않고 선형성을 보장하였다.제안하는 ADC는 매그나칩 0.35um CMOS 공정으로 제작되었으며 2.5V의 전원 전압을 사용하였다. 2.5MHz의 클록에서 모의실험 한 결과 DR은 94dB이며, 아날로그 회로에서 소모하는 전력은 1.96mW, 디지털 회로에서 소모하는 전력은 0.12mW로 총 2.08mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20120806		20121122	서강대학교 산학협력단
2225	2012SGDR90TDSM035 ADC	본 설계에서 제안하는 디지털 평균기를 사용한 boser-wooley 구조의 2차 델타-시그마 A/D 변환기의 시제품은 0.35um CMOS 공정으로 설계, 제작되었다. 델타-시그마 A/D 변환기는 아날로그 회로와 디지털회로가 혼재되어 있기 때문에, 회로 성능에 중요한 영향을 미치는 아날로그 회로를 디지털 전원 및 클록으로부터 분리하기 위해 아날로그 전원 전압과 디지털 전원 전압의 분리 및 가드링(guardring)을 사용하였다. 패드를 제외한 회로의면적은	Analog and Digital Mixed Signal	20120806		20121122	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		0.958 ㎟ (1.084 ㎜ × 0.8884 ㎜)이다. 제안하는 디지털 평균기를 사용한 boser-wooley 구조의 델타-시그마A/D 변환기는 3.3 V 전원 전압에 의해서 동작하며 256k의 OSR을 사용하여 4 MHz의 클록 주파수에서 8Hz의 입력 신호 대역을 갖는다. 디지털 평균기를 거치지 않은 시뮬레이션에서는 10Hz, -6dBFS 크기의 입력 신호에 대해서 91.4 dB의 SNR (signal-to-noise ratio) 성능을 보여준다.					
2226	2012SGCYCP1p8V PET018 ADC	본 설계에서 제안하는 광센서 인터페이스 응용회로의 시제품은 0.18um CMOS 공정으로설계 및 제작되었다. 본 시제품은 광 센서의 출력을 증폭시켜 주는 AFE(analog front-end)회로 와 10bit의 Resolution을 가지는 사이클릭 A/D 변환기 회로를 한칩으로 구현하였다. AFE 증폭기의 이득을 조절 가능하게 하였고 적은 전력소모를 가지고 동작시키기 위해 한 개의 증폭기를 이용하는 사이클릭 A/D 변환기를 이용하였으며, 양자화기를 1.5bit/stage를 사용함으로써 비교기에 가중되는 부담을 줄였다. 제안하는 광센서 인터페이스 응용회로 사이클릭 A/D 변환기는 1MHz의 Sampling rate에서 59.61dB 성능의 SNDR(signal-to-noise and distortion ratio)과 76.63dB 성능의 SFDR(spurious free dynamic range) 보이며, 1.8V의 전원에서 10mW의 전력을 소모한다. 패드를 제외한 회로의 전체 면적은 0.327mm2이다.	Analog and Digital Mixed Signal	20120608		20121122	서강대학교 산학협력단
2227	2012SGSAR12bD WA013 ADC	본 설계에서는 Data Weighted Averaging (DWA)을 이용한 12비트 10 MS/s SuccessiveApproximation Register (SAR) ADC를 제안한다. DWA는 SAR ADC 내부의 capacitive DAC에서 capacitor mismatch에 의해 발생하는 비선형성 문제를 최소화하기 위해 적용하였다. 제안하는 SAR ADC는, VCM 기반 스위칭 기법을 사용하여 전체 사용되는 커패시터의 개수를 줄이고, 스위칭으로 인한 전력소모를 최소화 화였다. 시제품 SAR ADC는 0.13um CMOS 공정으로 제작되었으며, 면적은 1.19 mm2이다. 측정된 DNL 및 INL 은 각각 최대 0.28 LSB 와 0.31 LSB수준이다. 동적 성능은 10 MS/s 동작속도에서 63.91 dB의 SNDR과 77.87 dB의 SFDR을 보이며, 1.2 V 전원 전압에서 500 uW의 전력을 소모한다.	Analog and Digital Mixed Signal	20120309		20121122	서강대학교 산학협력단
2228	2012SGDR90P1p1 VADSM45nv2 ADC	본 설계에서 제안하는 델타-시그마 ADC의 시제품은 45 nm CMOS 공정으로 제작되었다.델타-시그마 ADC는 아날로그 회로와 디지털 회로가 혼재되어 있으므로, 아날로그 회	Analog and Digital Mixed Signal	20120330		20121122	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		로를 디지털 전원 및 클록으로부터 분리하기 위해 아날로그 전원 전압과 디지털 전원 전압의 분리 및 가드링(guardring)을 사용하였다. 패드를 제외한회로의 면적은 0.236 ㎟ (0.664 ㎜ × 0.355 ㎜)이다. 제안하는 ADC는 64의 OSR(Oversampling ratio)의 2차 feed-forward 구조와 4비트 양자화기를 사용하고 있다. Analog adder를 포함한 4비트의 asynchronous SAR ADC를 사용함으로써 active summing amplifier를 사용하지 않고 quantization과 summation 동작을 수행할 수 있어 전력 소모를 줄일수 있다. 또한, 첫 번째 적분기에서 16배의 주파수로 동작하는 Integrating DAC를 사용하여 4비트의 디지털 출력을 1비트로 변환해 feedback 받는다. 각각의 샘플링 커패시터는 integration 동작 시에 DAC의 타이밍에 따라 순차적으로 동작하도록 하여 오차를 줄였다. 그 결과 DEM이 없이도 Multi-bit의 디지털 출력이 capacitor mismatch에 의한 distortion의 영향을 받지 않게 되고, 면적을 줄일 수 있다. 제안하는 ADC는 1.1V 전원 전압에서 24kHz 대역폭에 대하여 49.152MHz의 clock 주파수를 사용하고 0.5mW의 전력을 소모한다.					
2229	2012SGDR90P1p1VADSM45nv1ADC	본 설계에서 제안하는 2차 단일 루프 SC(switched-capacitor) 구조의 델타-시그마 ADC의 시제품은 45 nm CMOS 공정으로 제작되었다. 델타-시그마 ADC는 아날로그 회로와 디지털 회로가 혼재되어 있기때문에, 회로 성능에 중요한 영향을 끼치는 아날로그 회로를 디지털 전원 및 클록으로부터 분리하기 위해 아날로그 전원 전압과 디지털 전원 전압의 분리 및 가드링(guardring)을 사용하였다. 패드를 제외한 회로의 면적은 0.236 ㎟ (0.664 ㎜ × 0.355 ㎜)이다. 제안하는 ADC는 64의 OSR(Oversampling ratio)의 2차 feed-forward 구조와 4비트 양자화기를 사용하고 있다. Analog adder를 포함한 4비트의 asynchronous SAR ADC를 사용함으로써 active summing amplifier를 사용하지 않고 quantization과 summation 동작을 수행할 수 있어 전력 소모를 줄일 수 있다. 또한, 첫 번째 적분기에서 16배의 주파수로 동작하는 Integrating DAC를 사용하여 4비트의 디지털 출력을 1비트로 변환해 feedback 받는다. 그 결과로 DEM이 없이도 Multi-bit의 디지털 출력이 capacitor mismatch에 의한 distortion의 영향을 받지 않게되고, 면적을 줄일 수 있다. 제안하는 ADC는 1.1V 전	Analog and Digital Mixed Signal	20120330		20121122	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		원 전압에서 24kHz 대역폭에 대하여 49.152MHz의 clock 주파수를 사용하고 0.5mW의 전력을 소모한다.					
2230	2012SGINT3p3VTPMS035 ADC	본 설계에서 제안하는 TPMS 압력센서 인터페이스 응용회로의 시제품은 0.35um CMOS공정으로 설계, 제작되었다. 본 시제품은 기준전압발생기(bandgap reference) 회로와 AFE(analog front-end)회로 및 인테그레이팅 A/D 변환기 회로를 한 칩으로 구현하였다. 패드를 제외한 회로의 전체 면적은 1.201 ㎟ (1.35 ㎜ × 0.89㎜)이다. 제안하는 TPMS 압력센서 인터페이스 응용회로 인테그레이팅 A/D 변환기는 3.3 V 전원 전압에 의해서 동작하며 4.096 MHz의 클록 주파수에서 1 kHz의 입력 신호 대역을 갖는다. 98.99 Hz, -3.849dBFS 크기의 입력 신호에서 30.9 dB의 SNR (signal-to-noise ratio) 성능을 보여준다. 입력 단을 단락시킨 후 측정한 결과 34.8 dB의 DR (dynamicrange)을 보여주었다. SNDR 및 THD는 30.9dB, -58dB로 측정되었다. 3.3 V 전원 전압에서 전체 소비 전력은 1.151mW로 아날로그 블록과 디지털 블록에서 각 각 841.5 uW, 310.2 uW의 전력소모를 갖는다.	Analog and Digital Mixed Signal	20111129		20121122	서강대학교 산학협력단
2231	2012HY04VDD013DT 0.4 V Delta-Sigma Modulator	본 설계에서는 0.4 V의 Supply 전압으로 동작하는 저전압, 저전력 Delta-Sigma modulator를 제안한다. 제안된 Delta-Sigma modulator는 clock boosting technique없이 순수한 Supply 전압으로 동작하기 때문에 신뢰성 문제가 없다. 제안된 Delta-Sigma modulator는 3차 input feedforward 구조로 설계되어 각 적분기의 OTA의 Output swing이 작아 전력소모가 적다. 3.2 MHz의 스위칭 주파수로 동작하며, 20 kHz의 Bandwidth를 갖는다. 0.13um CMOS 공정으로 설계 되었고 면적은 약 2mm^2 이다.	Analog and Digital Mixed Signal	20110115		20121120	한양대학교 에리카산학협력단
2232	2012HY4MH20KBW DELTA-SIGMA MODULATOR	The proposed single-ended delta-sigma modulator is designed for low voltage and low power application. In this proposed circuit, CIFF structure is chosen. Since the input of integrators mainly is quantization error which is small compare with signal, in this case the energy consumption can be smaller than other structures. Besides, In order to reduce the power consumption, the proposed amplifier' transistors work in weak inversion region. And the amplifier	Analog and Digital Mixed Signal	20120615		20121120	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		work as inverter amplifier. However, the inverter working in the modulator needs external capacitor to get the bias voltage, which makes the circuit more complex. In the improved circuit, another branch is recommended to add. In the added the branch biased voltage is built, which make the circuit much simpler. Also, the external capacitor can bring the external noise, which can decrease the accuracy of the modulator. While, in the proposed circuit this never can happen.					
2233	KWU-MICROSTRIP-BPF-11	본 설계도면은 교차형 커플링 interdigital half-wavelength slop-SIR 구조의 대역통과 필터이다. 본 회로는 C 대역의 통신대역에 사용가능하다. 공진 주파수는 4.3 GHz 이며 반사계수는 -22dB 통과계수는 -1.8dB 이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 12.8*25mm2를 가진다.	Analog and Digital Mixed Signal	20100615		20121129	광운대학교 산학협력단
2234	KWU-MICROSTRIP-BPF-12	본 설계도면은 stubs-loaded square open-loop 구조의 대역통과 필터이다. 본 회로는 C 대역의 통신대역에 사용가능하다. 공진 주파수는 5.85GHz이며 반사계수는 -24.8dB 통과계수는 -1.6dB이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 6*20mm2를 가진다.	Analog and Digital Mixed Signal	20100715		20121129	김남영
2235	KWU-MICROSTRIP-BPF-13	본 설계도면은 three bending structure 구조의 대역통과 필터이다. 본 회로는 C대역의 통신대역에 사용가능하다. 공진 주파수는 6.2Ghz임며 반사계수는 -40dB 통과계수는 -0.75dB이다. 본 디자인은 SONNET 디자인프로그램으로 디자인하였으며 사이즈는 4.5*30mm2를 가진다.	Analog and Digital Mixed Signal	20100518		20121129	김남영
2236	KWU-MICROSTRIP-BPF-14	본 설계도면은 stepped-impedance resonator 구조의 대역통과 필터이다. 본 회로는 14.6GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 14.6GHz이며 반사계수는 -35dB 통과계수는 -0.4dB이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 10.6*20mm2를 가진다.	Analog and Digital Mixed Signal	20100524		20121129	김남영
2237	KWU-MICROSTRIP-BPF-15	본 설계도면은 stepped-impedance resonator 구조의 대역통과 필터이다. 본 회로는 C-밴드 대역의 통신대역에 사용가능하다	Analog and Digital Mixed Signal	20100830		20121129	김남영

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		공진 주파수는 4.7GHz이며 반사계수는 -25dB 통과계수는 -0.6dB이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 16.2*25MM2를 가진다.					
2238	KWU-IPD-BPF-6	본 설계도면은 수동소자 집적회로기술을 사용한 wideband square-loop with orthogonal feeder 구조의 대역통과 필터이다. 본 회로는 KU-밴드 GHz 대역의 VSAT 과 USAT 통신대역에 사용가능하다. 공진 주파수는 24GHz 이며 반사계수는 -26dB 통과계수는 -0.5dB 이다. 본 디자인은 SONNET 디자인프로그램으로 디자인 하였으며 사이즈는 2.86*5.06mm2를 가진다.	Analog and Digital Mixed Signal	20111124		20121129	김남영
2239	KWU-IPD-BPF-7	본 설계도면은 수동소자 집적회로기술을 사용한 back-to-back open fork stub loaded square-loop 구조의 대역통과 필터이다. 본 회로는 KU-밴드 GHz 대역의 VSAT과 USAT 통신대역에 사용가능하다. 공진 주파수는 16GHz이며 반사계수는 -27dB 통과계수는 -0.5 dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인하였으며 사이즈는 1.5*5.0mm2를 가진다.	Analog and Digital Mixed Signal	20111028		20121129	김남영
2240	KWU-IPD-BPF-8	본 설계도면은 수동소자 집적회로기술을 사용한 back-to-back open fork stub loaded square-loop 구조의 대역통과 필터입니다. 본 회로는 K-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 22.5GHz이며 반사계수는 -30dB 통과계수는 -0.5dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 2.502*3.2mm2를 가진다.	Analog and Digital Mixed Signal	20111020		20121129	김남영
2241	KWU-IPD-BPF-9	본 설계도면은 수동소자 집적회로기술을 사용한 cascaded hairpin resonators 구조의 대역통과 필터이다. 본 회로는 X-밴드 GHz대역의 통신대역에 사용가능하다. 공진 주파수는 9.8GHz이며 반사계수는 -32.2dB 통과계수는 -2.12dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 2.01*5mm2를 가진다.	Analog and Digital Mixed Signal	20111226		20121129	김남영
2242	KWU-IPD-BPF-10	본 설계도면은 수동소자 집적회로기술을 사용한 attached stub loaded square open-loop구조의 대역통과 필터이다. 본 회로는 Ku-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 14.9GHz 이며 반사계수는 -20.23dB 통과계수는 -1.8dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 1.6*4.98mm2를 가진다.	Analog and Digital Mixed Signal	20120128		20121129	김남영

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2243	KWU-IPD-BPF-11	본 설계도면은 수동소자 집적회로기술을 사용한 aypical inductor hairpin 구조의 대역통과 필터이다. 본 회로는 Ku-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 13GHz이며 반사계수는 -20.27dB 통과계수는 -1.03dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는2.36*4.84mm2를 가진다.	Analog and Digital Mixed Signal	20120224		20121129	김남영
2244	INNOV20	본 배치설계는 형광투시법에 사용하기 위한 CMOS 엑스레이 이미지 센서로서, 광 에너지를 전기적인 신호로 변환하는 역할을 한다. 하나의 픽셀은 PMOS 리셋-트랜지스터, 베리드-다이오드, 그리고 전하증폭기를 180um X 180um 크기에 집적한 것을 특징으로 한다. INNOV20은 1,056X1,040개의 픽셀들로 이루어져있으며, PAD를 포함한 칩의 크기는 192,380um X 191,390um 이다.	Analog and Digital Mixed Signal	20121012		20121122	주식회사 레이언스
2245	SMAM	본 배치설계는 유방촬영용 의료기기에 사용하기 위한 CMOS 엑스레이 이미지 센서로서, 광 에너지를 전기적인 신호로 변환하는 역할을 하며, 하나의 픽셀에 PMOS 리셋-트랜지스터, 베리드-다이오드, 그리고 소스 폴로어 회로를 70um X 70um 크기에 집적한 것을 특징으로 한다. SMAM은 3,300X2,444개의 픽셀들로 이루어져있으며, PAD를 포함한 칩의 크기는 233,150um X 174,246um 이다.	Analog and Digital Mixed Signal	20091001	20110620	20121122	주식회사 레이언스
2246	UDS150RC	본 배치설계는 구강촬영에 사용하기 위한 씨모스 엑스레이 이미지 센서로서, 광 에너지를 전기적인 신호로 변환하는 역할을 하며, 하나의 픽셀에 NMOS 리셋-트랜지스터, PPD(Partially Pinned Diode), 그리고 소스 폴로어 회로를 20um X 20um 크기에 집적한 것을 특징으로 한다. UDS150RC는 1,650 X 1,200개의 픽셀들로 이루어져있으며, PAD를 포함한 칩의 크기는 34,920um X 25,140um 이다.	Analog and Digital Mixed Signal	20110323	20120821	20121122	주식회사 레이언스
2247	UDS200RC	본 배치설계는 구강촬영에 사용하기 위한 씨모스 엑스레이 이미지 센서로서, 광 에너지를 전기적인 신호로 변환하는 역할을 하며, 하나의 픽셀에 NMOS 리셋-트랜지스터, PPD(Partially Pinned Diode), 그리고 소스 폴로어 회로를 20um X 20um 크기에 집적한 것을 특징으로 한다. UDS200RC은 1,800 X 1,300개의 픽셀들로 이루어져있으며, PAD를 포함한 칩의 크기는 37,670um X 26,840um 이다.	Analog and Digital Mixed Signal	20121025		20121122	주식회사 레이언스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2248	CH4170	CH4170은 고속 직렬 통신 방식의 하나인 AiPi+(Advanced intra-Panel interface) 규격의 10bit 입력 data를 받아 1024 gray levels의 analog 전압을 출력하는 AMOLED display panel을 위한 source driver IC이다. 출력 channels은 810/768/720/630로 선택 가능하다. RGB 각 10bit 영상 data는 총 1,073,741,824 colors를 표현할 수 있다.	Others	20110201		20121214	크로바하이텍(주) 대표자 송한준
2249	CH7900	CH7900은 최대 해상도 1024*1024의 finger-print 센서의 analog 입력을 받아서 9bit ADC(analog to digital converter)를 통해 9bit의 digital 영상 data로 변환하여 host computer로 전달하는 readout IC이다. 최대 4개 IC를 병렬로 사용할 경우 palm-print까지 readout할 수 있다. 센서를 구동하기 위한 high voltage power generation 회로를 내장한 1-chip readout IC solution 이다.	Others	20120328		20121214	크로바하이텍(주) 대표자 송한준
2250	110nm 공정의 CMOS RF 전력증폭기	개발된 CMOS RF전력증폭기는 850MHz의 주파수에서 동작하는 증폭기로서 입력과 출력에 트랜스포머를 사용하였으며 칩내부에 50ohm 매칭까지 포함하며 드라이버단과 파워단이 모두 집적화 되어있다. 또한 면적을 최소화하기 위하여 출력 트랜스포머안에 입력 트랜스포머 및 모든 회로가 집적되어 면적 최소화를 얻을 수 있도록 제작되었다. 개발된 전력 증폭기는 입력 출력이 단일 신호이며 내부 회로는 차동 구조로 설계되었으며 전원 및 바이어스 전압을 제외하고는 모두 내부 신호처리가 가능하다. 본 칩은 제작은 CMOS 110nm, 1 poly Metal 공정을 사용하였다.	Analog and Digital Mixed Signal	20121211		20121214	전자부품연구원 대표자 김춘호
2251	LDO100_Decoder	LDO100 (No.2190)의 출력전압값 조정용 Data 입력회로	Digital Logic	20100518	20110223	20121217	주식회사 코아리버
2252	LDO100_Vddgen	LDO100 (No.2190)의 정전압 출력회로	Others	20100518	20110223	20121217	주식회사 코아리버
2253	LVR_Comp	감지전압값과 기준값의 크기를 비교하는 회로	Analog and Digital Mixed Signal	20100518	20110223	20121217	주식회사 코아리버
2254	LVR_Decoder	감지전압값과 기준값의 크기를 비교하는 회로의 감지전압값 설정용 Data 입력회로	Digital Logic	20100518	20110223	20121217	주식회사 코아리버
2255	POR_Comp	POR(Power-ONReset)회로의감지전압값과기준전압값을비교하는회로Block	Analog and Digital Mixed Signal	20100518	20110223	20121217	주식회사 코아리버
2256	보행자와 차량 인식	도심 및 고속도로에서 운전자의 운전을 보조하기 위한 장치	Microcomponent	20121210		20121217	전자부품연

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	및 주변 인터페이스 회로	에 대한 배치배선이다. 본 회로는 카메라에서 입력되는 영상을 이용하여 차량과 보행자를 실시간으로 인식하여 차량간 접촉사고와 인명피해를 예방하기 위한 장치와 보행자 및 차량 인식을 위한 영상 입출력 인터페이스, 회로 동작을 위한 인터페이스, 주변 인터페이스 회로로 개발하였다. 본 배치 배선은 외부 카메라에서 영상을 입력 받는 비디오 인터페이스부, 영상 인식을 위한 Haar&adaboost 연산부, HOG&SVM 연산부로 구성된다. 개발된 보행자 및 차량 인식회로는 CMOS 65nm, 1 poly 6 Metal 공정을 사용하였고 1.2/1.8/3.3V에서 동작한다. 구현된 칩의 크기는 PAD 포함하여 5mm*5mm이다.					구원 대표자 김춘호
2257	20MHz 무선 통신용 수신기 측정 보드	20MHz 대역의 USN(Ubiquitoussensornetwork)구현을 위해 안테나와 수신용 Front-end 모듈이 필요하다. 본 배치 배선은 안테나와 수신용 Front-end 회로의 특성 측성 및 분석을 위한 것이다. 본 배치배선은 개발 배경은 무선센서 네트워크에서 다양한 관의 상태를 모니터링하고 그 정보를 수신 시스템에 전송하기 위한 것이다. 전체 모듈중 안테나는 패치(patch)형태의 원형편파 수신용 안테나가 제작되었고, 20MHz front-end 회로는 상용부품을 구입하여 설계 및 제작된 보드에 실장하여 측정을 수행하였다.	Analog and Digital Mixed Signal	20121213		20121217	전자부품연구원 대표자 김춘호
2258	20MHz 무선 통신용 송신기 측정 보드	20MHz 대역의 USN(Ubiquitoussensornetwork)구현을 위해 안테나와 송신용 Front-end 모듈이 필요하다. 본 배치 배선은 안테나와 송신용 Front-end 회로의 특성 측성 및 분석을 위한 것이다. 본 배치배선은 개발 배경은 무선센서네트워크에서 다양한 관의 상태를 모니터링하고 그 정보를 수신 시스템에 전송하기 위한 것이다. 전체 모듈중 안테나는 패치(patch)형태의 원형편파 수신용 안테나가 제작되었고, 20MHz front-end 회로는 상용부품을 구입하여 설계 및 제작된 보드에 실장하여 측정을 수행하였다.	Analog and Digital Mixed Signal	20121213		20121217	전자부품연구원 대표자 김춘호
2259	2012UOS, 3.3V/5V, 97%, Low Power PFM Boost-Converter	본 설계에서는 고효율 저전력의 0.35um 1P6M CMOS DC-DC PFM Boost Converter를 제안한다. 제안하는 Boost Converter는 고효율 저전력의 PFM 방식으로써 PWM 방식에서 사용하는 복잡한 보상회로를 사용하지 않고, 낮은 부하 전류에서 고효율 특성을 가지기 위해 PFM방식의 저전력으로 설계된 Bias 회로 및 one-shot회로를 이용하여 설계 하였다. 추가적인 보상회로가 필요 없기 때문에 소면적	Analog and Digital Mixed Signal	20121019	20121019	20121218	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		으로 설계가 가능하였고, 출력 전압에 나타나는 노이즈 특성을 고려하여 내부 블록들을 설계하였다. PFM 방식을 사용했기 때문에 Boost Converter의 동작 주파수는 부하 전류의 조건 100uA~100mA에 따라 500Hz에서 200KHz의 동작 주파수를 가진다. 입력전압 3.3V의 내부 블록에서 소모하는 전류는 180uA 이고 출력 전압 5V에 최대 부하전류 100mA에서의 효율은 97%의 특성을 가진다. Boost Converter는 0.35um 1P6M CMOS 공정으로 구현한 칩의 전체 면적은 2.4X2.4mm2 이다.					
2260	2012UOS, 11b, 100kS/s, Digital PFC Algorithmic ADC	본 설계에서는 Digital PFC Controller Block에 적용되는 저전력, 고해상도의 11bit 100kS/s 0.18um 1P3M CMOS Algorithmic ADC회로를 제안한다. 제안하는 회로는 3bit의 FADC, 4배의 입/출력크기를 갖는 MDAC 및 5Cycle 반복 순환구조를 가진다. 이때, MDAC 증폭기의 이득 에러, 오프셋 에러가 발생할 경우, MDAC의 출력은 출력 범위를 넘게되어 올바른 디지털코드를 출력하지 못하게된다. 이를 보완하기 위해 Digital error Correction Logic을 이용하여 에러를 보정하였다. 이는 MDAC의 이득 및 FADC의 기준 전압을 조절하여 신호의 왜곡현상을 최소화하였다. 이러한 방법으로 설계기법을 적용하여 0.18μm 1P3M CMOS공정으로 구현한 칩의 면적은 2.56mm^{2}이며 또한, 100kS/s의 샘플링 속도에서 측정된 ENOB는 10.3b의 나타낸다. 전체 아날로그 블록은 5V를 사용하였으며, 디지털 블록은 3.3V를 사용하였다.	Analog and Digital Mixed Signal	20121019	20121019	20121218	서울시립대학교 산학협력단
2261	2012UOS, 14b, 1.92kS/s, Algorithmic ADC	본 설계에서는 1P4M 0.13um CMOS 공정으로 설계된 Algorithmic ADC를 제안한다. 제안하는 회로는 2bit의 FADC 2배의 입/출력크기를 갖는 MDAC 및 13 Cycle의 반복 순환 구조를 가진 14bit Algorithmic ADC를 제안한다. 일반적인 공정에서는 수동소자의 부정합으로 인해 12bit 이상의 정확도를 구현하기 어렵다. 수동소자로 인해 발생하는 MDAC에서의 이득 에러를 줄이기 위해 Ratio-Independent기법을 사용하여 커패시터간의 에러를 동일하게 만들어 ADC자체의 클록변화를 제거하였고, 클록주파수를 증가시켜 커패시터간의 정합특성과 관계없는 MDAC의 이득값을 얻음으로 12bit보다 높은 해상도를 얻을 수있게 설계하였다. 이러한 기법으로 설계된 Algorithmic ADC는 1P4M 0.13um CMOS 공정을 사용하여 설계되었다. 설계된 ADC의 면적은 1X1mm^{2}이며, 동적 성능은 1.92kS/s의	Analog and Digital Mixed Signal	20121019	20121019	20121218	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		동작 속도에서 최대 12.5bit의 ENOB를 나타낸다. 칩 동작 전원 전압은 3.3V를 사용하였다.					
2262	2012UOS, 16b, 128kS/s, SDM	본 설계에서는 Battery Management System에서 배터리의 전압, 온도, 전류의 상태를 측정하기 위해 저전력, 소면적을 요구하는0.13um 1P4M CMOS Second Order Single-bit Sigma-Delta Modulator를 제안한다. 제안하는 회로는 2차의 구조를 가지며 모듈레이터의 소모 전력을 줄이기 위하여 첫 번째 단의 연산증폭기를 샘플링 주기동안에 끄고 적분 주기동안에만 켜지는 방법 (연산증폭기 스위칭)을 적용하였다. 이러한 방법을 적용할 경우 기존의 2차구조와 동일한 동작을 구현하기 위해서 각각의 스위치드 커패시터 적분기의 스위칭 타이밍을 변경하여 구성하였다. 또한 위와 같은 구조를 사용함으로써 전체 모듈레이터의 소모 전력을 25%가량 줄일 수 있다. 제안하는 설계기법을 적용하여 0.13um 1P6M CMOS공정으로 구현한 전체 칩 면적은 0.4mm^{2}이며 256kHz의 클록 주파수, 256의 OSR을 가질 때 측정된 peak SNR 및 peak SNDR은 각각82.8dB, 81.7dB를 나타내며 Dynamic Range는 83dB이다. 또한 칩 전체의 블록은 3.3V를 사용하였으며, 전체200uA를 소모한다.	Analog and Digital Mixed Signal	20121019	20121019	20121218	서울시립대학교 산학협력단
2263	디지털 고주파 기억장치용 고속 ADC 개발	차세대 전투기 jamming 시스템에 적용되는 ASIC으로 본 ASIC은 미국의 수출금지 품목으로 국산화 및 기술 확보를 위해 개발하였음	Analog and Digital Mixed Signal	20121214		20121231	전자부품 연구원
2264	디지털 고주파 기억장치용 고속 DAC 개발	차세대 전투기 jamming 시스템에 적용되는 ASIC으로 본 ASIC은 미국의 수출금지 품목으로 국산화 및 기술 확보를 위해 개발하였음	Analog and Digital Mixed Signal	20121214		20121231	전자부품 연구원
2265	POR_Comp_Sub	POR(PowerOnReset)Block의감지전압값과기준전압값비교기회로	Analog and Digital Mixed Signal	20100518	20110223	20130104	주식회사 코아리버
2266	POR_Comp_Ref	POR(PowerOnReset)Block의비교기회로용기준전압발생회로	Analog and Digital Mixed Signal	20100518	20110223	20130104	주식회사 코아리버

21. '13년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2267	LVR_Decoder_Sub	LVR(LowVoltageReset)Block의감지전압값미세설정용Data입력회로	Digital Logic	20100518	20110223	20130104	주식회사 코아리버
2268	CM900		Digital Logic	20121129	20121129	20121206	(주)로보티즈
2269	KERI PLCAFE12	고속 전력선 통신용 모뎀의 아날로그 프론트 엔드(Analog Front End)부분으로 사용하기 위한 IC이다. 이 AFE부는 전력선 통신용 송수신IC와 함께 전력선 통신용 모뎀을 구성하는데 사용된다. 일반적으로 사용되는 아날로그 프론트 엔드부의 경우 저항, 커패시터, 인덕터등의 수동 및 OP앰프 등의 능동소자로 PCB기판상에 구현되어 소형화하는데 문제점이 있었다. 특히, Wall-Plug형태의 전력선 통신모뎀, 자동 검침용 전력선 통신모뎀 내장형 전력량계의 경우 저전력 소비 및 소형화가 필수적인 해결 과제였다. 기존에 제작된 KERI-PLC AFE의 성능을 개선한 것으로서, 주요 변경사항은 아래와 같다. -송신부대역통과필터구조변경(cut-off특성개선및신호대잡음비개선) -송신부출력단Line드라이버의구조변경(주파수능력향상및THD개선) -수신부대역통과필터구조변경(cut-off특성개선및신호대잡음비개선) -수신부VGA증폭기삭제(대역통과필터를이용한GainControl) -핀배치변경 IC 개발에는 각종 전자기기에 적용이 용이하도록 하기 위해 CMOS 트랜지스터를 사용하여 Cadencd사의 Spectre 회로 시뮬레이터를 이용하여 회로 설계를 완성한 후 Cadence사의 Virtuoso Layout Editor 등의 디자인 툴을 활용하여 2012년 8월 1일부터 2012년 9월 10일 사이에 신청인이 독자적인 기술로 창작하였으며, 2012년 10월 10일부터 대만에 위치한 CSMC사의 0.18um Mixed CMOS 공정을 사용하여 시제품을 제작중이다.	Others	20121129		20121207	한국전기연구원 대표자 김호용

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2270	SN420NL	SN-420NL은 영국 재규어 랜드로버 차량에 사용되어질 수 있도록 설계, 생산된 Box형 Navigation제품으로 자체 진단기능을 기본으로 탑재하고 있음 또한 CAN(CarAreaNetwork)망을 이용하여 재규어 랜드로버차량과 통신 가능하도록 설계되었으며 이 기능을 이용하여 재규어 랜드로버 차량내의 주요 부분에 대한 고장 진단 정보 혹은 SN-420 자체진단결과를 차량 내 디스플레이장치에 표시할 수 있도록 제작되었음 800*480(WGA)해상도에서 고사양의 3D 지도를 원활이 구동할 수 있도록 텔레칩스사의 고성능 CPU인 TCC8801(Core-Tex A8 800MHz) 및 512Mbyte의 DDR2Ram을 장착하였음 또한 터널,고가 및 지하 주차장 등의 GPS 음영지역에서도 길안내 기능을 원활이 수행하기 위함 미국 Trimble 사의 최신 3D 자이로를 탑재하고 있음.	Others	20120709	20120825	20130117	지엔에스디 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2271	SN430NL	SN-430NL은 영국 재규어 랜드로버 차량에 사용되어질 수 있도록 설계, 생산된 Box형 navigation 제품으로 자체 진단 기능을 기본으로 탑재하고 있으며, 또한 CAN(Car Area Network) 망을 이용하여 재규어 랜드로버 차량과 통신 통신 가능하도록 설계되었고, 이 기능을 이용하여 재규어 랜드로버 차량내의 주요 부분에 대한 고장 진단 정보 혹은 SN-430 자체 진단 결과를 차량내 디스플레이 장치에 표시하거나 차량 외부 진단기에서도 진단결과를 수집할 수 있도록 구현한 것으로, 800×480(WGA) 해상도에서 고사양의 3D지도를 원활히 구동할 수 있도록 텔레칩스사의 고성능 CPU인 TCC8801(Core-Tex A8 800MHz) 및 512Mbyte의 DDR2 Ram을 장착하였으며, 또한 터널, 고가 및 지하 주차장 등의 GPS 음영 지역에서도 길 안내 기능을 원활히 수행하기 위한 미국 Trimble 사의 최신 3D 자이로를 탑재하고 있고, High-Speed Can 통신을 이용하여 GPS 위치 정보를 PCV(Phone Connection View) 장치로 전송 가능한 것입니다.	Others	20121010	20121223	20130214	지엔에스디 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2272	2013DG8b2GSps0 13 ADC	본 설계에서는 4G 이동통신에 적용되는 핵심기술인 SDR(softwaredefinedratio)에서 요구하는 수백 MHz~수GHz의 고속 변환속도를 갖는 저전력 8bADC를 제안한다. Folding ADC의 경우 flashADC의 고속 병렬처리 장점을 유지하면서 상, 하위분리구조를 사용하여 비교기의 수를 크게 줄임으로써 저전력, 소면적 특성을 지닌다. 제안하는 ADC는 0.13um 1P6M CMOS공정으로 제작되었으며 layout은 Analog 신호왜곡을 최소화하기 위해 각각의 Sub-block이 한쪽방향으로만 신호처리가 가능하도록 배치되었으며, Digital신호에 의한 Analog 신호의 간섭을 최소화하기위해 Guard-ring으로 각각의 Block 및 Core를 분리하여 배치하였다. 그리고Folding amp array의 신호처리 과정에서 서로 다른 위치의 신호들이 한 amp로 인가되면서 Metal routing에대한 기생성분의 캡이 발생하여, 원하는 주파수동작을 위한 Settling time에 영향을 주게된다.따라서 제안한 Folding amp routing방식으로이러한 문제를 극복하였다. 또한 상위 3-bit 변환기와 하위 5-bit 변환기간의 신호간섭을 최소화하기 위해 각각의 Core를 분리하여 배치하였으며, 이때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 또한 Time-Interleaved에서 발생할 수 있는 Clock Timing Error를 최소화 하기 위해 각각의 Core에 인가되는 Clock Signal이 정확한 시간에도달할 수 있게Metal routing을 배치하였다. 2GS/s의 샘플링속도에서측정된 SNDR은 최대 49.2935dB 최소48.5628dB이다. 전체 칩면적은 7.4496mm2이며 소모전력은 1.2V의 단일 전원전압에서700mW 이다.	Analog and Digital Mixed Signal	20120831		20130225	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2273	2013DG12b500MSps013 DAC	Digital to Analog Converter(DAC)는 digital 신호를 analog 신호로 바꾸어 주는 기본적인 기능을 갖고 있다. 따라서 여러 system에 단품 소자로도 많이 사용되며 집적회로의 SoC경향에 맞추어 IP로써도 그 활용 가치가 매우 높다. 고속, 고해상도의 DAC는 대부분 우수한 성능의 전류원과 switch를 사용하는 전류구동(Current Steering)방식으로 상,하위 비트를 분할하여 사용하고 있다. 따라서 일반적으로 빠른 동작속도를 얻기 위해서는 칩의 외부에 있는 off-chip 저항 혹은 칩의 내부에 구현한 종단 저항(Termination Resistor)에 직접 전류를 인가하는 방식 (전류구동방식)을 사용하고 있다. 이러한 전류 구동방식의 DAC는 전류원과 이를 스위칭하는 회로의 성능이 DAC의 전체성능을 결정짓기 때문에, 이 부분의 회로설계가 매우 중요하다. 따라서 본 설계에서는 12-b500MSPS CMOS DAC는 Current Steering 구조를 상위 하위 모두 Full Matrix 방식으로 가져갔으며, 전체 블록내에서의 데이터들이 서로 정확히 동기화 될수 있도록 위상이 서로 다른 Clock1, Clock2로 입력 데이터와 블록내 데이터 그리고 최종 출력 데이터를 각각 동기화시켰다. Layout배치에서 크게 MSB Block과 LSB Block을 대칭적인 구조로 배치하였으며, Digital영역과 Analog영역의 내부 구조에서도 각각의 입력과 출력이 모두 같은 길이로 배치하여 공정상 발생하는 Delay와 위상차를 최소화하였다. 그리고Analog MSB Current Cell Array를 계단 형태로 나열하여 기존의 Current Cell 면적보다 축소시켰다. D/A 변환기의 레이아웃에 있어서 아날로그 신호와 디지털 신호의 간섭을 방지하기 위해 독립적인 전원 전압을 쓰도록 철저히 분리하여 구현하였고, 또한 기존의 DAC는 Termination저항을 칩외부에서 구현하였다. 제안하는 DAC는0.13um 1P7M CMOS 공정으로 제작되었다. 또한, 500MS/s의 샘플링속도에서 측정된 SFDR은 86.4dB, SNDR은 75.58dB이다. 전체 칩 면적은 0.45mm2이며 소모전력은 3.3V의 단일 전원 전압에서 200mW이다.	Analog and Digital Mixed Signal	20120624		20130225	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2274	2013DG8b2MSPS0 18 CMOS Image Sensor	본 설계에서는 CMOS 이미지센서(CIS)에서고속 동작을 위하여 기존의single slope ADC(SS-ADC)와는 다른 구조의 Cyclic ADC을 제안한다. 제안하는 CIS는 픽셀어레이, 컬럼 ADC, 메모리 등으로 구성된다. 픽셀 어레이는 QCIF급을 만족하기 위해 176×144개로 이루어져 있으며, 설계된 Cyclic ADC는 8-bit 해상도를 갖는다. 제안하는 Cyclic ADC는 pipelined 방식이 사용되어 1Cycle 마다 1bit 식코딩이 되어 총 8Cycle 순환되면서 8-bit의 디지털값을 출력한다. 따라서 기존의 SS-ADC보다 A/D변환 속도가 현저히 증가되었다. 제안한 CIS칩은 0.18㎛ CIS공정으로 제작되었으며 2.2um크기의 4TR 4shared active pixel sensor를 사용하였다. 아날로그 블록에서 스위치에 의한 신호 왜곡을 줄이기 위해 추가적으로 아날로그 버퍼와 Capacitor가 추가되었다. 비교기와 아날로그 버퍼에서 사용하는 OTA는 대칭성이 매우 중요하기 때문에 이를 고려하여 Transistor와 메탈 라인을 배치하였으며, 아날로그 블록과 디지털 블록을 각각 Guard-ring으로 분리시켜 신호의 간섭을 최소화하였다. 또한 Capacitor를 지나는 MetalLine을 제거하여 Capacitor와 MetalLine간의 간섭이 발생하지 않도록 레이아웃하였다.	Analog and Digital Mixed Signal	20121015		20130225	동국대학교 산학협력단
2275	Plastic Optical Fiber Transmitter	본 배치 설계는 디지털 오디오 신호 통신을 목적으로 고속으로 LED를 구동하는 광송신기 집적회로이다. 디지털 입력 신호는 LED의 광신호로 변환되어 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달된다.	Analog and Digital Mixed Signal	20111010		20130305	(주)인투칩스
2276	Plastic Optical Fiber Receiver	본 배치설계는 디지털 오디오 신호통신을 목적으로 광신호를 수신하여 디지털 출력을 내보내는 광수신기 집적회로이다. 광송신기에서 출력하는 광신호가 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달되면, 본 광수신기는 전달된 광 신호를 디지털신호로 전환하여 출력으로 내보낸다.	Analog and Digital Mixed Signal	20120508		20130307	(주)인투칩스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2277	KW-IPD-BALUN-2	발룬은 180도의 동일한 크기와 위상차(FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 잇는 중요한 소자이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로(IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해 확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다. 삽입 손실은 -0.35 dB 이하 단계 불균형은 4도와 진폭 불균형이 0.4이하이다. 총 칩 크기 0.73*1.69mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2278	KW-IPD-Balun-3	발룬은 180도의 동일한 크기와 위상차 (FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 있는 중요한 소자이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로(IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해 확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다(WLAN). 삽입 손실은 -0.42 dB 이하 단계 불균형은 3.8도와 진폭 불균형이 0.43 이하 이다. 총 칩 크기 0.69*1.1mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2279	KWU-IPD-POWER DIVIDER-1	마이크로웨이브 회로디자인 영역에서 분배기는 하나의 신호가 둘로 나뉘어지는데 사용된다. 디자인된 분배기는 SI GaSa에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2011 시뮬레이터에 의해 확인할 수 있다. GSM과 WLAN에서 1.8GHz와 2.4GHz 주파수에 응용가능하며 우수한 성과를 가진 분배기이다. 삽입 손실은 전형적으로 -1.30 dB이고 입력과 출력의 복귀 손실은 각각 -20dB 이하이다. 총 칩 크기 1.0 * 1.0mm2이다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2280	KW-IPD-Balun-4	발룬은 180도의 동일한 크기와 위상차(FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 있는 중요한 소자이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로(IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해 확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다(WLAN). 삽입 손실은 -0.31 dB 이하 단계 불균형은 3.2도와 진폭 불균형이 0.52 이하이다. 총 칩 크기 1.43 * 0.75 mm2 이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2281	KW-IPD-Balun-5	발룬은 180도의 동일한 크기와 위상차 (FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 있는 중요한 소자이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로 (IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해 확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다(WLAN). 삽입 손실은 -0.38dB 이하 단계 불균형은 4도와 진폭 불균형이 0.42이하이다. 총 칩 크기 1.72 * 0.75 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2282	KW-IPD-Balun-6	발룬은 180도의 동일한 크기와 위상차 (FEMs)를 가진 다른 포트에서 전력을 결합하거나 분할하는 프런트 엔드 단위에 있는 중요한 소자이다. 디자인된 발룬은 Nano ENS Inc. SI GaAs에 의하여 집적 수동소자로 (IPD) 디자인된다. 디자인된 발룬은 Agilent에 의하여 ADS 시뮬레이터에 의해 확인된다. 무선 근거리 네트웍을 우수한 성과를 얻을 수 있다(WLAN). 삽입 손실은 -0.38dB 이하 단계 불균형은 3.25도와 진폭 불균형이 0.35이하이다. 총 칩 크기 1.07 * 0.67 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2283	KW-IPD-LPF-2	저주파통과필터는쓸모없는신호를통과하고고조파를 삭제하거나약하게하는전기회로에잇는아주근본적인 소자이다. 디자인된 저주파통과 필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 저주파통과필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WiMAX에서 응용가능하며 우수한 성과를 가진 저주파 통과 필터이다. 삽입 손실은 전형적으로 -0.48dB이고 복귀 손실은 -26dB 이하이다. 감쇄수준은 -23.5미만 dBc이다. 총 칩 크기 1.04 * 0.45 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2284	KW-IPD-LPF-3	저주파 통과 필터는 쓸모 없는 신호를 통과하고 고조파를 삭제하거나 약하게 하는 전기 회로에 있는 아주 근본적인 소자이다. 디자인된 저주파통과필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 저주파통과필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WiMAX에서 응용가능하며 우수한 성과를 가진 저주파 통과 필터이다. 삽입 손실은 전형적으로 -0.32 dB이고 복귀 손실은 -23 dB 이하이다. 감쇄수준은 -21.2 미만 dBc이다. 총 칩 크기 1.31 * 0.65 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2285	KW-IPD-HPF-2	고주파 통과 필터의 업무는 저주파 통과 필터의 반대이다. 고주파 통가 필터의 유도 및 전기 용량 버전은 그들의 각각 저주파 통과 필터 디자인의 다만 반대이다. 디자인된 고주파통과 필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 고주파통과필터는 Agilent 에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WiMAX에서 응용가능하며 우수한 성과를 가진 고주파 통과 필터이다. 삽입 손실은 전형적으로 -0.58 dB이고 복귀 손실은 -26dB이하 있다. 감쇄수준은 -23미만 dBc이다. 총 칩 크기 1.31 * 0.68mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2286	KW-IPD-Divider-3	마이크로웨이브 회로디자인 영역에서 분배기는 하나의 신호가 둘로 나뉘어지는데 사용된다. 결합기와 분배기는 서로 상호 대칭관계이기 때문에 그 역할이 같다고 볼수 있다. 디자인된 결합기는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. DCS Band에서 응용 가능하며 우수한 성과를 가진 결합기이다. 삽입 손실은 전형적으로 -0.38dB이고 입력과 출력의 복귀 손실은 각각 -24dB -25.2 dB 이하이다. Isolation은 -20dB이다. 총 칩 크기 1.31 * 0.65 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2287	KW-IPD-Divider-2	마이크로웨이브 회로디자인 영역에서 분배기는 하나의 신호가 둘로 나뉘어 지는데 사용된다. 결합기와 분배기는 서로 상호 대칭관계이기 때문에 그 역할이 같다고 볼수 있다. 디자인된 결합기는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. DCS band에서 응용 가능하며 우수한 성과를 가진 결합기이다. 삽입 손실은 전형적으로 -0.41dB이고 입력과 출력의 복귀 손실은 각각 -22.8dB -25.4dB 이하이다. Isolation은 -22dB이다. 총 칩 크기 1.17 * 0.65 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2288	KW-IPD-BPF-5	밴드패스필터는 특정주파수만 통과하는 장치이다. 아날로그 밴드패스필터는 RLC 회로이다. 그것은 또한 고주파 통과 필터와 저주파 통과 필터를 결합해서 만들 수 있다. 디자인된 밴드패스필터는 GaAs 기판의 IPD 방식으로 디자인 하였다. 디자인된 밴드패스필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에 응용가능하며 2.4GHz 중심 주파수중심에 -38.6dB의 band rejection과 -0.9dB의 band losses의 성능을 지닌다. 총 칩 크기 1.11 * 0.62mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2289	KW-IPD-BPF-4	밴드패스필터는 특정주파수만 통과하는 장치이다. 아날로그 밴드패스필터는 RLC 회로이다. 그것은 또한 고주파 통과 필터와 저주파 통과 필터를 결합해서 만들 수 있다. 디자인된 밴드패스필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 밴드패스필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에 응용가능하며 2.43 GHz 중심 주파수 중심에 -35 dB이상의 band rejection과 -1.3dB의 band losses의 성능을 지닌다. 총 칩 크기 1.09 * 0.69 mm2 이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2290	KW-IPD-BPF-3	밴드패스필터는 특정주파수만 통과하는 장치이다. 아날로그 밴드패스필터는 RLC 회로이다. 그것은 또한 고주파 통과 필터와 저주파 통과 필터를 결합해서 만들 수 있다. 디자인된 밴드패스필터는 GaAs 기판의 IPD 방식으로 디자인 하였다. 디자인된 밴드패스필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에 응용가능하며 2.3 GHz 중심 주파수 중심에 -40dB이상의 band rejection과 -0.8dB의 band losses의 성능을 지닌다. 총 칩 크기 1.14 * 0.78mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단
2291	KW-IPD-BPF-2	밴드패스필터는 특정주파수만 통과하는 장치이다. 아날로그 밴드패스필터는 RLC 회로이다. 그것은 또한 고주파 통과 필터와 저주파 통과 필터를 결합해서 만들 수 있다. 디자인된 밴드패스필터는 Nano ENS Inc. SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 밴드패스필터는 Agilent에 의하여 ADS 2008 시뮬레이터에 의해 확인할 수 있다. WLAN에 응용가능하며 2.4GHz 중심 주파수 중심에서 -40dB이상의 band rejection과 -1dB의 band losses의 성능을 지닌다. 총 칩 크기 0.98 * 0.76 mm2이다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2292	KWU-IPD-BPF-14	본 설계도면은 수동소자 집적회로기술을 사용한 miniaturized hairpin 구조의 대역통과 필터이다. 본 회로는 UWB-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 6.8GHz이며 반사계수는 -40dB통과계수는 -0.5dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인하였으며 사이즈는 1.5 * 5.0mm2를 가진다.	Analog and Digital Mixed Signal	20120228		20130430	광운대학교 산학협력단
2293	KWU-IPD-BPF-15	본 설계도면은 수동소자 집적회로기술을 사용한 miniaturized rectangular open-loop 구조의 대역통과 필터이다. 본 회로는 UWB-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 7.7GHz 이며 반사계수는 -35dB 통과계수는 -0.5dB이다. 본 디자인은 ADS 디자인 프로그램으로 디자인 하였으며 사이즈는 2.2 * 5.0 mm2를 가진다.	Analog and Digital Mixed Signal	20120229		20130430	광운대학교 산학협력단
2294	KWU-HYBRID-DUAL-BAND-BPF-3	본 설계도면은 microwave wireless receiver에 응용가능한 multi band 특성의 대역통과 필터이다. 공진 주파수는 2.5, 5.1 GHz 이며 반사계수는 -18.8, -19.33dB 통과계수는 -0.7,-1.02 dB이다. 본 디자인은 ADS 디자인 프로그램으로 디자인 하였으며 사이즈는 27 * 9 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2295	KWU-HYBRID-C-BAND-BPF-1	본 설계도면은 microwave wireless receiver에 응용가능한 C band 특성의 대역통과 필터이다. 공진 주파수는 6.0GHz 이며 반사계수는 -15.8dB 통과계수는 -0.7dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 13.8 * 8.6mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2296	KWU-HYBRID-TRI-BAND-BPF-2	본 설계도면은 microwave wireless receiver에 응용가능한 tri multiband 특성의 대역통과 필터이다. 공진 주파수는 2.5, 3.5, 6.0 GHz 이며 반사계수는 -17.0dB 통과계수는 -0.50dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 47.7 * 13.5 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2297	KWU-IPD-X-BAND-BPF-1	본 설계도면은 수동소자 집적회로기술을 사용한 miniaturized hairpin 구조의 대역통과 필터이다. 본 회로는 UWB-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 10GHz이며 반사계수는 -38.6dB 통과계수는 -1.3dB이다. 본 디자인은 ADS 디자인프로그램을 디자인 하였으며 사이즈는 3.7 * 2.4mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2298	KWU-IPD-DUAL-BAND-BPF-1	본 설계도면은 수동소자 집적회로기술을 사용한 multi band 특성의 대역통과필터이다. 본 회로는 UWB-밴드 GHz 대역의 통신대역에 사용가능하다. 공진 주파수는 12, 15.6GHz이며 반사계수는 -17.8dB 통과계수는 -1.3dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 4.0 * 2.3 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2299	KWU-HYBRID-DUAL-BAND-BPF-1	본 설계도면은 multi band 특성의 대역통과 필터이다. 공진 주파수는 2.5, 5.1 GHz 이며 반사계수는 -18.8dB 통과계수는 -0.7dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 27 * 9 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2300	KWU-HYBRID-DUAL-BAND-BPF-2	본 설계도면은 microwave wireless receiver에 응용가능한 multi band 특성의 대역통과 필터이다. 공진 주파수는 2.5, 5.4GHz이며 반사계수는 -28dB 통과계수는 -0.78dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 27 * 21 mm2 를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2301	KWU-HYBRID-TRI-BAND-BPF-1	본 설계도면은 microwave wireless receiver에 응용가능한 tri multiband 특성의 대역통과 필터이다. 공진 주파수는 3.7, 4.0, 5.7GHz이며 반사계수는 -33dB 통과계수는 -0.55dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 44 * 30 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2303	KWU-IPD-GSM LPF-1	저주파통과필터는쓸모없는신호를통과하고고조파를 삭제하거나약하게하는전기회로에있는아주근본적인 소자이다. 디자인된 저주파통과 필터는 SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 저주파통과 필터는 Agilent에 의하여 ADS 2011 시뮬레이터에 의해 확인할 수 있다. GSM에서 응용가능하며 우수한 성과를 가진 저 주파 통과 필터이다. 삽입 손실은 전형적으로 -1.0dB이고 복귀 손실은 -25dB이하 있다. 감쇄 수준은 -25 미만 dBc이다. 총 칩 크기 1.0 * 1.0 mm2이다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2304	KWU-IPD-POWER DIVIDER-2	마이크로웨이브 회로디자인 영역에서 분배기는 하나의 신호가 둘로 나뉘어지는데 사용된다. 디자 인된 분배기는 SI GaAs에 의하여 IPD 방식으로 디자인 하였다. 디자인된 결합기는 Agilent에 의하여 ADS 2011 시뮬레이터에 의해 확인할 수 있다. GSM에서 0.9GHz 와 1.8GHz 주파수에 응용가능하며 우수한 성과를 가진 분배기이다. 삽 입 손실은 전형적으로 -1.0dB이고 입력과 출력 의 복귀 손실은 각각 -25dB 이하이다. 총 칩 크기 1.0*1.0mm2이다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2305	KWU-IPD-WLAN BPF-1	본 설계도면은 수동소자 집적회로기술을 사용한 miniaturized hairpin 구조의 대역통과 필터이 다. 본 회로는 WLAN-밴드 2.4GHz 대역의 통 신대역에 사용가능하다. 공진 주파수는 2.4 GHz이며 반사계수는 -30dB 통과계수는 -0.5dB이다. 본 디자인은 ADS 2011 디자인 프로그램으로 디자인 하였으며 사이즈는 2.0 * 1.0 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단
2306	KWU-IPD-LTE COUPLER-1	본 설계도면은 수동소자 집적회로 기술을 사용한 intertwined 구조의 커플러이다. 본 회로는 LTE 870 MHz 대역의 통신대역에 사용가능하 다. 커플링 주파수는 870 MHz 이며 반사계수 는 -24.32dB 통과계수는 -3.43dB이다. 본 디 자인은 ADS 디자인프로그램으로 디자인 하였으 며 사이즈는 2.0 * 1.0 mm2를 가진다.	Analog and Digital Mixed Signal	20120506		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2307	KWU_HBD_DUAL-BAND_BPF_1	본 설계도면은 microwave wireless receiver에 응용가능한 multi band 특성의 대역통과 필터이다. 공진 주파수는 3.88, 5.35 GHz 이며 반사계수는 -24.28, -19.33dB 통과계수는 -0.38, 1.03dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 26 * 10.6mm2를 가진다.	Analog and Digital Mixed Signal	20121206		20130430	광운대학교 산학협력단
2308	KWU-HYBRID-SINGLE BAND BPF-1	본 설계도면은 coplanar waveguide asymmetrically fed modified interdigital capacitor 구조의 대역통과 필터이다. 본 회로는 C 대역의 통신대역에 사용가능하다. 공진 주파수는 4.9GHz이며 반사계수는 -28dB 통과계수는 -0.3dB이다. 본 디자인은 SONNET 디자인 프로그램으로 디자인 하였으며 사이즈는 6.6 * 25mm2를 가진다.	Analog and Digital Mixed Signal	20130204		20130430	광운대학교 산학협력단
2309	KWU-HYBRID-DUAL BAND BSF-1	본 설계도면은 microwave wireless receiver에 응용가능한 multi band 특성의 대역저지 필터이다. 공진 주파수는 3.16, 8.77GHz 이며 반사계수는 -29.83, -23dB이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 20 * 6.4 mm2를 가진다.	Analog and Digital Mixed Signal	20130110		20130430	광운대학교 산학협력단
2310	KWU-HYBRID-TRIPLE BAND BSF-2	본 설계도면은 microwave wireless receiver에 응용가능한 multi band 특성의 대역저지 필터이다. 공진 주파수는 2.42, 6.47GHz이며 반사계수는 -23.52, -18.58dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 20 * 6.4 mm2를 가진다.	Analog and Digital Mixed Signal	20130128		20130430	광운대학교 산학협력단
2311	KWU_HBD_C-BAND_BPF_1	본 설계도면은 microwave wireless receiver에 응용가능한 대역통과 필터이다. 공진 주파수는 C-band 응용주파수 이며 반사계수는 -18.78dB 통과계수는 -1.55dB 이다. 본 디자인은 ADS 디자인프로그램으로 디자인 하였으며 사이즈는 8.88 x 12.54mm2를 가진다.	Analog and Digital Mixed Signal	20121114		20130430	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2312	X-band GaN HEMT MMIC Low Noise Amplifier	TriQuint 0.25um GaN HEMT 저잡음증폭기로서, 동작 주파수는 9.7~12.9GHz, 이득은 20~26dB, 잡음지수는 1.7~2.1dB, 칩크기는 1.7mm * 0.8mm	Analog and Digital Mixed Signal	20120301		20130624	한국전자통신연구원
2313	ku-band GaN HEMT MMIC Power Amplifier	TriQuint 0.25um GaN HEMT 라이브러시 전력증폭기, 동작주파수 12GHz 17GHz,출력전력은 10급임. 칩크기는 2.6mm	Analog and Digital Mixed Signal	20120301		20130624	한국전자통신연구원
2315	2013HYPKGBUCKDB013 FULLY-INTEGRATED BUCK CONVERTERS	본 설계에서는 패키징 인덕터를 이용하는 완전 집적화된 DC-DC BUCK 컨버터를 제안한다. 제안된 회로는 출력단 필터를 구성하는 인덕터와 커패시터의 사이즈를 줄이기 위해 50MHz의 고속 스위칭 주파수를 이용하며, 패키징 인덕터와 MIM 커패시터를 이용하여 LC 필터를 구성하였다. 또한 고속 동작에 의해 전원부가 심하게 흔들리는 것을 방지하기 위해 디커플링 커패시터도 포함하게끔 레이아웃 하였다. 총 면적은 5mm × 5mm 이고 코어의 면적은 3.85mm × 3.85mm 이다.	Analog and Digital Mixed Signal	20120507		20130611	한양대학교 에리카산학협력단
2316	2013HYCP3OUTDB013 CHARGE PUMP	본 설계에서는 RGB LED 구동을 위한 다수의 출력을 가지는 전류모드 전하펌프 구조를 제안한다. 제안된 회로는 하나의 전하펌프 회로에서 시분할(time-division) 방식을 이용하여 RGB LED 구동을 위한 다수의 출력을 생성한다. 제안된 회로는 3개의 출력을 생성하기 위해 요구되는 3개의 플라잉(flying) 커패시터를 하나로 줄일 수 있도록 레이아웃 되었다. 제안된 전하펌프는 출력의 형태가 LED 구동을 위한 전류방식이고, 전류 정의를 위한 기존의 전압 전하펌프 방식과 달리 시리즈 전류 레귤레이터를 이용하지 않고 전류감지회로를 이용할 수 있게끔 레이아웃 되었다. 총 면적은 3mm × 5mm이고 코어의 면적은 1mm × 1.72mm 이다.	Analog and Digital Mixed Signal	20130102		20130611	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2317	2013HY1P5M011I NV DELTA SIGMA MODULATOR	A single stage inverter is introduced as a replacement for the conventional OTA to implement a inverter-based delta-sigma modulator. It achieves a high power and area efficiency. However, the low DC-gain and gain-bandwidth (GBW) have limited the application. this desigh proposes a cascaded-inverter to increase the DC-gain and GBW, while maintaining the advantages of conventional circuits. By cascading three inverters, the inverter DC-gaing is increased from 44 dB to 82 dB, and the GBW is increased from 100 MHz to 697 MHz. A third-order delta-sigma modulator using the proposed cascaded-inverter has been fabricated in a 0.11-um CMOS process. When operating from a 1.2-V supply and clocked at 80MHz, the prototype modulator achieves 62.2-dB peak SNDR over 500-kHz signal bandwidth while consuming 249uW. Measurement results demonstrate that the application of the inverter-based amplifier, which is becoming popular due to its high power efficiency, can be extended to significantly higher speed circuits. the chip size is 215um × 255um.	Analog and Digital Mixed Signal	20120512		20130611	한양대학교 에리카산학 협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2318	2013SG10b50MSps90n Skinny Type ADC	제안하는 ADC는 CIS 응용을 위해 필요한 배치를 탄력적으로 선택할 수 있도록 한 방향으로 제한된 폭을 가지며 10비트 50MS/s로 동작하는 4단 파이프라인 구조를 사용하였다. 다양한 CIS 응용을 위해 넓은 가변 입력신호 범위를 처리하도록 설계하였으며, 전력소모 및 면적을 감소시키기 위해 첫 번째 및 두 번째 단 MDAC의 증폭기를 하나만 사용하는 증폭기 공유기법을 적용하였다. 또한, 마지막 단을 제외한 각 단의 FLASH ADC는 3비트를 처리하므로 래치만으로 비교기를 구성하였으며, 전력소모 및 면적의 추가적인 감소를 위해 두 번째 및 세 번째 단 FLASH ADC의 저항열을 공유하였다. 4비트의 해상도를 가지는 마지막 단의 FLASH ADC는 모든 가변 입력신호 범위에 대하여 안정적인 비교동작을 할 수 있도록 프리앰프와 래치로 비교기를 구성하였다. 기준전류 및 전압회로에서는 각 입력신호 범위에 대하여 외부로부터 인가되는 하나의 전압만을 기반으로 공통모드전압이 일정한 가변 기준전압을 생성한다. 제안하는 ADC는 0.35um thick-gate-oxide 트랜지스터를 지원하는 90nm CMOS로 제작되었으며, 측정된 DNL 및 INL은 10비트에서 각각 최대 1.08LSB, 1.40LSB 수준을 보인다. 시제품 ADC의 칩 면적은 0.23mm2이며, 2.5V의 아날로그 전원전압, 1.2V의 디지털 전원전압에서 입력신호 범위에 따라 최소 16.6mW에서 최대 17.8mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20110703		20130805	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2319	2013SG12b100MSps011_R3 Hybrid Pipelined ADC	제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력소모 및 면적을 최적화하였다. 입력 단에서 SHA를 제거하고, 높은 주파수의 입력을 성능의 저하 없이 처리하도록 첫 번째 단에 통상적인 파이프라인 구조에서 사용하는 4비트 FLASH ADC 대신 2채널의 4비트 SAR ADC를 사용하였 다. 이때, 두 개의 잔류전압 증폭기와 하나의 MDAC에서 사용되는 모든 증폭기를 공유하여 전체 ADC에서 하나의 증 폭기만을 사용하였으며, 마지막 단 FLASH ADC에는 2단 구조의 sub-ranging 기법을 적용하여 전력소모 및 면적을 감소시켰다. 또한, SAR 동작 시 발생되는 기준전압 불안정 문제를 해결하기 위해 기준전압을 분리하고, 각 부하에 최적화한 설계를 통해 전체 기준전압 발생기에서 소모되는 전력을 최소화하였다. 제안하는 ADC는 0.11um 1P6M CMOS 공정으로 제작되었으며, 면적은 1.34mm2이고, 측정된 DNL 및 INL은 각각 0.38LSB, 1.21LSB의 최대값을 갖으며, 동적성능은 100MS/s의 동작속도에서 각각 최대 60.2dB의 SNDR과 69.5dB의 SFDR을 보여준다. 전력소모는 1.1V 전원 전압 및 100MS/s 동작속도에서 25.3mW이며, FoM은 0.30pJ/conv.이다.	Analog and Digital Mixed Signal	20121002		20130805	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2320	2013SG12b10MSps011_V1 SAR ADC	제안하는 ADC는 12비트 10MS/s의 사양을 가지면서 전력소모 및 면적을 최소화하기 위하여 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (7b-5b) 구조를 사용하는 동시에 공통모드전압 기반의 스위칭 기법을 적용하여 MSB 커패시터를 제거하며, 저항 열을 사용하여 하위 디지털 비트에서 필요로 하는 커패시터의 숫자를 최적화하여 면적 및 전력소모를 줄였다. 또한, DAC의 입력 샘플링 스위치에는 게이트-부트스트래핑 회로를 사용하여 온-저항을 결정하는 MOS 트랜지스터의 게이트-소스 전압을 일정하게 유지함으로써 입력을 왜곡 없이 샘플링하도록 하였다. 한편, 비교기는 3단 프리앰프를 적용하여 래치의 오프셋 및 킥-백 효과에 의한 글리치 에너지를 줄였으며, 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1.78LSB와 1.93LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 62.5dB와 71.6dB이다. 전체 칩 면적은 0.34mm2이며 소모전력은 1.2V의 단일전원전압에서 3.6mW이다.	Analog and Digital Mixed Signal	20120502		20130805	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2321	2013SG12b10MSps011_V2 Low Power SAR ADC	제안하는 ADC는 12비트 10MS/s의 사양을 가지면서 전력소모 및 면적을 최소화하기 위하여 증폭기를 사용하지 않는 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (7b-5b) 구조를 사용하는 동시에 공통모드전압 기반의 스위칭 기법을 적용하고, 저항열 을 사용하여 커패시터의 개수를 추가적으로 제거함으로써 전체 ADC의 전력소모 및 면적을 줄였다. 또한, 비교기는 2단 프리앰프를 적용하여 래치의 오프셋 및 킥-백 효과에 의한 글리치 에너지를 줄였으며, 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였다. 한편, D flip-flop 기반의 SAR 논리 회로는 작은 숫자의 소자를 사용하는 SR 래치로 대체함으로써 디지털 회로를 간소화시켰다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 .50LSB와 1.93LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 62.1dB와 71.7dB이다. 전체 칩 면적은 0.34mm2이며 소모전력은 1.1V의 단일전원전압에서 2.4mW이다.	Analog and Digital Mixed Signal	20120502		20130805	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2322	2013SG13b150MS ps45n ADC	제안하는 ADC는 4단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력소모 및 면적을 최적화하였다. 높은 주수의 입력신호를 요구되는 정확도로 샘플링 하기 위하여 SHA에서는 게이트-부트스트래핑 회로를 사용하였으며, 입력단 SHA 및 MDAC의 증폭기는 요구되는 DC이득 및 넓은 신호스윙을 얻기 위해 이득-부스팅 구조의 2단 증폭기를 적용하였다. 한편 추가적으로 전력소모 및 면적을 최적화하기 위하여 MDAC2와 MDAC3는 하나의 증폭기를 공유하였으며, 동일한 해상도를 가지는 인접한 Flash ADC2와 Flash ADC3는 기준전압 저항열을 공유하였다. 제안하는 ADC는 45nm CMOS 공정으로 제작되었으며, 면적은 0.62mm2이다. 시제품 ADC의 측정된 DNL 및 INL은 13비트 해상도에서 각각 최대 0.89LSB, 1.60LSB이며, 전체 ADC는 1.1V 전원전압에서 60.2mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20121031		20130805	서강대학교 산학협력단
2323	2013SGbuck18bcd DC-DC converter	본 설계에서는 모바일 응용을 위한 다상 스위칭 기반의 저잡음 PMW DC-DC buck converter를 제안한다. 제안하는 DC-DC buck converter의 다상 스위칭 기법은 출력단 트랜지스터의 고속 스위칭 동작에 의해 발생하는 기판 잡음 및 출력전압의 over-shoot 및 under-shoot와 같은 글리치 잡음을 최소화하기 위하여, 출력단 트랜지스터를 5개의 쌍으로 나누어서 순차적으로 스위칭 동작을 하도록 하였다. 한편 큰 출력전류를 높은 변환효율로 구동하기 위하여 펄스-폭-변조 제어 방식을 사용하였으며, 안정된 출력 전압을 얻기 위하여 Type-3의 보상 회로를 사용하였다. 제안하는 설계 기법을 적용하여 0.18um 1P6M BCD 공정으로 구현한 시제품 DC-DC buck converter의 면적은 0.28mm2이며, 측정된 최대 효율은 2.7V 입력전압 및 1.8V 출력전압에서 200mA를 구동할 때 93% 수준을 나타낸다. 측정된 Line regulation 및 Load regulation은 각각 0.04%/V 및 0.11%/A 이다.	Analog and Digital Mixed Signal	20120808		20130805	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2324	디지털 홀로그램의 보안을 위한 고성능 암호화 프로세서	웨이블릿 변환과 부대역의 패킷화를 이용한 암호화 방법을 이용하고, 적용된 암호화 기법은 웨이블릿 변환의 레벨과 에너지 값을 선택함으로써 다양한 강도로 암호화가 가능하다. 디지털 홀로그램의 암호화는 크게 두 부분으로 구성되는데 첫 번째는 웨이블릿 변환을 수행하는 것이고, 두 번째는 암호화를 수행하는 것이다. 고속의 웨이블릿 변환을 하드웨어로 구현하기 위해서 리프팅 기반의 하드웨어 구조를 제안하고, 다양한 암호화를 수행하기 위해서는 다중모드를 가지는 블록암호 시스템의 구조를 제안한다. 동일한 구조의 반복적인 연산을 통해서 수행되는 리프팅의 특성을 이용하여 단위 연산을 수행할 수 있는 셀을 제안하고 이를 확장하여 전체 리프팅 하드웨어를 구성하였다. 블록 암호시스템의 구성을 위해서 AES, SEED, 그리고 3DES의 블록암호화 알고리즘을 사용하였고 데이터를 최소의 대기시간(최소 128클록, 최대 256클록)만을 가지면서 실시간으로 데이터를 암호화 혹은 복호화시킬 수 있다.	Others	20130820		20130821	이윤혁
2325	고성능 컴퓨터 생성 홀로그램 프로세서	홀로그램 평면의 행 단위로 병렬 연산을 수행할 수 있는 구조를 가지고 있고, 한 행의 각 홀로그램 화소들이 독립적으로 연산될 수 있는 알고리즘을 이용하였다. 이러한 연산 방법을 통해서 홀로그램 생성 하드웨어서 가장 문제가 되는 메모리 접근량을 대폭 감소시킴으로써 하드웨어 처리능력의 실시간성을 대폭 향상시켰다. 제안한 하드웨어는 입력 인터페이스, 초기 파라미터 연산기, 홀로그램 화소 연산기, 라인 버퍼, 그리고 메모리 제어기로 구성된다. 제안한 하드웨어는 기존의 하드웨어와 동일한 처리 능력을 가지면서도 메모리 접근횟수는 약 20,000배 감소시킬 수 있었다.	Digital Logic	20130820		20130821	이윤혁
2326	2013SG_CMOS_PET_Detector_Sensor_with_Counter_Circuit	본 회로는 CMOS 공정을 사용하여 감마레이를 검출할 수 있는 PET Detector Sensor를 구현하였다. 바이어스 회로의 크기를 줄여 Fill-factor를 향상시켰으며 Sensor에서 검출한 photon의 개수를 세기 위해 별도의 Counter 회로를 추가하였다. 0.18μm Standard CMOS 공정을 사용하여 구현하였다.	Analog and Digital Mixed Signal	20130731		20130905	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2327	2013SG_1.8V_Temperature Sensor	1.8VTemperaturesensor가0.18-μmCMOStechnology를통해제작되었다.제작된회로는Time-Domain에서동작을한다.온도에따른PTAT의전압이InverterChain의Delay를변화시키고 Time-Domain Delta-Sigma Modulator를 통해서 Clock Reference와 비교하여 Digital Code를 출력하였다.	Analog and Digital Mixed Signal	20130219		20130905	서강대학교 산학협력단
2328	2013SG_LOWP_TEMPERATURE_TYPE_1	본 설계에서는 Low Power consumption을 구현하기 위한 회로도 이며, Time to Digital Converter를 이용한 Temperature sensor로 ?40~50℃까지 측정이 가능 하다.	Analog and Digital Mixed Signal	20130520		20130905	서강대학교 산학협력단
2329	2013SG_PET_Detector with adaptive circuit	본 설계는 photon 입력을 받아 avalanche 현상을 일으키는 pixel 부분 및 입력 된 photon의 숫자를 counting 하는 read out 회로와 각 pixel 별로 counting을 하는 회로로 이루어져 있다.	Analog and Digital Mixed Signal	20121114		20130905	서강대학교 산학협력단
2330	2012SG_1.2V_Temperature Sensor	1.2V Temperature sensor가 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 Time-Domain에서 동작을 한다. 온도에 따른 Serial Inverter Chain의 Delay 변화를 Time-Domain Delta-Sigma Modulator를 통해서 Clock Reference와 비교하여 Digital Code를 출력하였다.	Analog and Digital Mixed Signal	20121114		20130905	서강대학교 산학협력단
2331	2013SG_1.8V_DCO	본 설계에서는 전압에 따라 달라지는 Digital 값을 통해 Oscillator를 동작시키는 회로다. 동작 주파수는 1~3GHz의 범위를 가진다.	Analog and Digital Mixed Signal	20130219		20130905	서강대학교 산학협력단
2332	2013SG_1.442V_BANDGAPREFERENCE	1.442V Bandgap Reference Circuit이 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 온도 변화에 무관하게 일정한 전압 1.442V를 출력한다. 제작된 회로는 Replica OP-AMP를 이용하여, BJT 개수의 차이로 인해 발생하는 전압의 차이를 일정하게 만든다. Replica OP-AMP는 folded cascode 구조를 이용하여 가능한 넓은 Range와 저전력 소모 회로를 구현하였다. 이로서 온도 범위 ?40~120℃ 사이에서 Temperature coefficient 40.42ppm/℃를 만족한다.	Analog and Digital Mixed Signal	20130213		20130905	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2333	2013SG_14bitSAR ADC	1.8V를 공급 전압으로 하는 SAR ADC가 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 총 14bit의 구성을 가지고 있으며, 이 때문에 발생하는 과다한 capacitor 크기를 줄이기 위해 splin capacitor를 가져 8-6 bit 구조를 갖게 된다. 입력 전압 범위는 0~1.8V이며 Reference voltage는 1.8V, 동작 clock은 2MHz, Sampling rate는 50kS/s이다.	Analog and Digital Mixed Signal	20130520		20130905	서강대학교 산학협력단
2334	2013SG_12bitSAR ADC	본 설계에서는 고해상도의 저전력 및 소면적을 요구하는 시스템 응용을 위한 0.18um CMOS 12비트 SAR(Successive Approximation Resistor) ADC를 제안한다. 제안하는 SAR ADC는 저전력 및 소면적을 구현하기 위하여 Split capacitor 방법을 사용하였다. 전체 ADC는 저전력 및 소면적으로 구현하면서도 높은 performance를 유지하도록 설계하였다. 제안하는 12bit SAR ADC는 0.18um 1P6M CMOS 공정으로 제작되었다. 전체 칩 면적은 0.18mm2이다.	Analog and Digital Mixed Signal	20121112		20130905	서강대학교 산학협력단
2335	2013SG_Delta-Sigma Modulator	Delta-Sigma Modulator가 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 2nd order로 구성되어 있다. 2nd order DSM 구조를 채택함으로써 1st order DSM보다 over sampling rate 및 SNR에서 더 이득을 볼 수 있다. 1.8V의 전압을 입력받아 637uA의 전류를 소모한다. SNR은 83.4dB로 유효 bit 수는 13.6bit이다. 100kHz의 입력신호를 받아서 Sampling Frequency 25.6MHz로 동작한다.	Analog and Digital Mixed Signal	20130520		20130905	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2336	2013SG_1.8V_Buck Converter	1.8V Buck Converter가 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 Current-Mode로 동작을 한다. Inductor-Current Sensing은 Current-Sensing Circuit을 사용함으로써 소비전려과 칩 면적을 줄일 수 있었다. 3.6V의 전압을 입력받아 1.8V의 전압을 출력했다. Switching Frequency는 1MHz이며 최대 효율은 90%을 구현하였다.	Analog and Digital Mixed Signal	20121112		20130905	서강대학교 산학협력단
2337	2013SG_LOWP_TEMPERATURE_TYPE_2	본 설계에서는 Low Power consumption을 구현하기 위한 회로도 이며, Time to Digital Converter를 이용한 Temperature sensor로 -40~40℃까지 측정이 가능 하다.	Analog and Digital Mixed Signal	20130520		20130905	서강대학교 산학협력단
2338	LR359B4	본건 신청에 관한 회로 배치를 이용하여 제조한 LR359B4는, 핸디 게임기의 기능을 실현하기 위하여, ARM 프로세서 코어, TeakDSP코어, 3차원 그래픽스 코어, LCD 콘트롤러, 사운드 제네레이터, 메모리 콘트롤러, 카메라 I/F 등을 내장한 1칩 마이크로 컴퓨터를, CMOS를 이용하여 실현한 반도체 집적 회로로서, 신청자가 새롭게 그 회로 배치를 창작한 것입니다.	Microcomponent	20121019	20130123	20130903	샤프 가부시키가이샤
2339	LR359B3	본건 신청에 관한 회로 배치를 이용하여 제조한 LR359B3는, 핸디 게임기의 기능을 실현하기 위하여, ARM 프로세서 코어, TeakDSP코어, 3차원 그래픽스 코어, LCD 콘트롤러, 사운드 제네레이터, 메모리 콘트롤러, 카메라 I/F 등을 내장한 1칩 마이크로 컴퓨터를, CMOS를 이용하여 실현한 반도체 집적 회로로서, 신청자가 새롭게 그 회로 배치를 창작한 것입니다.	Microcomponent	20110908	20111216	20130903	샤프 가부시키가이샤

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2340	초저전력 100Gbps 트랜시버 IC 설계	최근 인터넷 트래픽의 증가와 저전력/친환경을 목표로 하는 데이터센터의 그린화추세는 저전력 100Gb/s 이더넷 시장의 성장을 촉진시키고 있다. 국외기관(기업)들이 기술을 선도하고 있는 시장 상황에서 KAIST 배현민교수연구팀은 국내 벤쳐회사인 (주)테라스퀘어와 협력하여 세계에서 성능이 가장 뛰어나면서도 전력소모는 1W 이하인 '초저전력 100G 트랜시버 IC'를 개발하였다. 이 IC는 통신용 모듈에 들어가는 핵심 반도체로 현재 세계 최고로 여겨지는 미국 브로드컴이나 인파이제품의 소비전력 대비 1/3 수준이며 기존의 제품들이 구현하지 못한 여러 다양한 기능을 구현하고 있다. 이 IC는 CFP4/QSFP28등 소형 저전력 모듈에 집적이 가능함으로써 데이터 센터의 그린화를 위한 해결방안이 될 수 있으며 현재 우수한 성능과 상업성을 전 세계 통신장비업계로부터 인정받은 상태이다.	Analog and Digital Mixed Signal	20130610		20131018	원효섭
2341	임베디드 CPU 회로	본 임베디드 CPU회로는 32-bit RISC CPU 코어로서 TSMC 65nm공정에서 SoC로 제작하여 동작 검증함.	Microcomponent	20130110		20131017	한국전자통신연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2342	Hybrid UHF RFID Sensor Tag Chip Design	본 센서 태그 칩은 무선으로 사물의 고유 정보를 주고받으며, 주변의 환경 정보(온/습도)를 센싱하여 기록 및 제어하고, 무선 전력 전송을 통해 Battery Assisted and Battery-less Mode로 동작 가능한 저 전력 하이브리드 센서 태그 칩이다. 본 칩은 장거리 인식거리를 바탕으로 물류 및 유통 관리 시스템에 적용 될 수 있을 뿐 아니라 온/습도 관리를 통한 SCCM(Smart Cold Chain Management) 및 가축의 개체 식별 및 질병 관리 등 다양한 분야에 적용 될 수 있다. 본 설계는 현재 물류 및 유통 관리 시스템에 가장 많은 Infra가 구축 되어있는 EPC C1 G2 의 호환성을 기반으로 동작되며, ISO/IEC 24753 기반의 센서 제어 기능 및 다양한 센서를 지원하기 위한 I2C Sensor Interface를 지원한다. 본 설계는 크게 RF & Analog, Digital Processor, Memory로 구성되며 RF & Analog 부분은 RF 신호에서 전력을 생성하는 Wireless Power Generator, RF 변복조를 수행하기 위한 De-modulator/Modulator, Current Controlled Calibration Oscillator, LDO Regulator 등으로 구성 되어있으며, Digital 부분은 EPC Class 1 Gen 2 Protocol, ISO/IEC 24753 기반의 센서 제어 기능, I2C Sensor Interface로 구성 되어있고, Memory 부분은 High Speed Short Time Non-Volatile Memory, 사물의 고유 정보를 저장하기 위한 Standard CMOS 공정 기반의 저 전력 Non-Volatile Memory, 온/습도 등의 환경 이력 정보를 저장하기 위한 16kbit의 대용량 Memory로 구성 되어있다. 특히 본 센서 태그 칩은 다양한 저 전력 설계 기법을 통해 Ultra Low Power로 구현 되었다.	Analog and Digital Mixed Signal	20121201		20131018	엘에스산전 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2343	2013HY4PHASEBUCKDB018 MULTI-PHASE BUCK	본 설계에서는 전류모드 multi-phase buck converter를 제안한다. 제안된 회로는 4A 이상의 높은 전류를 출력단에 공급하기 위해 다수의 인덕터를 사용하며, interleaved 방식으로 스위칭 이 이루어지기 때문에 출력 리플이 작고, transient 특성이 좋다. 개발된 회로는 four-phase 구조이기 때문에 네 개의 인덕터와 하나의 출력 커패시터가 사용되고, 이를 위한 각 phase별로 controller 회로를 가진다. 각 controller는 90도의 위상 차이를 가지고 동작하며, 출력 단에 네 개의 인덕터를 이용하여 각각의 위상마다 번갈아 가며 전류를 공급한다. 개발된 회로는 light load에서의 efficiency를 개선하기 위해 burst-mode 기능이 추가되어 있다. 설계된 IP는 BCD 0.18um 공정으로 레이아웃 되었고, PAD 포함된 총 면적은 3mm x 3mm 이다.	Analog and Digital Mixed Signal	20131014		20131021	한양대학교 에리카산학협력단
2344	2013HY2PHASEBUCKDB018 MULTI-PHASE BUCK	본 설계에서는 전류모드 multi-phase buck converter를 제안한다. 제안된 회로는 4A 이상의 높은 전류를 출력단에 공급하기 위해 다수의 인덕터를 사용하며, interleaved 방식으로 스위칭 이 이루어지기 때문에 출력 리플이 작고, transient 특성이 좋다. 개발된 회로는 two-phase 구조이기 때문에 두 개의 인덕터와 하나의 출력 커패시터가 사용되고, 이를 위한 각 phase별로 controller 회로를 가진다. 각 controller는 180도의 위상 차이를 가지고 동작하며, 출력 단에 두 개의 인덕터를 이용하여 각각의 위상마다 번갈아 가며 전류를 공급한다. 개발된 회로는 적은 부하전류의 변화도 감지 할 수 있도록 출력 전압의 변화를 sensing 하는 회로 및 출력 전압의 변화를 감지하여 load transient 응답 특성을 개선하는 기능이 추가되어 있다. 설계된 IP는 BCD 0.18um 공정으로 레이아웃 되었고, PAD 포함된 총 면적은 3mm x 3mm 이다.	Analog and Digital Mixed Signal	20131014		20131021	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2345	2013HY4MH25KBW Delta-Sigma Modulator	Anultra-lowpowerandsmallsizesingle-endeddelta-sigmamodulatorisdesignedfor acoustic sensor applications. In this study, CIFF structure is chosen, since it has the advantages of low output swing and low power consumption compare with other structures. Besides, In order to reduce the power consumption, the amplifier based-invertor work in weak inversion region is used. However, the output common-mode voltage is uncontrolled. In general, extra capacitors and switches are adopted to get the bias voltage, which makes the circuit more complex and also induces additional switching noise. Besides, The extra capacitor also significantly increase the chip area, since the area of modulator is dominated by capacitors instead of transistors. So an innovative common-mode control technique with only transistors is proposed to reduce the complexity of circuit and obtain high area efficiency. In all, an ultra-low power consumption and small-size is implemented for acoustic sensor applications.	Analog and Digital Mixed Signal	20131014		20131021	한양대학교 에리카산학 협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2346	2013UOS_16b_100ksps_Slew_Eenhanced_SDM	본 설계에서는 Slew enhancement technique을 이용하는 연산증폭기를 이용하는 100ksps Sigma Delta Modulator를 제안한다. 입력 전압이 큰 경우와 입력 전압의 부호가 Reference 전압과 반대일 경우에 적분기의 출력이 크게 변하기 때문에 큰 Slew Rate가 필요하게 된다. 반대로 말하면 입력전압이 작은 경우, 입력신호의 부호와 Reference 전압의 부호가 반대인 경우 적분기의 출력이 크게 변하지 않기 때문에 상대적으로 낮은 Slew Rate가 필요하다. Slew Rate가 필요한 구간에만 연산증폭기의 출력단에 흐르는 전류를 조절하여 전체적인 전류 소모를 줄이는 기법을 제안하였다. 또한 입력 전압의 차이를 판단하기 위해 Offset 전압을 갖는 Comparator를 이용하였다. 이러한 설계 기법을 적용한 2nd-Order Sigma-delta modulator는 0.18um BCD 공정으로 제작되었다. 전체 면적은 0.45mm2 이다. 전원 전압 2.0V에서 148uW 소모전력을 가지며, 93.16dB의 SDNR과 ENOB 15.2b을 갖는다.	Analog and Digital Mixed Signal	20130410		20131104	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2347	2013UOS_9b_500k sps_Cyclic_ADC	본 설계에서는 저전력, 소면적, 500ksps ADC를 제안한다. 기존의 Cyclic ADC가 가지고 있는 기본 블록인 SHA & MDAC을 하나의 적분기 구조로 융합한 구조이다. 적분기 하나로 SHA와 MDAC의 역할을 모두 수행하기 때문에 면적 및 전력 면에서 높은 효율을 보여준다. 첫 사이클은 SHA의 동작을 하며 이득이 1인 형태로 동작을 하게 된다. 나머지 사이클 동안에는 이득을 갖는 적분기 구조로 동작을 하며, Feedback 받는 신호를 이득을 갖고 적분을 하여 Multiply 기능을 수행하게 된다. 이로 인해 기존의 Capacitor 비율을 이용하여 이득을 갖는 방법보다 저항에 어레이에서 발생하는 전압을 갖고 Multiply 기능을 수행하기 때문에 면적에서 높은 효율을 나타낸다. 하나의 Digital Output을 나타내는데, 4-Cycle이 필요하며, 각각의 사이클동안 FADC에서 3bits를 Digital Code를 출력하게 되고, DCL(Digital Error Correction Logic) Bolck 에서 에러를 보정해준다. 이러한 설계 기법을 적용하여 65nm 1P6M CMOS 공정을 이용하여 전체 면적은 0.13mm2이다. 전원 전압 1.2V에서 전체 0.89mA를 사용하여, 500ksps에서 9b의 ENOB 성능을 나타내고 있다.	Analog and Digital Mixed Signal	20130705		20131104	서울시립대 학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2348	2013UOS_16b_100 ksps_SDM	본 설계에서는 저전력, 고해상도, 100ksps Sigma Delta Modulator를 제안한다. 2개의 적분기와 비교기 및 래치로 구성되어 있다. Sigma Delta Modulator에서 대부분의 전류는 연산증폭기에서 소모되므로 연산증폭기는 저전력 설계의 핵심이다. Switched-capacitor 적분기를 구성하는 연산증폭기의 이득은 62dB이며 2.5V 전원 전압에서 25uW의 전력을 소모한다. 설계에서 사용된 단일 비트 양자화기는 비교기와 래치로 구성되고, 비교기는 전체 회로가 클록 주파수에 의해 동작하는 다이나믹 동작을 하기 때문에 소모전력 면에서 매우 효율적이다. 이러한 설계 기법을 적용하여 설계된 Sima Delta Modulator는 0.18um BCD 공정을 사용하여 제작되었고, 전체 면적은 0.53mm2 이다. 전원 전압 2.5V에서 전체 180uW 소모전력을 가지며, 96.8dB의 SNR과 15.8bit의 ENOB 성능을 나타내고 있다.	Analog and Digital Mixed Signal	20130513		20131104	서울시립대 학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2349	2013UOS_15b_80sps_2nd_Integrating_Sigma-Delta_ADC	본 설계에서는 저전력, 소면적을 요구하는 Battery Management System에서 요구하는 15b 80sps 2nd-order Integrating Sigma-Delta ADC를 제안한다. 제안하는 ADC는 512 배의 OSR(Oversampling Ratio)을 갖으며, 2차의 Cascade 구조를 가지고 있다. 입력 및 적분기 출력에서 양자화기로 통하는 Feedforward path를 추가하여 적분기 입력신호 범위 제한을 최소로 하고 있다. 설계된 모듈레이터로부터 Parallel한 Digital Output을 얻기 위해 Serial Output을 출력하는 양자화기 뒷단에 2nd-Order Digital Filter를 포함하고 있다. 이는 양자화기 출력을 Filtering 및 Decimation을 하여 출력에서 High-Resolution&Low Data Rate를 얻을 수 있다. 이와 같은 Digital Filter는 10-bit 양방향 계수기 및 18-bit누산기를 이용하여 설계하였다. 제안하는 설계 기법을 적용하여 0.18um 1P4M CMOS 공정을 이용하여 전체 면적은 0.95mm2이다. 2.5V 전원 전압에서 전체 90uA를 소모하며, 80ksps에서 89dB의 SNDR을 보이며, 최대 14.5b의 ENOB 성능을 나태내고 있다.	Analog and Digital Mixed Signal	20130513		20131104	서울시립대학교 산학협력단
2350	2013HY04VDSMDB011 Delta-Sigma Modulator	본 설계는 0.4 V supply voltage의 전원으로 구동되는 저전압 Delta-Sigma modulator이다. 낮은 전압에서 스위치가 턴-온 되지 않는 문제를 해결하기 위하여 입력 스위치대신 저항을 사용하는 방식의 새로운 구조의 Delta-Sigma modulator이다. 총 면적은 0.8 mm x 1.1 mm 이고 코어의 면적은 0.5 mm x 0.65 mm 이다.	Analog and Digital Mixed Signal	20130802		20131111	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2351	2013SGCFIA20b018	본 설계에서 제안하는 Current Feed back Instrument Amplifier(CFIA)와 델타 시그마 ADC의 시제품은 0.18um CMOS 공정으로 제작되었다. CFIA는 센서 인터페이스로 신호처리를위한 ADC 전 처리기 및 버퍼 역할을 함으로써ADC에 안정적으로 증폭된 신호를 제공한다. 또한 쵸핑 기술을 통해 회로의 offset을 제거한다. CFIA는 아날로그 회로로 이루어져 있다. 델타-시그마 ADC는 SC방식의 3차 단일 루프 단일 출력 구조를 가진다. ADC는 3차의 구조를 사용함으로서 늘어나는 소비전력을 보상하기 위해, OP AMP의 바이어스 스위칭 기법을 사용하여 기존의구조보다 약 25%의 소비전력을 감소시킬 수 있었다. 패드를 제외한 회로의 면적은 1.46㎟(2.06㎜×0.71㎜)이다. 제안하는 CFIA와 ADC는 1.8V 전원 전압에서 50Hz 대역폭에 대하여 102.4kHz의 clock 주파수를 사용하고 0.85mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20130210		20131119	서강대학교 산학협력단
2352	2013HYPJW 2-PHASE BUCK	본 설계에서는 EMI효과를 줄이기 위한 buck converter를 제안한다. 제안된 회로는 디지털 로직에 의해 제어되는 컨트롤 신호를 이용하여 일정 주파수범위내에서 가변하는 신호를 발생시킨다. 이 신호를 이용하여 buck converter의 출력단에서 발생하는 noise spectrum을 분산하여 출력단 에서의 noise power를 감쇄시킨다. 따라서 주변회로에 미치는 EMI 영향을 줄일수 있다. 또한 가변하는 동작 주파수로 인해 출력단의 리플전압이 커지게 되는데 interleaved 방식의 2-phase buck converter 구조를 이용하여 발생하는 리플을 최소화 시켰다. 설계된 IP는 BCD 0.35um 공정으로 레이아웃 되었고, PAD 포함된 총 면적은 2.5mm x 2.5mm 이다.	Analog and Digital Mixed Signal	20131106		20131111	한양대학교 에리카산학 협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2353	2013HY1P5M011D BCTADC	본 설계에서는 고속에서 동작하는 연속 시간 델타-시그마 모듈 레이터를 제안한다. 제안된 델타-시그마 모듈 레이터는 320MHz 샘플링 주파수와 10MHZ의 신호대역으로 70dB의 성능을 얻었다. 0.11 standard CMOS공정으로 설계되었으며 동작 전압은 1V로 설계하였다. 고속의digital data를 처리하기 위해서 주파수를 쉬프트 레지스터를 사용하여 53MHZ로 줄이고 패드와 연결될 때 큰 버퍼를 사용하여 드라이빙을 할 수 있도록 레이아웃하였다. 모듈레이터의 구조는 3차 적분기와 4-bit 양자화기를 사용하여 잡음 성형을 이루어 10MHz 신호대역에서 고해상도를 얻고자 하였다. 이때 3차 적분기의 계수는 저항과 커패시터로 이루어진다. 저항과 커패시터의 변화에 의한 성능저하를 보상하기위해 커패시터를 나열하고 외부에서 조절가능하도록 설계하고 레이아웃 하였다. PAD를 드라이브하는 버퍼단의 노이즈를 최소화하기위해 DNW을 사용하였으며 두꺼운 메탈로 Peak 전류가 흐르더라도 동작에 영향을 주지 않기 위해 메탈을 두껍게 레이아웃 하였다. 총 면적은 2.2mm x 2.2mm 이다.	Analog and Digital Mixed Signal	20130320		20131111	한양대학교 에리카산학 협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2354	2013SGDR85BDS M035 ADC	제안하는 delta-sigma ADC는 SC방식의 4차단일루프1.5비트출력의구조를가진다.200kHz의신호대역에서128의OSR(oversamplingratio)을사용하였다.제안하는ADC는동일클락주파수에서두배의OSR을사용하는더블샘플링구조를사용하였고,DAC에서사용하는커패시터의미스매치문제를해결하기위해fully-floating기법을이용하였다.1.5비트양자화기로인한미스매치문제는TDEM을사용하여해결하였다. 제안하는 ADC는 0.35um CMOS 공정으로 제작되었으며, 2.5V의 전원전압을 사용하였다. 회로의 면적은 0.756 ㎟ (1196.95 ㎛ × 0.633 ㎛)이다. 50MHz 클록 주파수에서 모의실험 한 결과 DR은 72.2dB이며, 아날로그 회로에서 소모하는 전력은 13.01mW, 디지털 회로에서 소모하는 전력은 1.94mW로 총14.95mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20130617		20131119	서강대학교 산학협력단
2355	2013SGDR90P1p1 VADSM45n	본설계에서제안하는ADC는45nmCMOS공정으로설계및제작되었다.본시제품은2.25-비트SARADC를포함하는2차피드-포워드구조의DSM으로구성되어있다.적분형DAC를사용하여DEM에가중되는부담을줄였으며,양자화기를SAR로구현하여추가적인전력소모를줄였다. 제안하는 DSM는 24kHz의 신호대역폭에서 최대 95.3dB 성능의 SNDR(signal-to-noise and distortion ratio)을 보이며, 1.1V의 전원에서 517.11uW의 전력을 소모한다. 패드를 제외한 회로의 전체 면적은 0.191mm2이다.	Analog and Digital Mixed Signal	20130503		20131119	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2356	2013SGDR90ADS M035 ADC	제안하는 delta-sigma ADC는 elecrtret condenser microphone(ECM)용으로 제작되었다. 제안하는 ADC는 bandgap 기준전압 회로를 하나의 칩에 집적하여 민감한 아날로그 핀들을 패키지 내부에 모두 집적하였으며, 2-1 MASH구조를 사용하여 고해상도의 성능을 보인다. 대중적으로 사용되는 ECM의 인터페이스를 맞추기 위해 2-1 MASH구조의 멀티-비트 출력을 단일-비트 출력으로 변환하는 디지털 후처리 과정을를 사용하였다. 제안하는 시제품 ADC는 0.35um CMOS공정으로 제작되었으며, 2.5MHz의 클락에서 64의 OSR을 사용할때 DR은 85.1 dB 이다. 1KHz, -3.7 dBFS의 입력 신호에 대해 SNR 및 SNDR은 각각 68.9 dB, 68.4 dB 의 수준을 보이며, 2.5V 전원전압에서 1.9mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20130617		20131119	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2357	2013_UOS_4V_10 mA_0.35um_Caple ss LDO	본 설계에서는 4.5V-17V로 인가되는 외부 전원전압을 내부회로를 구동하기 위한 4V의 전압으로 만들어주는 Low-dropout regulator를 제안한다. 내부회로 중에서 digital block을 제외한 모든 analog block을 구동하며, 적게는 100uA에서 많게는 10mA의 부하 전류를 구동한다. 기존의 2-stage LDO구조에 buffer stage를 error amp와 power stage 사이에 추가시킨 구조로, error amp의 output resistance와 power stage의 input capacitance를 낮춰서 non-dominant pole을 높은 주파수대역으로 이동시켜 회로가 안정적으로 동작할 수 있도록 했으며, no-load와 full-load에서 각각 69도, 77도의 phase margin을 갖는다. 전체 4.5V-17V의 외부 전원전압 조건에서 3mV의 변화율을 보이며, 100uA-10mA의 부하전류 조건에서 8mV의 변화율을 보인다. 10mA의 full-load 조건에서 순간적으로 외부전압이 4.5V-16V로 변할 때의 overshoot 전압은 30mV이고, 15V의 외부전압 조건에서 부하 전류가 10mA에서 5mA로 변할 때는 130mV의 overshoot 전압 특성을 보인다. CMOS 0.35um 3M1T 공정을 이용하였으며 전체 면적은 0.17mm2이다.	Analog and Digital Mixed Signal	20121113		20131121	서울시립대 학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2358	2013UOS_5V_10mA_1.0um_Capless LDO	본설계에서는외부Capacitor없이사용가능한 LowDropOut회로를제안한다.Pass트랜지스터를 P-Type대신에N-Type을사용하여Stability측면에서안정성을확보하였다.N-Type트랜지스터를 사용하게되면 LDO 출력단이 Common Drain Amplifier로 동작하기 때문에 Miller Effect에 의한 효과가 없어서 Error Amplifier의 출력 단에 작은 Capacitor가 보이게 된다. 따라서 P-Type 트랜지스터를 사용할 때보다 안정적이다. 본 설계에서 제안한 LDO는 Error Amplifier의 출력단에서 dominant pole과 LDO 출력에서 non-dominant pole이 발생하게 된다. 따라서 1차 시스템으로 고려되어 외부에 Capacitor 없이 사용이 가능하다. Error Amplifier의 Gain이 커야 LDO 출력 전압의 Error가 작기 때문에 첫 째단 Amplifier를 2 'stage로 구성하여 높은 Gain을 확보하였다. LDO의 출력단에 Load 조건이 0~10mA 변할 때와 입력 Line 전압이 8.8~16V로 변할 때 출력의 변화는 1mV 이내로 Regulation하는 결과를 얻었다. 또한 AC 시뮬레이션 결과 No load 조건일 때 Gain은 78dB, Phase margin 은 72° , Unity gain frequency는 853kHz이며, Full load 조건일 때 Gain은 78dB, Phase margin 은 86° , Unity gain frequency는 802kHz이다.	Analog and Digital Mixed Signal	20130423		20131121	서울시립대 학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2359	2013SG14b50MSps013 Dual-Mode ADC	제안하는 ADC는 high-end CIS 응용을 위해 이미지 모드의 14비트 50MS/s 및 비디오 모드의 10비트 70MS/s로 동작하는 듀얼 모드 ADC로 집적되었다. 본 ADC는 4단 파이프라인 구조를 가지며, 10비트 모드 시 마지막 단의 MDAC 및 FLASH ADC를 종료시켜 14비트 모드와 10비트 모드에서 동일한 입력 기준 잡음을 가지도록 하였다. 또한, 전력소모 및 면적을 감소시키기 위해 첫 번째 및 두 번째 단 MDAC의 증폭기를 공유하였으며, 추가적인 보정기법을 사용하지 않고 MDAC의 증폭동작과 FLASH ADC 동작 시 사용되는 기준전압 구동회로를 분리하여, 신호간섭에 의한 불안정 문제를 해결하였다. 제안하는 ADC는 0.35um thick-gate-oxide 트랜지스터를 지원하는 0.13um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 14비트 모드에서 각각 최대 0.79LSB, 2.54LSB 수준을 보이며, 10비트 모드에서 0.53LSB, 0.44LSB 수준을 보인다. 또한, 14비트 모드에서 50MS/s의 샘플링 속도로 측정된 SNDR 및 SFDR은 각각 최대 68.5dB, 86.7dB를 보이며, 10비트 모드에서 70MS/s의 샘플링 속도로 측정된 SNDR 및 SFDR은 각각 최대 60.9dB, 78.2dB를 보여준다. 시제품 ADC의 칩 면적은 1.17mm2이며, 3.3V의 아날로그 전원전압, 1.2V의 디지털 전원전압에서 14비트 50MS/s 모드와 10비트 70MS/s 모드에 따라 각각 192.9mW, 184.9mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20120910		20131126	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2360	2013SG13b200MS ps45n_R2 ADC	제안하는 ADC는 4단 파이프라인 구조를 사용하여 고해상도 및 높은 신호처리속도와 함께 전력소모 및 면적을 최적화하였다. 105MHz의 IF 주파수를 중심으로 60MHz 대역을 가지는 높은 주파수의 입력신호를 요구되는 정확도로 샘플링하기 위하여 SHA에서는 게이트-부트스트래핑 회로를 사용하였으며, 입력단 SHA 및 MDAC의 증폭기는 요구되는 DC 이득 및 넓은 신호스윙을 얻기 위해 이득-부스팅 구조의 2단 증폭기를 적용하였다. 한편 추가적으로 전력소모 및 면적을 최적화하기 위하여 MDAC2와 MDAC3는 하나의 증폭기를 공유하였으며, 동일한 해상도를 가지는 인접한 Flash ADC2와 Flash ADC3는 기준전압 저항열을 공유하였다. 제안하는 ADC는 45nm CMOS 공정으로 제작되었으며, 면적은 0.74mm2이다. 시제품 ADC의 측정된 DNL 및 INL은 각각 0.68LSB, 1.78LSB의 최대값을 갖으며, 동적성능은 100MS/s의 동작속도에서 각각 최대 59.4dB의 SNDR과 71.7dB의 SFDR을 보여준다. 전력소모는 1.2V 전원 전압에서 126.0mW이다.	Analog and Digital Mixed Signal	20130508		20131126	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2361	2013SG12b10MSps011_R2 SAR ADC	제안하는 ADC는 12비트 10MS/s의 사양을 가지면서 전력소모 및 면적을 최소화하기 위하여 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (7b-5b) 구조를 적용하여 사용되는 커패시터의 수를 획기적으로 줄였으며, 공통모드전압 기반의 스위칭 기법을 적용하여 MSB 커패시터를 제거하였다. 또한, 8개의 저항으로 구성된 저항 열에서 생성한 기준전압 세그먼트를 사용하여 하위 디지털 비트에서 필요로 하는 커패시터의 수를 최적화하여 면적 및 전력소모를 줄였다. 또한, DAC의 입력 샘플링 스위치에는 게이트-부트스트래핑 회로를 사용하여 온-저항을 결정하는 MOS 트랜지스터의 게이트-소스 전압을 일정하게 유지함으로써 넓은 입력신호를 왜곡 없이 샘플링하도록 하였다. 비교기는 3단 프리앰프를 적용하여 래치의 오프셋 및 킥-백 효과에 의한 글리치 에너지를 줄였으며, 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였다. 한편, D flip-flop 기반의 SAR 논리 회로는 작은 숫자의 소자를 사용하는 SR 래치로 대체함으로써 디지털 회로를 간소화시켰다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1.18LSB와 1.42LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 63.93dB와 77.60dB이다. 전체 칩 면적은 0.34mm2이며 소모전력은 1.0V의 단일 전원전압에서 2.0mW이다.	Analog and Digital Mixed Signal	20130320		20131126	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2362	2013UOS_5V_700mA_0.35um_Capless LDO	본 설계에서는 LDO(Low voltage Drop Out)을 제안한다. LDO는 전체 회로의 넓은 입력전원 범위를 만족하고, 전체 회로 내부의 동작 회로를 효율을 위해서 입력전원보다 낮은 전원으로 동작하도록 하기 위함이다. 기존에 사용되고 있는 LDO와는 LDO 출력을 사용하는 다른 블록에서 소모되는 전류의 범위가 0~700mA로, 큰 전류 소모에 LDO가 안정적으로 동작할 수 있도록 설계한 차이를 보인다. 회로는 Self Bias회로를 가지고, Error amp를 이용, Power Stage를 구동하는 구조이다. 전체 회로의 전원전압을 이용하여 LDO에 필요한 전압의 Bias단을 구성하여 LDO를 구동하고, BGR 전압을 입력으로 하는 Error amp의 출력을 사용하여 큰 전류를 출력할 수 있는 Power Stage단의 NMOS를 동작시킨다. Power Stage단은 최대 700mA 전류를 구동할 수 있는 크기의 NMOS를 사용하여 큰 전류가 필요한 회로에 안정적으로 전류를 공급한다.	Analog and Digital Mixed Signal	20131113		20131121	서울시립대학교 산학협력단
2363	2013UOS_11b_30ksps_0.18um_1.8V_Cyclic ADC	본 설계에서는 저전력, 소면적, 30ksps ADC를 제안한다. Motor의 3상을 30kHz마다 한 번씩 sampling 하여 디지털 출력을 갖는 구조이다. 하나의 디지털 출력을 나타내는데, 5-Cycle이 필요하며, 첫 사이클은 SHA에서 외부 입력을 받아들여 sample하였다가 hold하는 형태로 동작을 하게 된다. 나머지 사이클 동안에는 MDAC에서의 출력을 입력으로 받아들이는 동작을 한다. 각각의 사이클 동안 SHA의 출력을 FADC의 입력으로 받아들여 3-bit 디지털 코드를 출력하게 되고 MDAC은 SHA로부터 출력된 신호와 FADC로부터 발생되는 디지털 출력으로 인하여 바뀌는 기준전압과 빼준 후 곱해주는 기능을 수행하게 된다. DCL(Digital Error Correction Logic) Block 에서는 FADC의 3bit 출력을 각 사이클마다 더해주며 에러를 보정해준다. 이러한 설계 기법을 적용하여 0.18um 1Poly 6Metal CMOS 공정을 이용하여 전체 면적은 270x550um2이다. 전원 전압 1.8V, 30ksps에서 9bit의 ENOB 성능을 나타내고 있다.	Analog and Digital Mixed Signal	20130226		20131122	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2364	2013UOS_9b_100 MHz_0.11um_3.3V_ Current DAC	설계된 Digital-to-Analog Converter는 9bit의 디지털 입력과 single-ended 아날로그 출력으로 이루어져 있다. DAC는 9bit의 디지털 입력을 받아 아날로그 신호로 변환하는 역할을 하며 DAC의 속도는 100MHz이다. DAC의 출력 전압은 외부 저항에 의해 변경될 수 있고, 외부 커패시터에 의해 보상될 수 있다. 최대 출력 전압은 1.3V 이고, 최대 출력 전류는 17.33mA 이다. 전원 전압으로는 3.3V가 사용되고, 디지털 입력 신호를 위한 전원 전압으로는 1.2V가 사용된다. 본 DAC는 0.11um 1-poly 6-metal CMOS 공정으로 제작되었으며, 레이아웃 면적은 334um x 342um 이다.	Analog and Digital Mixed Signal	20130809		20131121	서울시립대 학교 산학협력단
2365	2013UOS_9b_500k sps_0.11um_3.3V_ Cyclic ADC	설계된 Analog-to-Digital Converter는 9bit의 디지털 출력과 single-ended 아날로그 입력으로 이루어져 있다. ADC는 3.3V 범위의 아날로그 입력을 받아 디지털 출력으로 변환한다. ADC의 샘플링 주파수는 500ksps 이며, 2MHz의 클록 주파수로 동작한다. ADC의 내부는 SHA 블록으로부터 아날로그 입력을 받아 MDAC, FADC, DCL 블록을 거쳐 디지털 신호를 출력하는 algorithmic ADC 구조이다. 본 설계는 0.11um 1-poly 6-metal CMOS 공정을 사용하여 설계되었으며, Thick Gate-oxide device가 사용되었다. 출력 파워 라인을 포함한 ADC 레이아웃의 전체 면적은 334um x 342um 이다.	Analog and Digital Mixed Signal	20120809		20131122	서울시립대 학교 산학협력단
2366	동부 0.11-um CMOS 600Mbps sub_LVDS RX	-동부0.11-umCMOSprocess사용 -Sub-LVDSRX -1.2V/3.3V두개의supplyvoltage사용 (+/-10%voltagevariation허용) -600Mbpsdatarate지원 -Powerdownmode지원 -150mV에서1V까지common-modevoltage지원 -최소100mV의differentialvoltageswing지원 -최대0.83ns의rise/fall	Microcomponent	20111014		20131108	서울시립대 학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2367	동부 0.11-um CMOS 600Mbps sub_LVDS TX	-동부0.11-umCMOSprocess사용 -Sub-LVDSTX -1.2Vsupplyvoltage사용(+/-10%voltagevariation허용) -600Mbpsdatarate지원 -Powerdownmode지원 -0.9-Vcommon-modevoltage생성 -150mV의differentialvoltageswing생성 -130ps~300ps의rise/falltime -8가지의출력v	Microcomponent	20111014		20131108	서울시립대학교 산학협력단
2368	2013SG_1.2V_Fine_Resolution TDC for PET	본 설계에서는 최대 시간 범위 5.12ns 안에서 10ps 시간 차이에 따라 달라지는 Digital 값을 통해 출력을 동작시키는 회로다.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2369	2013SG_1.2V_TDC	This design uses a three-step of delay line to get a wide range of detected time. It can get a high time resolution with a simple structure and low power consumption.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2370	2013SG_1.8V_TDC	This design uses a multiple-step of delay line to get a wide range of detected time with a minimum delay line. It can get a high time resolution with a simple structure and improve power consumption significantly.	Analog and Digital Mixed Signal	20131021		20131127	서강대학교 산학협력단
2371	2013SG_1.8V_Voltage Domain Temperature Sensor	본 설계는 온도에 따라 달라지는 CTAT의 전압 차이를 zoom ADC를 이용하여 디지털 값으로 변환하여 온도를 측정한다.	Analog and Digital Mixed Signal	20131021		20131127	서강대학교 산학협력단
2372	2013SG_2V_Time Domain Temperature Sensor	본 설계는 온도에 따라 달라지는 클락 신호의 delay의 차이를 이용하여 온도를 측정하고 디지털 값으로 나타내는 온도 센서이다.	Analog and Digital Mixed Signal	20131021		20131127	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2373	2013SG_1.2V_2nd delta-sigma modulator	본 설계에서는 2nd order로 구성되어있다. 2nd order DSM 구조를 채택함으로써 1st order DSM보다 over sampling rate 및 SNR에서 더 이득을 볼 수 있다. Delta-Sigma Modulator가 0.11-μm CMOS technology를 통해 제작되었다. SNR은 100dB로 유효 bit 수는 16bit이다. 50kHz의 입력신호를 받아서 Sampling Frequency 25.6MHz로 동작한다.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2374	2013SG_1.2V_Temperature Sensor with TDC	본 설계에서는 온도에 따라 달라지는 Delayline의 차를 TDC를 이용해 Digital 값으로 출력을 한다. 온도 범위는 -50~120℃까지 가능하다.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2375	2013SG_14bitSAR ADC	본 설계 회로에는 1.2V의 공급 전력으로 동작하는 저전력 회로 소모의 축차 근사형(Successive Approximation) ADC가 설계되었다. 1500S/s의 속도와 22.5kHz의 클록 주파수에서 동작하며 3.6uW의 소비 전력을 갖는다. 해상도는 14bit로서 낮은 전력 소모에 높은 해상도를 갖도록 설계하였다.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2376	2013SG_14bitSAR ADC_RED	본 설계 회로에는 1.8V의 공급 전력으로 동작하는 저전력 회로 소모의 축차 근사형(Successive Approximation) ADC가 설계되었다. 1500S/s의 속도와 22.5kHz의 클록 주파수에서 동작하며 축전기의 크기를 최소화하기 위하여 Splint cap을 이용하였으며, 이로 인한 전압의 왜곡을 감소시키기 위하여 redundancy 회로를 추가하여 전압의 왜곡을 최소화하였다.	Analog and Digital Mixed Signal	20130911		20131127	서강대학교 산학협력단
2377	2013SG_Buck Converter	Buck Converter가 0.18-μm CMOS technology를 통해 제작되었다. 제작된 회로는 Current-Mode와 Pulse Width Modulation을 통하여 동작한다. 인덕터 전류 감지는 Current-Sensing Circuit을 사용함으로써 소비전력과 칩 면적을 줄일 수 있었다. 3V부터 4.5V의 전압을 입력받아 1.8V의 전압을 출력했다. Switching Frequency는 2MHz이며 최대 효율은 85%을 구현하였다.	Analog and Digital Mixed Signal	20120522		20131127	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2378	2013SUN_FSK_Transceiver	SUN용 FSK Transceiver 는 0.18-μm CMOS technology를 통해 제작되었다. 크게 송신단, 수신단, 주파수 합성기로 구분될 수 있다. 송신단은 Class E type Power Amplifier 와 Modulator 구성되어 있고, 출력 파워는 10dBm을 가진다. 수신단은 LNA, Mixer, Baseband로 -90dBm의 Sensitivity를 가진다. 주파수합성기의 경우 Fractional-N PLL구조이며, 200kHz 단위로 32개의 채널주파수를 생성할 수 있다.	Analog and Digital Mixed Signal	20130615		20131128	성균관대학교산학협력단
2379	2013Wireless Power Transfer	Wireless Power Transfer는 0.35um BCD 공정을 이용하여 설계하였다. 무선전력전송시스템은 Rectifier와 DC-DC Converter, LDO Regulator로 구성되어 있다. 특히 무선전력전송시스템에서는 높은 효율을 갖도록 설계하는 것이 중요하기 때문에 충전을 구성하는 Rectifier는 Multi mode Rectifier 구조로 설계하여 효율을 높이고, DC-DC converter 및 LDO regulator 또한 고효율의 출력을 내보낼 수 있도록 설계하여 최종적으로 고효율의 무선 충전 회로를 설계하였다.	Analog and Digital Mixed Signal	20130215		20131128	성균관대학교산학협력단
2380	2013SGPL10b1p8 VMH018 ADC	본 설계에서 제안하는 ADC는 0.18μm CMOS 공정으로 설계 및 제작되었다. 본 시제품은 10-비트, 5-스테이지(4-3-3-2-2), 2-채널 파이프라인 구조로 구성되어있다. 소모되는 전력과 면적을 줄이기 위해 채널, 스테이지간 증폭기 공유 방식을 적용하였다. 제안하는 파이프 라인 구조의 ADC는 30MHz의 신호 대역폭에서 최대 59.3dB 성능의 SNDR(signal-to-noiseanddistortionratio)을 보이며, 1.8V의 전원에서 22.8mW의 전력을 소모한다. 패드를 제외한 회로의 전체 면적은 1.95mm2이다.	Analog and Digital Mixed Signal	20131023		20131204	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2381	2013SGSAR12bTS MC018 ADC	제안하는 SAR ADC는 단일 입력신호를 입력받아 12비트를 출력하는 구조를 가진다. 전체 면적을 감소시기 위하여 12비트의 CDAC을 사용하는 대신 7비트의 CDAC과 5비트의 RDAC을 사용하였고, 차등한 동작을 위하여 단일 입력 신호를 차등 신호로 변환하는데 SHA를 사용하였다. 제안하는 ADC는 0.18um CMOS 공정으로 제작되었으며, 2.8V의 전원전압을 사용하였다. 회로의 면적은 0.25㎟(0.5㎜×0.5㎜)이다. 200KHz 클록 주파수에서 모의실험 한 결과 ENOB는 11.9비트이며, 아날로그 회로에서 소모하는 전력은 997.86uW, 디지털 회로에서 소모하는 전력은 172.54uW로 총 1.17mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20131025		20131204	서강대학교 산학협력단
2382	2013SGTSV8b1p8 VMH018 TDC	제안하는 Two-stage Vernier TDC는 Resolution이 39.0625ps인 8비트의 출력을 갖는다. Reference 클락으로는 100MHz를 사용하였다. 제안하는 TDC는 buffer간의 안정적인 delay를 생성하기 위해서 DLL를 사용하였으며, Phase Detector와 Charge pump간의Time delay를 최소화시키기 위해서NMOS switch charge pump 구조를 선택하였다. buffer는 current source voltage controller 구조를 사용하였다. 제안하는 TDC는 0.18um CMOS공정으로 제작되었으며, 1.8V의 전원전압을 사용하였다. 회로의 면적은 0.51㎟(1.006㎜×0.5082㎜)이다. 100MHz 클록 주파수에서 모의실험한 결과 DR은, 아날로그 회로에서 소모하는 전력은 0.792mW, 디지털 회로에서 소모하는 전력은 12.726mW로 총 13.518mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20131021		20131204	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2383	Single-inductor dual output boost DC-DC converter	-공정 : magna 0.18um - Inductor: 1 uH - Clock frequency : 1 MHz - Maximum Efficiency : 87 % - Output voltages : 2.7 V, 3 V - Load current(max) : 120 mA,150 mA - Output ripple(max) : 100 mV, 130 mV - 면적 : 3 mm2 - 기타 : 개발된 Boost type DC-DC converter	Analog and Digital Mixed Signal	20130218		20131211	중앙대학교 산학협력단
2384	GS1001	Mobile touch controller ic	Analog and Digital Mixed Signal	20131021		20131206	지투지솔루션(주)
2385	Low-power pipelined phase accumulator for high-speed direct digital frequency synthesizers	-공정:TSMC0.18um -전력공급전압:1.5V -입력비트:32bit -동작속도:700MHz -전력소모:300mW -면적:0.348mm2 -기타:개발된 phase accumulator는 up-count를 사용하여 pre-skewing registers를 65%줄였다. 또한Data transition detection block으로 입력되는 data가 없는 구간에선 pre-skewingreg	Analog and Digital Mixed Signal	20120916		20131211	중앙대학교 산학협력단
2386	뉴런센서 검출용 저잡음 증폭기	-공정:GlobalFoundry0.13um -전력공급전압:3.3V -이득:58dB -대역폭:100Hz~8kHz -전력소모:36uW -입력노이즈:197n/√(Hz)@100Hz -면적:0.42mm2	Analog and Digital Mixed Signal	20110112		20131211	중앙대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2387	8-bit 1MS/s SAR-ADC for neural sensor signal acquisition	-공정:GlobalFoundry0.13um -전력공급전압:3.3V -해상도:8bit -샘플링속도:1MS/s -전력소모:0.1mW -입력전압범위:0~3.3V(차동전압) -면적:0.0408mm2 -기타:개발된 SAR ADC는 뉴런 센서신호의 검출 및 분석을 위해 앞단의 LNA단에서 증폭된 센서 신호의 아날로그값을 디지털값으로 변환해주는 역할을 함.	Analog and Digital Mixed Signal	20110112		20131211	중앙대학교 산학협력단
2388	Low-power phase accumulator with sequential clock gating for DDFSs	-공정:Magna0.18um -전력공급전압:1.8V -입력비트:32bit -동작속도 : 1GHz -전력소모 :13.1mW~63.54mW (FCWswitchingdependent) -면적:0.157mm2 -기타: 개발된 Low-power phase accumulator with sequential clock gating for DDFSs는 CMOS구조를 채택하였으며 32개의 입력Frequency	Analog and Digital Mixed Signal	20130218		20131211	중앙대학교 산학협력단
2389	A 10-Bit, 50 MS/s, 55 fJ/conversion-step SAR ADC With Split Capacitor Array	-공정:samsung0.13um -전력공급전압:1.2V -해상도:10bit -샘플링속도:50MS/s -전력소모:1.58mW -입력전압범위:0~1.2V(차동전압) -면적:0.154mm2 -기타: 개발된 SARADC는 ADC내부에서 큰면적을 차지하고 많은 전력을 소비하는capacitor DAC(CDAC)에 split구조를 적용하여 기존의 binary-weighted CDAC구조	Analog and Digital Mixed Signal	20100302		20131211	중앙대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2390	DC-DC converter using PWM or PFM for wide load range	-공정:magna0.18um -전력공급전압:3.3V -출력전압범위:0.5~3.3V -출력전류범위:2mA~400mA -최대전력변환효율:91% -패드포함면적:0.54mm2 -기타:개발된 DC-DCconverter는 buck type으로 변환 전력이 적을때는 PFM을 사용하고 전력이 많을때는 PWM방식을 사용한다. 각각 방식의 최고 전력 변환 효율은 91 %, 90 %이다. 이 회로	Analog and Digital Mixed Signal	20121112		20131211	중앙대학교 산학협력단
2391	Low power, small area 8 bit SAR-ADC	-공정:samsung0.13um -전력공급전압:1.2V -입력신호전압범위:0~1.2V(차동전압) -출력digitalbit:8bit -전력소모:21.6uW -면적:0.270mm2	Analog and Digital Mixed Signal	20110425		20131211	중앙대학교 산학협력단
2392	상용전원 직구동 ACLED IC	상용 전원 직접 구동이 가능한 ACLED IC로서 Power Factor, Total Harmonic Distortion 개선이 기능이 내장되어 있음. 주변회로 최소화하고 photo couple, 전해 커패시터를 사용하지 않음.	Analog and Digital Mixed Signal	20131206		20131212	한국전기연구원
2393	PFC 내장형 램프 구동 IC	Power Factor Correction 기능, 외부 on/off switch에 따른 디밍제어, programmable LED 전류제어, 고전압 전압공급기능이 내장된 HB—LED램프를 구동하는 IC	Analog and Digital Mixed Signal	20131206		20131212	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2394	KERI BLDC 모터용 알고리즘 가변 게이트 구동 IC	KMDBV02 (KERI Motor Driver BLDC Version02) IC 팬모터용 단상 BLDC 모터의 파워 스위치 게이트 구동 IC로 디지털 컨트롤 로직과 아날로그 구동회로가 One chip으로 구현된Mixed signal IC이다. 설정된 알고리즘과 입력되는 Hall 센서 duty ratio를 이용하여 모터의 속도 제어를 수행하며, 알고리즘 및 속도 제어블록은 디지털 블록으로 구성되어 있어 내장된Memory를 변경함에 따라 제어 알고리즘을 변경가능하다. BGR회로를 이용한 Internal voltage regulator 및 디지털 로직에 사용할 5MHz용oscillator가 내장되어 구현되었다. 칩의 둘레는ESD 보호회로를 포함하는 20개의 핀이 균일하게배치되었고, 좌상부에 아날로그 회로, 좌하부에 디지털 로직이 배치되어 아날로그 디지털Mixed-mode로 배치되었다.	Analog and Digital Mixed Signal	20130805		20131212	한국전기연구원
2395	PSR(Primary Side Regulation) PWM IC	출력용량 30W 미만의 Tablet PC, 휴대폰 등의 전원장치 또는 충전기에 주로 사용되는 PSR(Primary Side Regulation) 방식의 converter를 제어하기 위한 PWM(Pulse Width Modulation) 방식의 IC	Analog and Digital Mixed Signal	20130621		20131212	한국전기연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2396	KERI BLDC 모터 구동 IC	KERI BLDC 모터 구동IC는 팬 모터용 구동IC로 디지털 컨트롤 로직과 아날로그 구동회로, 파워스위치소자(MOSFET)가 onechip에 함께 구현되어있다.입력으로DC12V,PWM신호,Hall신호를 받아, 단상 BLDC 모터 구동 알고리즘에 따라 모터 구동신호를 출력한다. PWM 신호의duty ratio에 따라 모터속도를 제어할 수 있다. 외부 Hall소자의 신호를 증폭하여 디지털 로직에 사용할 수 있게 바꾸어 모터 회전자의 위치 파악과 속도 제어에 이용한다. 단상 BLDC 모터를 구동할 수 있도록 4개의 MOSFET을 내장하여 파워 스위치 소자까지 내장한 one chip BLDC모터구동 IC를 구현하였다. BGR 회로를 이용한 Internal voltage regulator가 포함되었고, 디지털 로직에 사용할 5MHz용 oscillator도 내장되어있다. 칩의 둘레는 ESD 보호회로를 포함하는 20개의 핀이 균일하게 배치되었고, 좌상부에 아날로그 회로, 좌하부에 디지털 로직, 우편에 파워 스위치 소자가 배치되었다. 전류 소모가 많은 파워 스위치 소자와 아날로그, 디지털 회로를 분리하여 노이즈로 인한 영향을 줄이는 효과가 있다.	Analog and Digital Mixed Signal	20130805		20131212	한국전기연구원
2397	2013SG_MEMS_Bio_Sensor	본 회로는 commercial CMOS 공정과 Post-CMOS 공정을 통해 제작한 바이오 센싱 회로로, 사각형 모양의 capacitive sensor와 readout circuit을 포함한다. Post-CMOS 공정을 통해 capacitive 센서에 항원-항체 반응이 일어날 수 있는 공간을 제공하며, 항원-항체 반응이 일어날 때의 capacitance 변화를 readout circuit이 감지하여 반응에 따른 결과를 읽어들인다. etching을 통한 내부 공간 생성을 위해 Post-CMOS 공정이 사용되었다.	Analog and Digital Mixed Signal	20131121		20131213	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2398	2013SG_MEMS_Pressure_Sensor	본 회로는 commercial CMOS 공정과 Post-CMOS 공정을 통해 제작한 압력 센싱 회로로, 사각형 모양의 capacitive sensor와 readout circuit을 포함한다. readout circuit은 압력에 따른 센서의 capacitance 변화를 감지하여 값을 읽어들인다. Sensor membrane과 seal etching hole을 제작하기 위해 Post-CMOS 공정이 사용되었다.	Analog and Digital Mixed Signal	20131121		20131213	서강대학교 산학협력단
2399	2013SG_에너지_포집_회로	본 회로는 CMOS 공정을 사용하여 Piezoelectric energy harvester의 출력을 관리. 저장할 수 있는 회로를 구현하였다. 효율적인 전력 전달을 위해 스위치 회로를 구성하였으며, 바이어스에 따른 선택적인 동작이 가능하게 하였다. 0.35m Standard CMOS 공정을 사용하여 구현하였다.	Analog and Digital Mixed Signal	20131114		20131213	서강대학교 산학협력단
2400	2013SG_저전력_에너지_포집_회로	본 회로는 CMOS 공정을 사용하여 Piezoelectric energy harvester의 출력을 관리. 저장할 수 있는 회로를 구현하였다. 효율적인 전력 전달을 위해 스위치 Block을 구동하기 위한 Bias 회로 및 스위치 Block을 제작하였으며, Charge pumping 과정을 통해 전력전달 효율을 더욱 높였다. 0.35m Standard CMOS 공정을 사용하여 구현하였다.	Analog and Digital Mixed Signal	20131114		20131213	서강대학교 산학협력단
2401	350nm 공정의 광학식 터치패널을 위한 CMOS 광수신기 IC	개발된 광수신기 IC는 대형 패널에서 많이 사용하는 광학식 터치패널을 위해 개발되었으며 미세한 광신호를 감지하기 위하여 초단 Transimpedance 증폭기과 가변 이득 증폭기 그리고 피크 감지기로 이루어져 있다. 전체 칩은 1mm x 1mm 로 제작되었으며 사용한 공정은 CMOS 350nm, 1 poly 4 Metal 공정을 사용하였다.	Analog and Digital Mixed Signal	20131216		20131220	전자부품연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2402	110nm 공정의 CMOS 듀얼밴드 Power Amplifier	개발된 듀벌 밴드 CMOS Power amplifier는두 개 주파수 밴드의 전력 증폭기가 집적되어 있으며 두 개의 전력 증폭기 사이에 MIPI 인터페이스회로가 존재하여 모뎀으로부터 컨트롤 신호를 받아 처리할 수 있도록 설계되었다. 각 전력 증폭기는 입력 트랜스포머와 출력 트랜스포머를 집적하여 외부에서는 단일 입출력신호로 인가되어 출력되나 내부적으로 차동 구조로 설계되었다. 내부 증폭기는 2단 증폭으로 드라이버단과 파워단으로구성되어 충분한 전력 이득을 가지도록 설계되었다. 제작은 CMOS 110nm, 1 poly 8 Metal 공정을사용하였다.	Analog and Digital Mixed Signal	20131216		20131220	전자부품연구원
2403	LVD_M220_Comparator	전원전압 변화 감지회로에 사용되는 비교기 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2404	LVD_M220	전원전압이 기준치 이상으로 변화하는지를 감지하고, 이를 신호화하여 출력하는 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2405	LVD_M220_TRIM_Decoder	전원전압 변화 감지용 비교기회로에 사용되는 비교 신호 조정용 가변 저항값 선택 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2406	LVD_M220_TRIM_Resistor	전원전압 변화 감지용 비교기회로에 사용되는 비교 신호 조정용 가변저항회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2407	LVD_N220_TRIM_Resistor_Switch	전원전압 변화 감지용 비교기회로에 사용되는 비교 신호 조정용 가변 저항값 선택스위치회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2408	MiDAS220_Full_Chip	80C51호환 8Bit Microcontroller	Microcomponent	20110601	20120607	20131221	주식회사 코아리버
2409	ADC_M220	아날로그신호를 디지털신호로 변환시켜주는 아날로그-디지털 변환기(10Bit Resolution ADC)	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2410	POR_LVR_M220	전원전압의 변화를 감지하여 시스템을 초기화 시키는 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2411	POR_LVR_M220_LD	전원전압 수준(Level)변화감지 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2412	POR_LVR_M220_LD_REF	전원전압 수준(Level)변화감지 회로의 기준신호 생성회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2413	POR_LVR_M220_OR	전원전압의 수준(Level)변화감지 회로 출력과 과도(Trensient)변화감지 회로출력의 합성회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2414	POR_LVR_M220_TD	전원전압 과도(Trensient)변화감지 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2415	POSC_M220	초정밀 고속 주파수 생성회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2416	LVD_N220_TRIM_Resistor_Enable	전원전압 변화 감지용 비교기회로에 사용되는 비교 신호 조정용 가변저항 활성화 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2417	POSC_M220_BGR	초정밀 고속 주파수 생성기의 밴드갭 레퍼런스회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2418	POSC_M220_BIAS	초정밀 고속 주파수 생성기의 바이어스회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2419	POSC_M220_BIAS_AMP	초정밀 고속 주파수 생성기의 바이어스회로용 오피엠프회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2420	POSC_M220_TRIM_CTAT	초정밀 고속 주파수 생성기의 온도특성 보상회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2421	POSC_M220_TRIM_CTAT_Decoder	초정밀 고속 주파수 생성기의 온도특성 보상용 가변 저항값 선택회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2422	POSC_M220_TRIM_CTAT_Resistor	초정밀 고속 주파수 생성기의 온도특성 보상용 가변저항회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2423	POSC_M220_TRIM_CTAT_Resistor_Switch	초정밀 고속 주파수 생성기의 온도특성 보상용 가변 저항값 선택스위치회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2424	POSC_M220_TRIM_PTAT	초정밀 고속 주파수 생성기의 온도특성 미세 보상회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2425	POSC_M220_CAP_TUNE	초정밀 고속 주파수 생성기의 주파수 발생용 캐패시터값 조정회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2426	POSC_M220_Comparator	초정밀 고속 주파수 생성기의 주파수 발생용 비교기회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2427	POSC_M220_OSC_OUT	초정밀 고속 주파수 생성기의 출력단 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버
2428	POSC_M220_REFERENCE	초정밀 고속 주파수 생성기의 기준신호 생성용 회로	Analog and Digital Mixed Signal	20110601	20120607	20131221	주식회사 코아리버

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2429	Standby mode control PWM IC	출력용량 200W급 미만의 중용량 노트북, LCD &LED TV 등의 전원장치에 주로 사용되는 flyback 방식의 converter를 제어하기 위한 대기모드 절감기능 내장형 PWM(Pulse Width Modulation) 방식의 IC	Analog and Digital Mixed Signal	20130621		20131212	한국전기연구원
2430	POSC_M220_REF_AMP	초정밀 고속 주파수 생성기의 기준신호용 오피엠프회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2431	POSC_M220_REF_TRIM_Decoder	초정밀 고속 주파수 생성기의 기준신호 조정용 가변 저항값 선택회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2432	POSC_M220_REF_TRIM_Resistor	초정밀 고속 주파수 생성기의 기준신호 조정용 가변 저항회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2433	POSC_M220_REF_TRIM_Resistor_Switch	초정밀 고속 주파수 생성기의 기준신호 조정용 가변 저항값 선택스위치회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2434	POSC_M220_Regulator	초정밀 고속 주파수 생성기의 전원전압 레귤레이션회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2435	OSC_32K_M220	저속 주파수 생성회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2436	RESET_FILTER_M220	신호 잡음 제거회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2437	RESET_FILTER_M220_INPUT_Buffer	신호 잡음 제거회로의 입력단 회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2438	RESET_FILTER_M220_RC_Filter	신호 잡음 제거회로의 저역 필터 회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2439	RESET_FILTER_M220_OUTPUT_Buffer	신호 잡음 제거회로의 출력단 회로	Analog and Digital Mixed Signal	20110601	20120607	20131222	주식회사 코아리버
2440	0.35um 공정의 Power Factor Correction 회로	개발된Power Factor Correction 회로는 입력 전압과 인덴터 전류의 Power Factor를 정합시켜주는 회로이며, 제작은 0.35um, 1poly 4metal 공정을 사용하였다.	Analog and Digital Mixed Signal	20131216		20131226	전자부품연구원
2441	0.35um 공정의 Power MOSFET Driver	개발된 Power MOSFET Driver는 1000mA급 Power MOSFET을 구동하기 위한 구동 드라이버이며, 제작은 0.35um, 1poly 4metal 공정을 사용하였다.	Analog and Digital Mixed Signal	20131216		20131226	전자부품연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2443	윈-브리지 기반 저전력 클락발생회로	무선 센서네트워크, 사물 인터넷과 같이 분산된 무선 노드를 사용하는 네트워크에선 노드의 수명을 연장하기 위해 주기적으로 노드 동작을 제어하는 저전력 클락이 필요하다. 본 설계는 윈-브리지 구조를 기반으로 한 저전력 5MHz 클락발생회로를 제안하였다. 공정, 온도, 전압에 따라 변할 수 있는 주파수를 가변 캐패시터를 이용하여 자동으로 보정하는 회로를 사용하였다.	Analog and Digital Mixed Signal	20130626		20131216	광운대학교 산학협력단
2444	생체신호 수집을 위한 아날로그 전단 회로	생체신호 수집을 위한 아날로그 전단 회로는 심전도, 근전도, 뇌파 센서 출력을 증폭하는 역할을 한다. 1KHz 이하에 존재하는 생체신호는 저주파 대역에 존재하는 노이즈의 영향을 받기 때문에 저잡음 설계가 필요하다. 본 회로에선 촙퍼 안정기법(Chopper Stabilization Technique)을 사용하여 저주파 노이즈의 영향을 최소화 하였으며, 문턱전압이하(Subthreshold)설계를 하여 저전력 동작을 한다.	Analog and Digital Mixed Signal	20130626		20131216	광운대학교 산학협력단

22. '14년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2442	APOLLO	본 배치설계는 형광투시법에 사용하기 위한 CMOS 엑스레이 이미지 센서로서, 광 에너지를 전기적인 신호로 변환하는 역할을 한다. 하나의 픽셀은 PMOS 리셋-트렌지스터, 전하 집적 커패시터, 그리고 전하증폭기를 100um X 100um 크기에 집적한 것을 특징으로 한다. APOLLO는 1,440X1,152개의 픽셀들로 이루어져있으며, PAD를 포함한 칩의 크기는 146,600um X 120,600um 이다. 본 배치설계는 Stitching 공정을 위하여, 9개의 Layout들로 이루어 졌으며 B, D, E, F 그리고 H segment들을 반복적으로 Photo litho. 하여 대면적의 이미지 센서를 제작 할 수 있도록 하였다. 또한, Double pad placement로 Probe test 후 Wire bonding을 진행할 경우 발생하는 불량을 최소화 시켜 수율을 향상시킬 수 있다.	Analog and Digital Mixed Signal	20131209		20140103	주식회사 레이언스
2446	differential time amplifier	두 입력신호의 시간차이를 증폭하는 differential time amplifier에 관한 것으로 time amplifier의 증폭 gain은 bias current의 비율로 정해지고 외부 제어가 가능하며 differential 구조를 이용하여 노이즈에 강함	Analog and Digital Mixed Signal	20120801	20140101	20140227	포항공과대학교 산학협력단
2448	USB 3.0 PHY	5Gbps 데이터를 복원하기 위한 부분과 클럭을 생성하는 부분, 그리고 데이터를 시리얼 라이져, 디시리얼 라이져 하는 부분을 생성하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20130705	20140101	20140227	포항공과대학교 산학협력단
2455	Single-Ended Duobinary Transceiver for Memory IO	메모리 인터페이스에 적용하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 구현한 것으로 Memory IO에 적용 가능한 듀오 바이너리 단일신호 전송용 송수신단회로임	Analog and Digital Mixed Signal	20130515	20140101	20140227	포항공과대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2449	All Digital Synthesizable Phase Locked Loop	480M Hz의 클락을 생성하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20131209	20140101	20140227	포항공과 대학교 산학협력단
2452	Touch Sensor Readout IC	다중 주파수를 가지는 입력 신호를 이용하여 높은 신호 잡음비 성능을 구현한 터치 센서의 리드아웃 회로임	Analog and Digital Mixed Signal	20130705	20140101	20140227	포항공과 대학교 산학협력단
2453	USB3.0 TX PHY IP	USB3.0 시스템에 적용하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 구현한 것으로 5Gbps의 USB3.0 데이터 전송이 가능한 송신단 회로임	Analog and Digital Mixed Signal	20130705	20140101	20140227	포항공과 대학교 산학협력단
2445	high resolution TDC	두 입력신호의 시간차이를 증폭하는 time amplifier와 conventional TDC를 연결하여 high resolution의 TDC를 구현한 것으로 time amplifier의 gain은 bias current의 비율로 정해짐	Analog and Digital Mixed Signal	20090601	20120401	20140227	포항공과 대학교 산학협력단
2451	초음파 영상기기를 위한 64CH Digital Beamformer	초음파 영상기기에 적용하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여	Analog and Digital Mixed Signal	20131209	20140101	20140227	포항공과 대학교 산학협력단
2454	Single-Ended Transceiver for Memory IO	메모리 인터페이스에 적용하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 구현한 것으로 Memory IO를 위한 단일신호 전송용 송수신단 회로가 구현되어 저전력과 고속의 동작이 가능함	Analog and Digital Mixed Signal	20121220	20140101	20140227	포항공과 대학교 산학협력단
2450	Low Power USB2.0 PHY	480MHz의 USB2.0 시스템에 적용하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20131209	20140101	20140227	포항공과 대학교 산학협력단
2447	All Digital Synthesizable CDR and USB2.0 PHY Digital	480Mbps 데이터를 복원하기 위한 부분과 USB2.0 PHY Digital 부분을 생성하기 위해 모스 트랜지스터를 사용하여 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20131209	20140101	20140227	포항공과 대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2456	LXT_RXP01BM0	본 배치설계의 LXT_RXP01BM0는 Hybrid Type의 X-ray Sensor를 포함한 Multi Energy Detector에 사용하는 128 x 128 Pixel Readout IC이다. Single Pixel 크기는 80㎛ x 80㎛이며, CMOS 0.18um 1Poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	20140317		20140331	주식회사 룩센테크 놀러지
2457	LXT_RXP02AM2	본 배치설계의 LXT_RXP02AM2는 Hybrid Type의 X-ray Sensor에 사용하는 동영상용 64 x 64 Pixel Readout IC이다. Single Pixel 크기는 100㎛ x 100㎛이며, CMOS 0.18um 1poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	20140317		20140331	주식회사 룩센테크 놀러지
2458	LXT_RXP01AM2	본 배치설계의 LXT_RXP01AM2는 Hybrid Type의 X-ray Sensor를 포함한 Multi Energy Detector에 사용하는 64 x 64 Pixel Readout IC이다. Single Pixel 크기는 100㎛ x 100㎛이며, CMOS 0.18um 1poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	20140317		20140331	주식회사 룩센테크 놀러지
2459	2013Wireless Power Transfer	Wireless Power Transfer는 0.35um BCD 공정을 이용하여 설계하였다. 무선전력전송시스템은 Rectifier와 DC-DC Converter, LDO Regulator로 구성되어 있다. 특히 무선전력전송시스템에서는 높은 효율을 갖도록 설계하는 것이 중요하기 때문에 충전을 구성하는 Rectifier는 Multi mode Rectifier 구조로 설계하여 효율을 높이고, DC-DC converter 및 LDO regulator 또한 고효율의 출력을 내보낼 수 있도록 설계하여 최종적으로 고효율의 무선 충전 회로를 설계하였다.	Analog and Digital Mixed Signal	20130215	20130215	20140425	성균관대 학교산학 협력단
2460	2013SUN_FSK_Transceiver	SUN용 FSK Transceiver 는 0.18-㎛ CMOS technology를 통해 제작되었다. 크게 송신단, 수신단, 주파수 합성기로 구분될 수 있다. 송신단은 Class E type Power Amplifier 와 Modulator 구성되어 있고, 출력 파워는10dBm을 가진다. 수신단은 LNA, Mixer, Baseband로 -90dBm의 Sensitivity를 가진다. 주파수합성기의 경우 Fractional-N PLL구조이며, 200kHz 단위로	Analog and Digital Mixed Signal	20130615	20130615	20140425	성균관대 학교산학 협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		32개의 채널주파수를 생성할 수 있다.					
2463	2014SG12b10MSps011_R3 SAR ADC for High-Power Efficiency	제안하는 ADC는 12비트 10MS/s의 사양을 가지고, 전력소모 및 면적을 최소화하기 위해 디지털 회로 기반의 SAR 구조로 집적되었다. 본 ADC의 핵심 블록인 DAC에는 분리형 가중치 커패시터를 이용한 2단계 (7b-5b) 구조를 적용하여 사용되는 단위 커패시터의 수를 획기적으로 줄였으며, 공통모드전압 기반의 스위칭 기법을 적용하여 MSB 커패시터를 제거하였다. 또한, 8개의 저항으로 구성된 저항 열에서 생성한 기준전압 세그먼트를 통해 하위 커패시터 열에서 필요로 하는 단위 커패시터의 수를 최적화하여 면적 및 전력소모를 추가로 줄였다. 입력 샘플링 스위치는 게이트-부트스트래핑 회로를 사용하여 온-저항을 결정하는 MOS 트랜지스터의 게이트-소스 전압을 일정하게 유지함으로써 넓은 입력신호를 왜곡 없이 샘플링하도록 하였다. 비교기는 1단 프리앰프를 적용하여 래치의 오프셋 및 킥-백 효과에 의한 글리치 에너지를 줄였으며, 프리앰프에 오픈-루프 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 시스템에 미치는 영향을 최소화하였다. 한편, D flip-flop 기반의 SAR 논리 회로는 최적화를 통해 디지털 회로를 간소화시켰다. 제안하는 ADC는 0.11um CMOS 공정으로 제작되었으며 측정된 DNL 및 INL은 각각 최대 1.08LSB와 1.49LSB 수준이다. 또한, 10MS/s의 샘플링 속도에서 측정된 SNDR 및 SFDR은 각각 최대 63.4dB와 79.8dB이다. 전체 칩 면적은 0.34mm2이며 소모전력은 1.0V의 단일전원전압에서 1.53mW이다.	Analog and Digital Mixed Signal	20130910		20140704	서강대학교산학협력단
2461	2014SG13b200M45n_R3 Pipeline ADC with 2Vpp and 0.25um channel	본 설계에서는 디지털 광대역 고속 수신기 응용을 위하여 105MHz의 IF 주파수를 중심으로 60MHz의 입력 주파수 대역을 처리하며 높은 동적성능을 가지는 파이프라인 ADC를 제안한다. 제안하는 ADC는 높은 동적성능을 확보하기 위해 2.5V 소자를 사용하여 2.0VP-P의 입력신호	Analog and Digital Mixed Signal	20131122		20140704	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	length	범위를 처리하며, 면적 및 전력소모를 최적화하기 위해 각 단에서 3b-4b-4b-5b를 처리하는 4단 파이프라인 구조로 집적되었다. SHA, MDAC1 및 MDAC2는 높은 DC 이득을 얻기 위하여 이득-부스팅 기법을 적용한 2단 증폭기를 사용하였으며, SHA에는 높은 주파수의 입력신호를 왜곡 없이 처리하기 위해 게이트-부트스트래핑 회로를 적용하였다. 또한 기준전류 회로 및 기준전압 구동회로를 집적하여 다양한 응용에 적용될 수 있도록 하였다. 제안하는 ADC는 45nm CMOS 공정으로 제작되었으며, 면적은 0.83mm2이다. 시제품 ADC의 측정된 DNL 및 INL은 각각 0.55LSB, 1.71LSB의 최대값을 갖는다. 동적성능은 100MS/s의 동작속도에서 각각 최대 60.2dB의 SNDR과 71.4dB의 SFDR을 가지며, 80MS/s의 동작속도에서 각각 최대 63.2dB의 SNDR과 76.7dB의 SFDR을 가진다. 전력은 2.5V의 아날로그 전원전압, 1.1V의 디지털 전원전압 및 100MS/s 동작속도에서 425.0mW를 소모한다.					
2462	2014SG14b30M Sps018 Range-scaled Hybrid Pipeline ADC	제안하는 14비트 30MS/s ADC는 high-quality display system 응용을 위해 4단 하이브리드 파이프라인 구조 및 레인지 스케일링 기법이 적용되었다. 제안하는 ADC는 기존의 파이프라인 ADC의 입력 단 SHA 및 첫 번째 단 flash ADC를 SAR ADC로 대체함으로써, 많은 전력을 소비하며 잡음에 큰 제약을 주는 SHA를 제거함과 동시에 SHA-free 구조에서 발생하는 샘플링 부정합을 최소화했으며, 단일 기준전압만을 사용하는 레인지 스케일링 기법을 첫 번째 단 SAR ADC에 적용하여 1.8V 전원전압에서 3.0Vp-p의 높은 입력전압을 처리 할 수 있도록 하였다. 또한 전력소모의 큰 비중을 차지하는 잔류전압 증폭기 및 두 번째 단 MDAC의 증폭기를 공유해 전력소모 및 면적을 최소화하였다. 추가적으로 두 번째 단 MDAC의	Analog and Digital Mixed Signal	20131021		20140704	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		증폭 동작 시 첫 번째 단 SAR ADC의 고속 동작의 영향을 받아 기준전압이 불안정해지는 문제를 해결하기 위해 증폭 동작과 SAR 동작에 사용하는 기준전압의 구동회로를 분리하여 기준전압 불안정 문제를 최소화하였다. 제안하는 14비트 30MS/s ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 각각 최대 0.88LSB, 3.28LSB의 수준을 보이며, 동적 성능으로는 30MS/s의 동작 속도 및 4MHz의 입력주파수에서 65.43dB의 SNDR과 78.85dB의 SFDR을 나타낸다. 시제품 ADC는 1.8V의 전원 전압 및 30MS/s의 동작 속도에서 28.8mW의 전력을 소모하며, 전체 칩 면적은 1.43mm2이다.					
2466	2014DG12b25 MSPS011CMOS ImageSensor	본설계에서는CMOS이미지센서(CIS)에서고속동작을위하여기존의singleslope ADC(SS-ADC)가 아닌 Three step single slope ADC(TS-ADC)을 제안한다. 제안하는 CIS는 픽셀 어레이, 컬럼 ADC, 메모리 등으로 구성된다. 픽셀 어레이는 QVGA급을 만족하기 위해 320×240 개로 이루어져 있으며, 설계된 TS-ADC는 12-bit 해상도를 갖는다. 제안하는 TS-ADC는 Coarse, Mid, Fine의 세 구간의 ramp신호마다 비교기에서 비교된 값을 가져와 12-bit의 디지털 값을 출력한다. 각각의 ramp 구간을 이용하기 때문에 기존의 SS-ADC보다 고해상도에서 A/D 변환속도가 현저히 증가 되었다. 제안한 CIS 칩은 0.11㎛ CIS 공정으로 제작되었으며 5.0um 크기의 4TR non-shared active pixel sensor를 사용하였다. TS-ADC에서 각각의 ramp구간의 A/D 변환과정이 필요한데, 이를 위해 4input comparator를 사용하였다. 또 layout시 아날로그 블록과 디지털 블록을 각각 Guard-ring으로 분리시켜 신호의 간섭을 최소화 하였다. 또한 Capacitor를 지나는 Metal Line을 제거하여 Capacitor와 Metal Line간의 간섭이 발생하지 않도록 레이아웃 하였다.	Analog and Digital Mixed Signal	20131220		20140714	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2469	2014DG10bit2MSps018 CMOS Image Sensor	본설계에서는CMOS이미지센서(CIS)에서고속동작을위하여기존의singleslopeADC(SS-ADC)와는다른구조의CyclicADC을제안한다.제안하는CIS는픽셀어레이,컬럼ADC,메모리등으로구성된다. 픽셀어레이는 QCIF 급인 172X144 만족하며 픽셀의 크기는 2.2um이다. 컬럼 ADC의 구조는 간단하면서도 고속 동작이 가능한 Cyclic ADC를 적용하였으며, 설계된 Cyclic ADC는 10-bit 해상도를 갖도록 하여 CIS에서 1024의 그레이 레벨 표현이 가능하도록 하였다. 또한 Cyclic ADC는 Pipelined 형식을 사용하고 있으며 1.5bit ADC와 DAC를 사용하여 comparator의 error를 현저하게 줄였다. Digital memory cell과 Analog memory cell을 분리하고 column의 외부에 배치함으로써 Layout 면적을 줄였다. 제안한 CIS 칩은 0.18㎛ CIS 공정으로 제작되었으며 2.2um 크기의 4TR active pixel sensor를 사용하였다.	Analog and Digital Mixed Signal	20131013		20140714	동국대학교 산학협력단
2465	2014DG8b10MSPS011CMOSImageSensor	본설계에서는CMOS이미지센서(CIS)에서가변해상도가가능한저전력singleslope ADC(SS-ADC)를 제안한다. 제안하는 CIS는 픽셀 어레이, 컬럼 ADC, 메모리 등으로 구성된다. 픽셀 어레이는 QVGA급을 만족하기 위해 320×240 개로 이루어져 있으며, 설계된 SS-ADC는 8-bit 해상도를 갖는다. 가변해상도가 동작하기 위하여 로우 컨트롤 블록과 컬럼 어레이의 신호들을 제어하는 블록이 추가되었다. 가변해상도가 동작할 때, 해상도는 1/4로 감소하며 소모 전력 또한 1/4수준으로 줄어든다. 제안한 CIS 칩은 0.11㎛ CIS 공정으로 제작되었으며 5.0um 크기의 4TR non-shared active pixel sensor를 사용하였다. 아날로그 블록에서 각 신호들의 간섭을 최소화 하기위해서 최대한 간격을 두고 설계하였다. SS-ADC에서 사용된 capacitor는 MIM Capacitor가 사용 되었으며 top plate 보다 bottom plate쪽이 기생성분의 영향에	Analog and Digital Mixed Signal	20131220		20140714	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		민감하지 않기 때문에 active signal이 지나가는 메탈라인을 bottom plate쪽으로 배치하였다. 또한, 아날로그 블록과 디지털 블록을 각각 Guard-ring으로 분리시켜 신호의 간섭을 최소화 하였다.					
2464	2014DG9b2GSps065ADC	본 설계에서는 4G 이동통신에 적용되는 핵심 기술인 SDR(software defined ratio)에서 요구하는 수백MHz~수GHz의 고속 변환속도를 갖는 저전력 9b ADC를 제안한다. Folding ADC의 경우 flash ADC의 고속 병렬처리 장점을 유지하면서 상, 하위 분리 구조를 사용하여 비교기의 수를 크게 줄임으로써 저 전력, 소 면적 특성을 지닌다. 제안하는 ADC는 65nm 1P8M CMOS 공정으로 제작되었으며 layout은 Analog 신호 왜곡을 최소화하기 위해 각각의 Sub-block이 한쪽 방향으로만 신호처리가 가능하도록 배치되었으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Block 및 Core를 분리하여 배치하였다. 그리고 Folding amp array의 신호 처리 과정에서 서로 다른 위치의 신호들이 한 amp로 인가되면서 Metal routing에 대한 기생성분의 캡이 발생하여, 원하는 주파수 동작을 위한 Settling time에 영향을 주게 된다. 따라서 제안한 Folding amp routing 방식으로 이러한 문제를 극복 하였다. 또한 상위 3-bit 변환기와 하위 6-bit 변환기 간의 신호 간섭을 최소화 하기위해 각각의 Core를 분리하여 배치하였으며, 이 때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 2GS/s의 샘플링 속도에서 측정된 SNDR은 44.68dB이다. 전체 칩 면적은 12.3185mm2이며 소모 전력은 2.5V의 단일 전원 전압에서 4.1885W 이다.	Analog and Digital Mixed Signal	20140217		20140714	동국대학교 산학협력단
2468	2014DG8b4GSps045 ADC	본 설계에서는 4G 이동통신에 적용되는 핵심 기술인 SDR(software defined ratio)에서 요구하는 수백MHz~수GHz의 고속 변환속도를	Analog and Digital Mixed Signal	20140524		20140714	동국대학교 산학협력

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		갖는 저전력 8b ADC를 제안한다. Folding ADC의 경우 flash ADC의 고속 병렬처리 장점을 유지하면서 상, 하위 분리 구조를 사용하여 비교기의 수를 크게 줄임으로써 저 전력, 소 면적 특성을 지닌다. 제안하는 ADC는 45nm 1P8M CMOS 공정으로 제작되었으며 layout은 Analog 신호 왜곡을 최소화하기 위해 각각의 Sub-block이 한쪽 방향으로만 신호처리가 가능하도록 배치되었으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Block 및 Core를 분리하여 배치하였다. 그리고 Folding amp array의 신호 처리 과정에서 서로 다른 위치의 신호들이 한 amp로 인가되면서 Metal routing에 대한 기생성분의 캡이 발생하여, 원하는 주파수 동작을 위한 Settling time에 영향을 주게 된다. 따라서 제안한 Folding amp routing 방식으로 이러한 문제를 극복 하였다. 또한 상위 3-bit 변환기와 하위 5-bit 변환기 간의 신호 간섭을 최소화 하기위해 각각의 Core를 분리하여 배치하였으며, 이 때 발생할 수 있는 지연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 또한 Time-Interleaved에서 발생할 수 있는 Clock Timing Error를 최소화하기 위해 각각의 Core에 인가되는 Clock Signal이 정확한 시간에 도달할 수 있게 Metal routing을 배치하였다. 4GS/s의 샘플링 속도에서 측정된 SNDR은 최대 49.73dB이다. 전체 칩 면적은 5.220mm2이며 소모 전력은 1.2V의 단일 전원 전압에서 320mW 이다.					단
2467	2014DG10b100 MSps013CIS	본설계에서는CMOS이미지센서(CIS)에서고속동작을위하여기존의single-slopeADC(SS-ADC)구조를변현을시킨Two-StepSS-ADC를설계하였다.Two-StepSS-ADC는기본적인동작원리는SS-ADC와같지만,상위비트와하위비트를나누어변환한다는것이다르다.이러한이유로하위비트와상위비트를연결하는부분이Two-StepSS-ADC에서중요	Analog and Digital Mixed Signal	20130228		20140714	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		하다.본설계에서는기존에사용하는비교기를이용하지않고Gilbert타입으로설계한비교기를이용하여설계하였다. 제안한 CIS 칩은 0.13um CIS 공정으로 제작되었으며 2Shared-4TR Pixel을 사용하였다. 기본적으로 CIS는 픽셀신호를 읽는 ADC의 성능이 매우 중요하다. 때문에 인근 CIS간의 matching이 중요하기 때문에 ADC들은 대칭적으로 배치되었다.					
2472	2014HYLDODB011_Slew_rate_enhanced_LDO	본 설계는 기존의 a capacitor-free low-dropout regulator(LDO) 에서 slew rate 을 높이기 위해 slew rate enhanced amplifier 를 사용 하였고, 더불어 LDO 의 기본 구조에 추가적인 path 를 만들어 gain 을 충분히 가져 갈수 있도록 하였다. 또한 transient time 을 향상시키기 위해, load current 변화 시 power transistor 가 빠르게 반응할 수 있도록 회로를 추가하여 새로운 형태의 LDO 를 설계 하였다. 총 면적은 0.263 mm x 0.85 mm 이다.	Analog and Digital Mixed Signal	20140710		20140721	한양대학교 에리카산학협력단
2470	2014HYBGR1_BANDGAP_REFERENCE	본 설계에서는 Bandgap reference 회로를 제안한다. 제안된 회로는 CMOS DC/DC buck converter의 reference 전압 및 전류를 공급하는 용도로 설계 되었다. 개발된 회로는 Buck converter에서 발생하는 clock noise에 영향을 적게 받도록 높은 PSRR을 가지는 구조로 설계되었다. 설계된 IP는 BCD 0.18um 공정으로 레이아웃 되었고, 총 면적은 0.237mm× 0.173mm 이다.	Analog and Digital Mixed Signal	20140710		20140721	한양대학교 에리카산학협력단
2473	2014HYBUCKHB018_Enhanced_transient_response_of_buck_converter	설계된 four-phase buck converter 는 current mode control 방식이며, 출력단의 load current 의 변화 시 R1 과 R2 저항에 의해서 정의 되는 FB 전압도 변화하게 된다. 이와 함께 error amplifier 의 출력 전압도 변동하게 된다. 이를 ramp 신호와 비교하여, SR latch 의 reset 신호를 형성한다. Clock 이 SR latch 의 set 신호하며, set 과 reset 신호에 의해서 PWM 신호가 만들어 진다. 이 신호는 dead-time buffer 를 통해서 PMOS	Analog and Digital Mixed Signal	20140710		20140721	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		와 NMOS 를 동작시켜, 출력단의 인덕터 전류에 변화를 주게 된다. 개발된 회로는 새로운 구조의 error amplifier 와 buck converter 동작의 안정성을 확보하기 위한 새로운 compensation 구조를 제안하며, 더불어 transient time 을 향상시키기 위해 load current 의 변화 시 순간적으로 error amplifier 의 출력단에 전류를 공급하기 위한 회로를 추가 하였다. 총 면적은 2.416 mm x 2.416 mm 이다.					
2474	2014HYBGR2_BANDGAP_REFERENCE	본 설계에서는 Bandgap reference 회로를 제안한다. 제안된 회로는 CMOS DC/DC buck converter의 reference 전압 및 전류를 공급하는 용도로 설계 되었다. 개발된 회로는 PVT(Process Voltage Temperature)에 대한 변화를 최소화 하도록 설계되었고 PSRR을 높이기 위해서 트랜지스터를 추가하였다. 설계된 IP는 BCD 0.18um 공정으로 레이아웃 되었고, 총 면적은 0.262mm× 0.198mm 이다.	Analog and Digital Mixed Signal	20140710		20140721	한양대학교 에리카산학협력단
2471	광통신및100기가비트이더넷용25-Gb/sCDR회로	24-pin을갖는CDR회로이며,매우집적도높은CMOSIC로서25-Gb/s의PRBS(pseudo-randombitsequence)신호로부터클록신호를추출하고데이터를retiming하는회로임. 1/4-rate의위상검출기를사용하였으며,따라서4분주된클록신호(6.25GHz)를ringVCO를통해생성함으로써,자동적으로25-Gb/s입력신호로부터6.25-Gb/s의demuxed된4개신호가나오도록함. 링VCO에서생성된6.25-GHz클록신호는약1MHz옵셋주파수에서-83.13-dBc/Hz의phasenoise특성을가지며,전체칩의소모전류는130mA로작다. 사용한전원전압은1.2V이다.	Analog and Digital Mixed Signal	20140104	20140104	20140724	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2478	16-채널인버터트랜스임피던스증폭기어레이	파노라믹스캔라이다(LADAR)응용을위한16채널의트랜스임피던스증폭기어레이회로임. 무인자동차에서사용하는광수신기어레이로서,물체로부터반사된광펄스신호를검출하여 증폭하는회로임. 저잡음특성을강화하기위해입력단을인버터구조로하였으며,LPF(저대역통과필터)를사용한 single-to-differential전환단으로차동구조로변환하였고,이득단및50옴임피던스매칭을위한 출력버퍼단으로구성되어있음.	Analog and Digital Mixed Signal	20140312	20140312	20140724	이화여자대학교 산학협력단
2475	멀티레이트CDR회로	다양한동작속도를갖는CDR(클록및데이터복원회로)회로임. VCO의controlvoltage를3-bit로변화하면서,3개의동작속도를갖도록하며, tuningrange를250MHz~3GHz까지넓게함으로써,500Mb/s부터6Gb/s의동작속도를낼수있는CDR회로임. 특히,필터를passive필터로사용하지않고,voltage-regulatedactivefilter로설계함으로써, 전원전압의변화영향을최소화할수있는회로임.	Analog and Digital Mixed Signal	20130912	20130912	20140724	이화여자대학교 산학협력단
2479	16-채널RGC트랜스임피던스증폭기어레이	파노라믹스캔라이다(LADAR)응용을위한16채널의전류모드트랜스임피던스증폭기어레이회로임. 무인자동차에서사용하는광수신기어레이로서,물체로부터반사된광펄스신호를검출하여증폭하는회로임. 광대역및낮은crosstalk특성을강화하기위해입력단을전류모드의RGC(regulatedcascode)구조로하였으며,LPF(저대역통과필터)를사용한single-to-differential전환단으로차동구조로변환하였고, 이득단및50옴임피던스매칭을위한출력버퍼단으로 구성되어있음.	Analog and Digital Mixed Signal	20140312	20140312	20140724	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2476	16-채널혼합모드 트랜스임피던스증 폭기어레이	파노라믹스캔라이다(LADAR)응용을위한16채널 의트랜스임피던스증폭기어레이회로임. 무인자동차에서사용하는광수신기어레이로서,물체로부터반사된광펄스신호를검출하여증폭하는회로임. 광대역,저잡음,낮은crosstalk특성을최적화하기위해입력단을인버터구조와전류모드의공통게이트구조의혼합형으로설계하였으며,LPF(저대역통과필터)를사용한single-to-differential전환단으로차동구조로변환하였고,이득단및50옴임피던스매칭을위한출력버퍼단으로구성되어있음.	Analog and Digital Mixed Signal	20140312	20140312	20140724	이화여자 대학교 산학협력 단
2477	16-채널혼합모드 형트랜스임피던스 증폭기와리미팅증 폭기를갖는광수신 기어레이	파노라믹스캔라이다(LADAR)응용을위한16채널 의트랜스임피던스증폭기와포스트증폭기및TMDS 출력버퍼를갖춘어레이회로임. 무인자동차에서사용하는광수신기어레이로서,물체로부터반사된광펄스신호를검출하여증폭하며,특히 출력전압을700mVpp이상으로크게할수있는회로임. 광대역,저잡음,낮은crosstalk특성을최적화하는혼합모드형트랜스임피던스증폭기를취하고있으며, 4단의리미팅증폭기와50옴임피던스매칭을위한TMDS출력버퍼단으로구성되어있음.	Analog and Digital Mixed Signal	20140312	20140312	20140724	이화여자 대학교 산학협력 단
2480	2014SGNSSAR A45 ADC	본설계에서는2차잡음-변형특성을갖는SuccessiveApproximationRegister(SAR)ADC를구현하였다.제안하는구조는적분기에사용되는증폭기의전압이득요구조건을완화시켜낮은전원전압및나노스케일공정에서도구현이용이하도록하였다. 45nm CMOS 공정을 이용하여 제작된 시제품 ADC는 1MHz의 대역폭에서 70.3 dB의 peak-SNDR 성능을 보이고, 1.0 V의 전원전압에서 1.28 mW의 전력을 소모하며, 0.2 mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20140201		20141020	서강대학 교산학협 력단
2482	2014SGPET1p 8VMH018 ASIC	본설계에서는0.18μmCMOS공정을이용하여ASIC을구현하였다.제안하는ASIC은AFE+ADC각각4개채널과단일TDC로구성되어있다.AFE는Anger Circuit을통해들어오는전류를검출및증폭을하여다음단에연결되어있는ADC와TDC에위치및시간정보를제공해준다.모든경우에대한증폭을위해Preamp	Analog and Digital Mixed Signal	20140630		20141020	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		의Gain을16step으로구성하였으며,정확한시간및 위치정보도출을위하여Shaper를설계하였다.ADC 는10bit알고리즘형태로제작되었다.TDC는시간정 보를전압정보로변화하는Chargepump와Success ive-ApproximationRegisterADC로구성되어1 2bit출력으로설계되어졌다.이는낮은전력소모와작 은면적사용의장점을가지고있다.ASIC에사용되어진 기준클록은256MHz이며, 샘플링 주파수는 1MS/s 이다. 전체 전력 소모는 69.7mW이며, 면적은 5mm2의 면적을 차지한다.					
2483	2014SG12bSA RMH018 ADC	본 설계에서는 0.18μm CMOS 공정을 이용하여 Successive-Approximation Register ADC를 구현하였다. 제안하는 SAR ADC는 전체 면적을 감소시키기 위하여 하나로 구성된 12bit의 CDAC을 사용하는 대신 7bit의 CDAC과 5bit의 CDAC을 사용하여 capacitor의 개수를 감소시켰다. Noise 성능을 개선하기 위해 majority voting 기법이 사용되었으며, buffer에 의한 offset 영향을 auto-zeroing 기법을 사용하여 감소시켰다. 제작된 ADC는 0.22mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20140811		20141020	서강대학 교산학협 력단
2481	2014SGNSSAR B45 ADC	본 설계에서는 2차 잡음-변형 특성을 갖는 Successive Approximation Register(SAR) ADC를 구현하였다. 제안하는 구조는 적분기에 사용되는 증폭기의 전압이득 요구조건을 완화시켜 낮은 전원전압 및 나노스케일 공정에서도 구현이 용이하도록 하였다. 45nm CMOS 공정을 이용하여 제작된 시제품 ADC는 1MHz의 대역폭에서 70.3dB의 peak-SNDR 성능을 보이고, 1.0V 전원전압에서 1.28mW의 전력을 소모하며, 0.2mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20140530		20141020	서강대학 교산학협 력단
2484	2014UOS_10b_ 200MHz_Curre nt-Steering_D AC	제안하는 회로는 고속에서 동작하고 출력단의 전류를 제어하는 방식의 10-bit 200MHz Current-Steering DAC이다. 10-bit의 해상도를 얻기 위해서, 상위 6-bit는 thermometer code로, 그리고 나머지 하위 4-bit는 binary code로 구성된다. 안정적인 전류원을 생성하기 위해 10uF의 외부 보상	Analog and Digital Mixed Signal	20140320		20141106	서울시립 대학교 산학협력 단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		커패시터를 사용하였으며, 출력 전류를 제어하기 위한 외부 저항을 사용하였다. 제안하는 DAC는 0.13-um 1P6M CMOS 공정으로 제작되었으며, 칩 면적은 0.24mm2이다. 최대 출력 전압은 1.4V이며, 3.3V 전원 전압과 200MHz 동작속도에서 21.13uA의 전류를 소모한다.					
2487	2014UOS_14b_128sps_2nd_Integrating_Sigma-Delta_ADC	본설계에서는습도및온도센서를위한14bit 2nd-order Integrating Sigma-Delta ADC를 제안한다. 제안하는 ADC는 256 배의 OSR(Oversampling Ratio)을 갖으며, 2차의 Cascade 구조를 가지고 있다. 적분기 출력 범위를 줄이기 위해 양자화기로 들어가는 입력을 2차 적분기 출력 뿐만 아니라, 1차 적분기 및 입력 신호도 포함하여 원하는 Output Range를 확보할 수 있게 하였다. 설계된 모듈레이터로부터 Parallel한 Digital Output을 얻기 위해 Serial Output을 출력하는 양자화기 뒷단에 2nd-Order Digital Filter를 포함하고 있다. 이 Digital Filter는 9-bit의 양방향 계수기 및 16-bit 누산기로 구성되어 있다. 제안하는 설계 기법을 적용하여 0.35um CMOS 공정을 이용하여 전체 면적은 0.28mm2이다. 1.8V 전원 전압에서 전체 28uA를 소모하며, 128sps에서 84dB의 SNDR을 보이며, 최대 13.5b의 ENOB 성능을 나태내고 있다.	Analog and Digital Mixed Signal	20140303		20141106	서울시립대학교 산학협력단
2485	2014UOS_16b_6Msps_3rd_SDM	본 설계에서는 오디오용 3rd-Order Sigma-Delta Modulator를 제안한다. 오디오 밴드에서 원하는 해상도를 만족하기 위해 3차의 구조 및 1bit의 비교기를 사용하며, 128의 OSR를 선택하였다. 본 설계의 구성 요소로는 3차의 모듈레이터, Single 입력을 Differential로 변경 시켜주는 Sense Amplifier, 바이어스 블록으로 구성되어 있다. 바이어스 블록은 외부 전압을 받아 사용하기 때문에 추가 블록 없이 다른 블록과의 병합이 용이하다. 제안하는 설계는 0.18um CMOS	Analog and Digital Mixed Signal	20140702		20141106	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Process를 이용하였고, 전체 면적은 0.25mm2이다. 1.8V 전원 전압 및 6.2MHz Clock Frequency에서 전체 2mA의 전류 소모를 나타내며, 100dB의 SNDR 성능을 나타낸다.					
2489	2014UOS_16b_32ksps_2nd_Low_Power_SDM	본 설계에서는 저전력, 32ksps 2nd-Order Sigma-Delta Modulator를 제안한다. Feedforward path를 가지는 구조를 사용하여, Feedback 구조에 비해 적분기의 출력 Swing Range가 감소하게 된다. 따라서, 연산 증폭기와 같은 내부 블록의 설계 사양을 완화시킬 수 있다. 그리고, Bias 블록은 BGR과 Reference Buffer로 구성되며, V2I를 제거함으로써 소모 전류를 감소시켰다. 이러한 설계 기법을 적용하여 0.18-um 1P3M CMOS 공정을 이용하였으며, 전체 면적은 0.46mm2이다. 전원 전압 2V에서 전체 13uA를 소모한다.	Analog and Digital Mixed Signal	20140603		20141106	서울시립대학교 산학협력단
2488	2014UOS_Claas_AB_LNA	본설계에서는저전력,저잡음의Class-AB연산증폭기를제안한다.기존의연산증폭기는바이어스부분에 노이즈가많은반면,본설계에서는sourcefollower의형태로바이어스를사용하여바이어스단의이득을최소화해서잡음이증폭되는것을줄였다.뿐만아니라입력단에서보이는flicker잡음과MOSFET의크기를 최적화하여최소잡음만허용하도록설계하였다. 출력 단에서의 Class-AB 구동회로는 기존방식의 경우 하나만 사용하여 최소 전류가 흐르도록 해주는 반면, 본 설계에서는 PMOS와 NMOS에 흐르는 최소 전류를 똑같이 만들어 줌으로써 보다 이상적인 Class-AB 구동회로를 구현했다. 이러한 기법을 적용하여 0.18um 3Metal CMOS 공정으로 설계하였으며, 전체 면적은 160 X 300um2이다.	Analog and Digital Mixed Signal	20140619		20141107	서울시립대학교 산학협력단
2486	2014UOS_16b_32sps_2nd_Integrating_Sigma-Delta_ADC	본설계에서는저전력,소면적을요구하는센서어플리케이션에적합한16bit 2nd-order Integrating Sigma-Delta ADC를 제안한다. 제안하는 ADC는 512 배의 OSR(Oversampling Ratio)을 갖으며, 2차의 Cascade 구조를 가지고 있다. 입력 및 적분기 출력에서	Analog and Digital Mixed Signal	20140603		20141107	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		양자화기로 통하는 Feedforward path를 추가하여 적분기 입력신호 범위 제한을 최소로 하고 있다. 설계된 모듈레이터로부터 Parallel한 Digital Output을 얻기 위해 Serial Output을 출력하는 양자화기 뒷단에 2nd-Order Digital Filter를 포함하고 있다. 이는 양자화기 출력을 Filtering 및 Decimation을 하여 출력에서 High-Resolution&Low Data Rate를 얻을 수 있다. 이와 같은 Digital Filter는 10-bit 양방향 계수기 및 18-bit누산기를 이용하여 설계 하였다. 제안하는 설계 기법을 적용하여 0.18um 1P3M CMOS 공정을 이용하여 전체 면적은 0.39mm2이다. 2.0V 전원 전압에서 전체 45uA를 소모하며, 32sps에서 83dB의 SNDR을 보이며, 최대 13.5b의 ENOB 성능을 나태내고 있다.					
2491	2014SG_12bit_Pipelined_ADC	본 설계 회로에는 1.1V의 공급 전력으로 동작하는 저전력 회로로써 Pipelined ADC가 설계 되었다. 100MS/s의 속도와 100MHz의 클록 주파수에서 동작하는 High Speed가 가능하며, 이로 인해 왜곡을 감소시키기 위하여 redundancy회로를 추가하여 왜곡을 최소화하였다.	Analog and Digital Mixed Signal	20140402		20141114	서강대학교산학협력단
2496	2014SG_Two_Step_SS_ADC	본설계에서는CMOSimagesensor에이용하기위한 ADC회로로써기존구조에서twostage로동작하여 스피드를 높였으며, 25MHz의 clock으로 redundancy로 전압 왜곡을 최소화하였다.	Analog and Digital Mixed Signal	20140519		20141114	서강대학교산학협력단
2497	2014SG_PET_Detector	본 설계에서는 PET 시스템에 사용되는 감마선을 검출할 수 있는 센서 중 single photon을 detection할 수 있는 회로를 나타낸다.	Analog and Digital Mixed Signal	20140219		20141114	서강대학교산학협력단
2494	2014SG_1.2V_Transceiver for HDTV	본 설계에서는 HDTV Data 전송하기위에서 최대 5Gb/s Data 송수신을 할수있다. peak-to-peak jitter 는 12ps 인다.	Analog and Digital Mixed Signal	20140402		20141114	서강대학교산학협력단
2498	2014SG_1.8V_VTS	본설계에서는주위의온도를센싱하여전압값으로변환 후Delta-sigmaADC로사람이인식가능한디지털데 이터값출력을만들어주는회로이다.동작하는온도범	Analog and Digital Mixed Signal	20140224		20141114	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		위는-55도에서125도 까지이며 저전력으로 동작하도록 설계되었다.					
2490	2014SG_Clock_Data_Recovery	본 설계에서는 HDTV 위해서 2.97Gb/s의 입력 데이터 복원기(CDR)를 제안한다. 제안한 CDR를 PLL로 Coarse Reference Voltage 주고, 입력데이터로 Fine Tuning한다.	Analog and Digital Mixed Signal	20141001		20141114	서강대학교산학협력단
2492	2014SG_Phase_Locked_Loop	A digital assistant circuits is proposed in this design. After this, the gain of VCO can be shared by digital circuits, so analog gain of VCO can be reduced and still a wide tuning range of VCO can be achieved.	Analog and Digital Mixed Signal	20140811		20141114	서강대학교산학협력단
2495	2014SG_Time_to_Digital_Converter	본설계에서는MultipleStepsofDelayLine이용하서TDC동작하여 스피드를 높였으며, 10MHz의 입력으로 시간차이를 발생해서 Digital Code 출력 나타낸다.	Analog and Digital Mixed Signal	20140519		20141114	서강대학교산학협력단
2500	2014SG_1.8V_TDC_typ2	본 설계에서는 온도에 따라 달라지는 Digital 값을 측정 할 수 있는 온도 센서다.	Analog and Digital Mixed Signal	20140219		20141114	서강대학교산학협력단
2499	2014SG_4T_Pixel	본 설계는 CMOS image sensor에 사용하기 위한 Pixel로써 4개의 트랜지스터를 이용하여 floating diffusion 영역을 추가하여 측정된 일정한 값이 나오게 하였다.	Analog and Digital Mixed Signal	20141001		20141114	서강대학교산학협력단
2501	2014SG_1.8V_TDC	본 설계에서는 온도에 따라 달라지는 Digital 값을 측정 할 수 있는 온도 센서다.	Analog and Digital Mixed Signal	20140219		20141114	서강대학교산학협력단
2493	2014SG_12bit_Two_Step_SS_ADC	본 설계에서는 CMOS image sensor에 이용하기 위한 ADC 회로로써 12bit의 resolution을 갖고 있으며, two stage로 동작하여 high speed동작이 가능하다. 또한 redundancy를 이용하여 왜곡을 최소화하였다.	Analog and Digital Mixed Signal	20140811		20141114	서강대학교산학협력단
2502	2014SG10b120MSps45n_TI_SAR Pipeline SAR ADC	본 설계에서는 특별한 보정기법 없이 채널 간 오프셋 부정합 문제를 최소화한 2채널 time-interleaved (T-I) 구조의 10비트 120MS/s 파이프라인 SAR ADC를 제안한다. 제안하는 ADC는 4비트-7비트 기반의 2단	Analog and Digital Mixed Signal	20140528		20141120	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		파이프라인 구조 및 2채널 T-I 구조를 동시에 적용하여 전력소모를 최소화하면서 빠른 변환속도를 구현하였다. 채널 간에 비교기 및 잔류전압 증폭기 등 아날로그 회로를 공유함으로써 일반적인 T-I 구조에서 선형성을 제한하는 채널 간 오프셋 부정합 문제를 추가적인 보정기법 없이 최소화할 뿐만 아니라 전력소모 및 면적을 감소시켰다. 한편 제안하는 ADC는 기준전압 구동회로를 3가지로 분리하여, 4비트 및 7비트 기반의 SAR 동작, 잔류전압 증폭 등 서로 다른 스위칭 동작으로 인해 발생하는 기준전압 간섭 및 채널 간 이득 부정합 문제를 최소화하였다. 시제품 ADC는 고속 SAR 동작을 위한 높은 주파수의 클록을 온-칩 클록 생성회로를 통해 생성하였으며, 외부에서 duty cycle을 조절할 수 있도록 설계하였다. 시제품 ADC는 45nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대 0.69LSB, 0.77LSB이며, 120MS/s 동작속도에서 동적 성능은 최대 50.9dB의 SNDR 및 59.7dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 0.36mm2이며, 1.1V 전원전압에서 8.8mW의 전력을 소모한다.					
2503	잡음보상회로가 없는 PSR 플라이백 컨버터 제어 IC	대기전력을 낮추기 위해 트랜스포머 2차측(secondary-side) 출력정보 센싱회로를 제거하고 1차측(Primary-side)에서 정보를 간접 센싱하여 제어하는 플라이백 컨버터 방식을 PSR(Primary Side regulation) 플라이백 컨버터라고 한다. 출력전압 정보를 간접적으로 센싱하는 방법은 파워 스위치(Power MOSFET)를 턴오프 시킨 이후 트랜스포머의 자화인덕터 전류가 0으로 방전되는 시점에 트랜스포머 보조권선의 전압을 센싱함으로써 가능해진다. 자화인덕터의 전류가 0이 되는 시점에만 출력전압의 정보가 얻을수 있기 때문에 그 이외에 센싱되는 정보는 잡음보상회로를 이용하여 보정해줘야 한다. 본 배치설계등록특허의 PSR 플라이백 컨버터 제어	Analog and Digital Mixed Signal	20141114		20141208	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		IC는 2개의 제어신호가 입력되는 샘플홀드회로를 이용하여 잡음보상회로가 없는 PSR 플라이백 컨버터 제어 IC를 구현하였다.					
2509	출력전압 간접 센싱회로 내장 PSR 플라이백 컨버터 제어 IC	전원장치의 대기전력을 낮추기 위해서는 대기상태에서 전력을 소모하는 회로를 최소화 시켜야 한다. 일반적인 전원장치의 경우 부하의 정보를 트랜스포머 2차측(secondary-side)에서 센싱하여 이를 이용한 PWM 제어를 하게 되는데 본 배치설계등록특허의 제어 IC의 경우 2차측 센싱회로를 제거하고 1차측(Primary-side)에서 출력정보를 간접 센싱하여 제어하는 PSR flyback 컨버터 제어 IC이다.	Analog and Digital Mixed Signal	20140409		20141208	한국전기 연구원
2505	3상 단상 겸용 모터 구동 IC	3상 단상 겸용 모터 구동 IC 는 BLDC 모터의 파워스위치 게이트 구동 IC로 3상-단상 겸용으로 사용 가능하다. 3상으로 사용될 때는 Differential 3쌍의 Hall 신호와 모터 구동 신호를 입력 받아, 3쌍의 P/N 파워스위치 게이트 구동 신호를 출력하고, 단상으로 사용될 때에는 1쌍의 Hall 신호와 2쌍의 모터 구동신호를 입력 받아, 2쌍의 P/N 파워스위치 게이트 구동 신호를 출력한다. 외부 Hall 소자의 신호를 증폭하여 디지털 로직에 사용할 수 있게 바꾸어 모터 회전자의 위치파악과 속도제어에 이용한다. BGR 회로를 이용한 Internal voltage regulator가 포함되었고, 디지털 로직에 사용할 5MHz용 oscillator도 내장되어있다. High voltage를 사용하고 전류 소모가 많은 게이트 구동부를 기타 아날로그 회로와 분리 배치하여 노이즈 영향을 감소시켰다.	Analog and Digital Mixed Signal	20141013		20141208	한국전기 연구원
2506	샘플앤홀드 회로를 가지는 PSR 컨버터 제어 IC	PSR 컨버터 제어 IC 는 보조권선으로부터 2차측 정보를 받아 제어하는 PSR 방식의 플라이백 컨버터에 사용된다. 출력전압정보를 직접 받는 것이 아니기 때문에, 피드백 전압을 정확한 시점에 정확히 샘플하는 것이 중요하다. 본 배치설계의 PSR 컨버터 제어 IC는 이런 역할을 담당하는 샘플앤홀드 회로를 내장하고 있다. 피드백 전압입력 패드는 입력버퍼와 최대한	Analog and Digital Mixed Signal	20140409		20141208	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		가까이 배치하여 신호보전성을 좋게 하였다. 샘플링클럭 제너레이터는 게이트 온 신호와 샘플링타임을 조절하는 신호들을 입력으로 받아 샘플링 타임을 결정한다. 이때 샘플링타임을 조절하는 신호들은 DC 신호로 노이즈의 영향이 없어 상대적으로 멀리 배치하였다. High voltage 소자를 사용하는 Internal voltage regulator가 포함되었고, 가드링으로 분리하여 배치하였다. High voltage를 사용하고 전류 소모가 많은 게이트 구동부를 기타 아날로그 회로와 분리 배치하여 노이즈 영향을 감소시켰다.					
2504	전압단차 최소화를 적용한 경부하용 전원공급 레귤레이터	전원장치가 경부하 또는 대기모드로 동작할 때, 입력전압과 출력전압 단차(=입력전압-출력전압)가 커지게 되면 손실이 커져 변환효율이 감소한다. 입력 전압 파형과 동기하여 저전압에서 구동함으로서 전압 단차를 줄여 경부하 또는 대기모드에서 변환효율을 향상시킬 수 있다. SMPS 전원장치는 입력전압파형과 관계없이 구동함으로서 전압 단차(=입력전압-출력전압) 무관하게 동작한다. 경부하 또는 대기모드에서 Linear Power Supply에서 전압단차가 가장 클 때 동작함으로서 효율이 저하, 경부하 또는 대기모드에서 Switched Mode Power Supply가 입력전압 파형과 무관하게, 비동기적으로 Burst mode, Skip mode PWM 신호 발생시킴으로서 변환효율이 저하하는 것을 개선할 수 있다.	Analog and Digital Mixed Signal	20130621		20141208	한국전기 연구원
2507	염료감응형 태양전지용 전력제어 IC	염료감응형 태양전지의 레귤레이터로서 MPPT 및 보호기능이 내장 되었음.	Analog and Digital Mixed Signal	20131022		20141208	한국전기 연구원
2510	파워스위치 구동신호 연동형 S/H Timer 내장 PSR 플라이백 컨버터 제어 IC	대기전력을 낮추기 위해 트랜스포머 2차측(secondary-side) 출력정보 센싱회로를 제거하고 1차측(Primary-side)에서 정보를 간접 센싱하여 제어하는 플라이백 컨버터 방식을 PSR(Primary Side regulation) 플라이백 컨버터라고 한다. 일반적으로 PSR 플라이백 컨버터 제어 IC는 출력전압 정보를 파워 스위치(Power MOSFET)를 턴오프 시킨 이후	Analog and Digital Mixed Signal	20141104		20141208	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		트랜스포머의 자화인덕터 전류가 0으로 방전되는 시점에 트랜스포머 보조권선의 전압을 센싱함으로써 가능해진다. 이때 보조권선의 전압을 센싱하기 위해서는 센싱 시점을 센싱 회로에 전달하는 타이밍 회로가 필요하다. 기존 PSR 플라이백 컨버터의 경우는 디지털 로직으로 구현된 복잡한 타이밍 회로를 사용하나 본 건 배치설계등록특허의 PSR 플라이백 컨버터 제어 IC의 경우 기존 회로와 달리 파워 스위치(Power MOSFET) 구동신호를 이용하여 센싱 시점을 센싱회로에 전달할 수 있는 타이밍 회로를 사용하였다. 내장된 파워스위치(Power MOSFET) 구동신호 연동형 타이밍 회로는 2개의 비교기와 신호지연을 위한 delay 회로만을 이용해 구현하였기 때문에 기존 회로에 비해 면적이 작다는 장점이 있다.					
2508	Advanced Burst mode 기능 내장 PSR 플라이백 컨버터 제어 IC	대기전력을 낮추기 위해 트랜스포머 2차측(secondary-side) 출력정보 센싱회로를 제거하고 1차측(Primary-side)에서 정보를 간접 센싱하여 제어하는 플라이백 컨버터 방식을 PSR(Primary Side regulation) 플라이백 컨버터라고 한다. 기존의 PSR 플라이백 컨버터 제어 IC의 경우 대기전력을 절감하기 위해 파워 스위치(Power MOSFET) 구동 신호를 일정한 간격으로 없애는 skip mode 방식, 또는 일정 구간마다 묶어서 내보내는 burst mode 방식을 사용하였으나 2차측의 정보를 사용하지 않는 PSR 컨버터의 특성으로 인해 대기모드 상태에서의 load regulation 특성이 저하되는 문제점이 있었다. 본 건 배치설계등록특허의 PSR 플라이백 컨버터 제어 IC의 경우 기존 회로와 달리 대기모드 상태에서 burst mode와 skip mode를 동시에 적용하는 회로를 내장하여 대기모드 상태에서도 load regulation 특성이 저하되지 않도록 하였다.	Analog and Digital Mixed Signal	20140409		20141208	한국전기 연구원

23. '15년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2511	2015DG 018 64-pixel Asynchronous Detector	본설계에서는입자와같은수나노초안에변화하는전압을감지하기위해서Front-end회로를이용하였고Front-end회로를통해출력된신호를Asynchronous memoryblock을통해저장하는방식을사용하였다. 제안하는ADC는0.18um1P6MCMOS공정으로제작되었으며layout은Analog신호왜곡을최소화하기위해각각의Sub-block이한쪽방향으로만신호처리가가능하도록배치되었으며,Digital신호에의한Analog신호의간섭을최소화하기위해Guard-ring으로각각의Block및Core를분리하여배치하였다. 면적은 2mm2이다.	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단
2512	2015DG8b50M Sps018 binning CIS	본설계에서는CMOS이미지센서(CIS)에서가변해상도가가능한저전력singleslopeADC(SS-ADC)를제안한다.제안하는CIS는픽셀어레이,binningcircuit,컬럼ADC,메모리등으로구성된다.픽셀어레이는QCIF급을만족하기위해174×144개로이루어져있으며,설계된SS-ADC는8-bit해상도를갖는다. 가변해상도가동작하기위하여로우컨트롤블록과컬럼어레이의신호들을제어하는single블록이추가되었다.가변해상도가동작할때,binningmode와 subsampling mode에서의 해상도는 normal에 비해 1/4로 줄어드나 binning mode에서 subsampling mode보다 좀 더 높은 화질을 기대할 수 있다. 각각의 가변해상도 모드는 normal mode에 비해 소모 전력 또한 1/4수준으로 줄어든다. 제안한 CIS 칩은 0.18㎛ Towerjazz CIS 공정으로 제작되었으며, 2.2um 크기의 1.75TR 4-shared active pixel sensor를 사용하였다. 아날로그 블록에서 각 신호들의 간섭을 최소화하기 위해서 최대한 간격을 두고 설계하였다. 아날로그 블록과 디지털 블록을 각각 Guard-ring으로 분리시켜 신호의 간섭을 최소화 하였다.	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2513	2015DG12b1M Sps018 DAC	본설계에서는저전력,저면적,고해상도CyclicDAC를제안한다.제안하는DAC는디지털블록과아날로그블록으로나누어져있다.디지털블록은Jonsoncounter,Timinggenerator,non-overlapclockgenerator 그리고 level shifter로 구성되어 있다. 아날로그 블록은 Cyclic DAC core와 Track & Hold circuit(T/H)으로 이루어져 있다. 아날로그 블록에서는 디지털 블고에서 만들어진 신호들을 이용하여 Cyclic DAC core와 T/H의 스위치를 컨트롤 한다. 제안하는 DAC 칩은 매그나 0.18um 공정을 사용하여 자동화 테스트 장비(ATE)에 사용 가능한 10-bit 50KS/s Cyclic DAC를 설계하였다. 전체적인 구조는 저면적 및 고해상도를 만족시키기 위하여 Cyclic의 구조를 사용하였으며, 정적 성능을 높이기 위해 높은 전압이득을 갖는 op-amp를 사용하였고, 커패시터의 매칭특성을 향상시키기 위해 common centroid 기법을 적용하였고, 주변 회로와 라우팅을 두 개의 커패시터에 대칭적으로 layout 하였다.	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단
2514	2015DG8b25M Sps018 sub-sampling CIS	개인용블랙박스의가장중요한점은전력소모와해상도라고할수있다.휴대용인만큼대기상태일때전력소모를극소화하고해상도는최대한낮추어동작해야한다.본설계에서는개인용블랙박스를위한가변해상도및저전력구동이가능한CMOSImageSenor(CIS)개발을위해설계되었다.이를위해평소에는저해상도모드로동작하다가특정한조건이발생하여감지되었을때고해상도모드로변환하여이미지를획득한다.그리고가변해상도의이미지센서를동작시키기위한기술을사용하여평시전력소모를낮춘다.또한,전력소모를최대한낮추기위해Readoutcircuit은Single-SlopeADC(SS-ADC)를이용하며,그외다른블록도저전력구현이가능하도록설계하였다.제안한CIS칩은0.18umCIS공정으로제작되었으며4TR4sharedpixel을사용하였다.아날로그블록들은서로간의간섭을최소화하기위해최대한간격을두고설계하였다.그리고CIS는ADC간의matching이중요하므로pixel을중	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		심으로대칭적으로설계가되었다.					
2515	2015DG4b12b10MSps018 ADC	본설계에서는픽셀별로다른해상도를출력해낼수있는ConfigurableADC에대하여설계하였으며이ConfigurableADC는CIS에이용하기위한CIS용ADC이다.제안한칩은0.18㎛CMOS공정으로제작되었으며픽셀마다해상도를선택할수있는ResolutionControlBlock과해상도에선택에따라TwoStepSingleSlopeADC내부의Counter에인가되는mainCLK속도를결정해주는FrequencySelector로구성되어있다.픽셀별로출력하고자하는해상도를결정하게되면FrequencySelector블록은Counter로인가되는mainCLKSpeed를결정된다.기존ADC의경우Counter의mainCLKSpeed는항상일정하기때문에정해진해상도만을출력하게된다.제안하는ADC의경우에는외부에서의해상도선택에따라선택적으로Counter를동작시키거나각기다른속도의CLK를Counter로인가하기때문에최종적으로출력되는해상도가바뀐다.	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단
2516	2015DG8b50MSps018 ADC	본설계에서는고성능아날로그IP에대한수요와이동통신시장에서의 ADC 수요에 맞는 높은 변환속도를 갖으면서 중 해상도, 저전력 8b ADC를 제안한다. 본 설계에서는 flash ADC의 고속 병렬처리 장점을 유지하면서 상, 하위 분리구조를 사용하여 비교기의 수를 크게 줄임으로써 저 전력, 소 면적의 특성을 지닌다. 따라서 상위 구조는 flash ADC를 이용하였으며 하위 구조는 Folding ADC의 구조를 사용하였다. 또한 상, 하위 분리 구조에 따른 경계면 오차를 보정하기 위해 디지털 블락에 에러 보정회로를 삽입하였다. 제안하는 ADC는 0.18um 1P6M CMOS 공정으로 제작되었으며 layout은 Analog 신호 왜곡을 최소화하기 위해 각각의 Sub-block이 한쪽 방향으로만 신호처리가 가능하도록 배치되었으며, Digital 신호에 의한 Analog 신호의 간섭을 최소화하기 위해 Guard-ring으로 각각의 Block 및 Core를 분리하여 배치하였다. 또한 상위 3-bit 변환기와 하위 5-bit 변환기 간의 신호	Analog and Digital Mixed Signal	20150301		20150508	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		간섭을 최소화하기 위해 각각의 Core를 분리하여 배치하였으며, 이 때 발생할 수 있는 자연시간을 보정하기 위해 최종 Digital 출력 앞단에 데이터 동기화 회로를 삽입하였다. 목표 스펙이었던 50MS/s의 샘플링 속도에서 측정된 SNDR은 최대 48.84dB이다. 전체 칩 면적은 1mm2이다.					
2517	센스글라스 보드	센스글라스보드는ATmega128A칩과적외선수광/발광센서,블루투스보드,가속도센서,아날로그생체신호측정회로,아날로그필터,디지털필터등이올라간회로로써생체신호중PPG신호와머리움직임을측정,무선통신,ADC기능이측정될수있는모듈설계및개발한 인체공학적인디자인으로안경에부착하여귓등에서측정할수있도록설계하였다.	Analog and Digital Mixed Signal	20140901		20150518	한국전자통신연구원
2518	All synthesizable current mode transmitter driver	Digital standard cell을 사용하여 portability를 향상시킨 것으로 HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20140901		20150708	포항공과대학교 산학협력단
2519	2015SG24chDAC10bSDC	제안하는 DAC는 시분할 기법 기반의 DEMUX, 6비트 및 4비트의 2단 저항 열 구조를 기반으로 하는 롬 구조의 디코더를 2단계로 사용하여 기존의 디스플레이용 DAC보다 빠른 변환속도를 가지는 동시에 하나의 패널 컬럼 구동을 위한 DAC의 유효 면적을 최소화하였다. 두 번째 단 4비트 저항 열에서는 DAC 채널의 면적과 부하 영향을 줄이는 동시에 버퍼 증폭기로 인한 채널 간 오프셋 부정합을 제거하기 위해 기존의 단위-이득 버퍼 대신 간단한 구조의 전류원으로 대체하였다. 제안하는 1:24 DEMUX는 하나의 클록과 5비트 2진 카운터만을 사용하여, 하나의 DAC 채널이 24개의 컬럼을 순차적으로 구동할 수 있도록 하였다. 각 디스플레이 컬럼을 구동하는 출력 버퍼 입력 단에는 0.9pF의 샘플링 커패시터와 작은 크기의 source follower를 추가하여 top-plate 샘플링 구조를 사용하면서 채널 전하 주입에 의한 영향을 최소화하는 동시에	Analog and Digital Mixed Signal	20140811		20150706	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		출력 버퍼의 신호정착 정확도를 향상시켰다. 제안하는 DAC는 0.18㎛ CMOS 공정으로 제작하였으며, DAC 출력의 정착 시간은 low에서 high 조건에서 62.5ns의 수준을 보인다. 제안하는 DAC 단위 채널의 면적 및 유효 채널 면적은 각각 0.058mm2 및 0.002mm2이며, 3.3V/1.8V 전원 전압에서 6.08mW의 전력을 소모한다.					
2520	2015SG13b200MSps45n_R4 High Dynamic Performance Pipeline ADC	본 설계에서는 디지털 광대역 고속 수신기 응용을 위하여 105MHz의 IF 주파수를 중심으로 60MHz의 입력 주파수 대역을 처리하며 높은 동적성능을 가지는 파이프라인 ADC를 제안한다. 제안하는 ADC는 높은 동적성능을 확보하기 위해 2.5V 소자를 사용하여 2.0VP-P의 입력신호 범위를 처리하며, 면적 및 전력소모를 최적화하기 위해 각 단에서 3b-4b-4b-5b를 처리하는 4단 파이프라인 구조로 집적되었다. SHA, MDAC1 및 MDAC2는 높은 DC 이득을 얻기 위하여 이득-부스팅 기법을 적용한 2단 증폭기를 사용하였으며, SHA에는 높은 주파수의 입력신호를 왜곡 없이 처리하기 위해 게이트-부트스트래핑 회로를 적용하였다. 또한 기준전류 회로 및 기준전압 구동회로를 집적하여 다양한 응용에 적용될 수 있도록 하였다. 제안하는 ADC는 45nm CMOS 공정으로 제작되었으며, 면적은 0.70mm2이다. 시제품 ADC의 측정된 DNL 및 INL은 각각 0.75LSB, 1.67LSB의 최대값을 갖는다. 동적성능은 100MS/s의 동작속도에서 각각 최대 56.9dB의 SNDR과 75.1dB의 SFDR을 가지며, 80MS/s의 동작속도에서 각각 최대 64.6dB의 SNDR과 81.0dB의 SFDR을 가진다. 전력은 100MS/s 동작속도에서 2.5V의 아날로그 전원전압, 2.5V 및 1.1V의 디지털 전원전압을 사용하여 427.5mW를 소모한다.	Analog and Digital Mixed Signal	20141209		20150706	서강대학교산학협력단
2521	2015SG12b60MSps011 Flash-SAR	본 설계에서는 무선 통신 시스템 응용을 위한 12비트 60MS/s CMOS Flash-SAR ADC를 제안한다. 제안하는 Flash-SAR ADC는	Analog and Digital Mixed Signal	20141008		20150706	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	ADC	고속으로 동작하는 Flash ADC의 장점을 이용하여 상위 4비트를 결정하고, 적은 전력소모를 갖는 SAR ADC의 장점을 이용하여 하위 9비트를 결정함으로써 해상도가 증가함에 따라 동작 속도가 제한이 되는 SAR ADC의 문제를 해결하였다. 제안하는 ADC는 일반적인 Flash-SAR ADC에서 고속 동작에 제한이 되는 입력 단 트랙-앤-홀드를 제거하고 SAR ADC의 C-R DAC를 단일 샘플링-네트워크로 사용하여 입력 샘플링 부정합 문제를 해결하였다. 한편, Flash ADC에는 인터폴레이션 기법을 적용하여 프리앰프의 수를 절반 수준으로 줄임으로써 면적 및 전력소모를 최소화하였으며, SAR 동작시 Flash ADC의 비교기에서 불필요하게 소모되는 전력을 최소화하기 위해 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 제안하는 ADC는 1.2V전원전압에서 6.98mW의 전력을 소모하며, 0.45mm2의 면적을 차지한다.					
2522	All synthesizable USB2.0 PHY	PC와 USB 통신을 하기 위하여 Digital standard cell을 사용하여 설계하였고, HSPICE 회로시뮬레이터와 스펙터 시뮬레이터를 이용하여 완성된 회로임	Analog and Digital Mixed Signal	20140615		20150708	포항공과대학교 산학협력단
2523	2015SG12b30MSps018 Low-power Composite Switching SAR ADC	본 설계에서는 저전력 복합 스위칭 기법 기반으로 0.25mm2의 작은 면적을 가지는 12비트 30MS/s SAR ADC를 제안한다. 제안하는 ADC의 저전력 복합 스위칭 기법은 monotonic 스위칭 기법에 VCM 스위칭 기법을 접목한 것으로써 SAR ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화 할 뿐만 아니라 평균 스위칭 전력 소모도 최소화하였다. 또한, 분할 커패시터 구조를 통해 추가적인 스위치 및 디지털 로직 회로 없이 VCM 스위칭 및 기준 전압 레인지 스케일링 기법을 위한 커패시터에 등가적으로 VCM 전압을 인가함으로써 전체적인 회로를 간소화하였다. 제안하는 DAC 커패시터 열에는 추가적인 10CU를 통한 기준 전압 레인지 스케일링 기법을 적용함으로써 입력 신호와 기준	Analog and Digital Mixed Signal	20140811		20150706	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		전압의 범위를 일치시켰으며, C-R 하이브리드 DAC 구조를 사용하여 DAC에서 사용되는 단위 커패시터의 총 개수를 32CU로 줄여 전체 DAC 면적을 최소화하였다. 한편, 제안하는 SAR ADC는 SAR 로직 회로에 D 플립플롭 형태의 레지스터가 아닌 래치 형태의 레지스터를 사용하여 빠르고 안정적인 SAR 동작을 구현하였으며, 출력 값을 디코더 로직 회로 없이 DAC의 스위치에 직접 인가함으로써 면적 및 전력 소모를 최소화하였다. 제안하는 ADC는 1.8V 전원 전압에서 5.57mW의 전력을 소모하며, 0.25mm2의 면적을 차지한다.					
2524	2015HYBUCKHB018 Enhanced noise of buck converter	설계된 four-phase buck converter 는 voltage mode control 방식이며, 출력단의 load c urrent 의 변화 시 R1 과 R2 저항에 의해서 정의 되는 FB 전압도 변화하게 된다. 이와 함께 error amplifier 의 출력 전 압도 변동하게 된다. 이를 ramp 신호와 비교하여, SR latch 의 reset 신호를 형성한다. Clock 이 SR latch 의 set 신호 하며, set 과 reset 신호에 의해서 PWM 신호가 만들어 진다. 이 신호는 dead-time buffer 를 통해서 PMOS 와 NMOS 를 동작시켜, 출력단의 인덕터 전류에 변화를 주게 된다. 개발된 회로는 noise에 강하게 설계하기 위해 Clock Generat or의 Clock을 Random 신호를 이용하여 생성하였다. 총 면적은 2.416 mm x 2.416 mm 이다.	Analog and Digital Mixed Signal	20150730		20150807	한양대학교 에리카산학협력단
2525	2015HY3VDD018 PSRR Enhanced Low-Dropout Regulator	제안된 회로는 PSRR Enhanced Low-dropout Regulator로 Linear regulator의 장점 중 하나인 PSRR 특성을 강화시키기 위한 목적 하에 설계되었다. PSRR을 강화시키기 위해서는 High Gain, Low ESR Resistance, Ripple Cancellation Technique 등이 필요하다. two stage 구조를 사용하여 High Gain을 갖게 하였고, 동시에 1-Stage 에서 흘러온 Ripple 신호가 2-stage 에서 Ripple Cancellation 이 되는 효과를 얻을 수 있다. Cancel된 신호가 Buffer를 통해	Analog and Digital Mixed Signal	20150730		20150807	한양대학교 에리카산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		전달되며 Subtractor를 추가시켜 PSRR을 개선시켰다.					
2526	2014HY06VDD 018DB Double mode Boost Converter	본 설계에서는 charge pump와 boost converter를 사용하여 낮은 전압을 일정한 전압으로 생성하는 Double mode Boost Converter를 제안한다. 제안된 Double mode Boost converter는 MOSFET의 threshold voltage보다 낮은 전압의 Input이 가해 졌을 때, charge pump를 통해 MOSFET이 동작 될 수 있는 전압을 생성 하고, 이 전압을 통해 boost를 동작 시켜 일정한 VOUT를 제공 할 수 있다. 제안된 Double mode Boost converter에서 charge pump는 130kHz의 스위칭 주파수에서 동작하며, Boost converter는 1MHz에서 동작한다. 최대 40mA의 전류를 출력에 공급한다. 0.18um CMOS 공정으로 설계 되었고 면적은 2mm^2 이며 최대 70%이상의 효율을 가진다.	Analog and Digital Mixed Signal	20150713		20150807	한양대학교 에리카산학협력단
2527	2015HY26VDD 018 2.6V High PSRR LDO	본 설계에서는 2.6 V의 Supply 전압으로 동작하는 Low drop out regulator를 제안한다. o utput pole이 light load와 full load에서 항상 dominant pole이 되도록 하는 방식으로 고주파에서도 높은 PSRR을 유지 한다. 앰프 단은 high bandwidth를 갖는 OTA를 사용하여 DC PSRR Bandwidth를 늘렸고 앰프와 Power Transistor사 이에 subtractor를 달았다. Drop out voltage는 200mV이고 Bandwidth는 full load에서 0.85MHz로 동작한다. PSRR은 1MHz에서 -52.3dB, 10MHz에서 ?53.3dB이다. 0.18um CMOS 공정으로 설계 되었고 총 면적은 1.76mm^2 이다.	Analog and Digital Mixed Signal	20150713		20150807	한양대학교 에리카산학협력단
2528	2-채널 1-Gb/s Replica DCF-TIA 어레이	무인차량용LADAR시스템에장착되는광수신기어레이회로이다.특히,수신단front-end회로인transimpedanceamplifier(TIA)의입력단을차동구조의replica를이용한DCF-TIA입력단을사용한다. 이는수동소자로구성된lowpassfilter(LPF)를사	Analog and Digital Mixed Signal	20150715		20150910	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		용하지않기때문에매우적은면적의칩사이즈로구현할수있는장점이있다.또한,차동구조의형태를입력단부터취하기때문에공통모드잡음에대해매우강한회로를구현할수있다.제안한칩은0.18umCMOS공정을사용하여구현하였다.					
2529	10-채널300-Mb/s/chreplicaTIA및EQ어레이	NIRS시스템내의front-end회로이다.특히,광신호를검출하는입력트랜스임피던스증폭기는매우작은전류신호(수nApp)를detection해야하기때문에이득이매우커야하고,이로써대역폭은매우작게된다.이를300-Mb/s의동작속도까지올리기위해서는EQ(equalizer)회로가필요하다.전체칩면적을작게할수있도록입력단은replica형태를취하였고,본칩은0.18umCMOS공정을이용하여구현하였다.	Analog and Digital Mixed Signal	20150730		20150910	이화여자대학교산학협력단
2530	2-채널 1-Gb/s/ch AGC DCF-TIA 어레이	무인차량용LADAR (LAser Detection and Ranging)시스템에장착되는광수신기어레이회로이다.특히,수신단front-end회로인transimpedanceamplifier(TIA)의입력단에AGC(automaticgaincontrol)기능을포함하여제작하였다. 이는입력전류신호가2uApp부터700uApp까지의큰inputdynamicrange가가능하도록하며,이를통해큰전류신호가입력되면transimpedancegain을낮추고,작은전류신호가입력되면gain을키우는기능이다.제안한칩은0.18umCMOS공정을사용하여구현하였다.	Analog and Digital Mixed Signal	20150715		20150910	이화여자대학교산학협력단
2531	2015SG12bSARSM011 ADC	본 설계에서는 0.11um CMOS 공정을 이용하여 Successive-Approximation Register ADC를 구현하였다. 적은 면적으로 12b의 해상도를 구현하기 위하여 제안하는 SAR ADC는 내부 CDAC을 7bit의 CDAC과 5bit의 CDAC로 나누어 구성함으로써 전체 capacitor의 개수를 감소시켰다. 4 채널의 입력 신호를 선택할 수 있으며 1.2V 기준전압을 받아 ADC 내부 기준전압을 생성하기 위한 reference 회로가 포함되었다. 제안하는 ADC는 2.7V 전원전압에서 2.03mW의 전력을 소모하며 0.32mm2 의 면적을 차지한다.	Analog and Digital Mixed Signal	20150524		20151008	서강대학교산학협력단
2532	2015SGTSPMH	본 설계에서 제안하는 터치 스크린 패널	Analog and	20150608		20151008	서강대학

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	035 ASIC	인터페이스의 응용회로 시제품은 0.35um CMOS 공정으로 설계 및 제작되었다. 본 시제품은 터치 스크린 센서 신호를 증폭시켜 주는 Analog Front-End (AFE) 회로와 12bit 해상도의 Cyclic ADC로 구성되었으며 기존회로에서 발생했던 문제인 증폭기의 offset을 제거할 수 있는 offset cancellation 회로를 추가하여 제작되었다. 제안하는 터치 스크린 패널 인터페이스 응용회로는 2Vpp의 크기를 가지는 차동 입력신호를 처리하며 2.6mm2의 면적을 차지한다.	Digital Mixed Signal				교산학협력단
2533	2015SGHYDSMMH018 ADC	본 설계에서는 0.18um CMOS 공정을 이용하여 Hybrid CT/DT Delta-Sigma ADC를 구현하였다. 제안하는 ADC는 소모전력을 감소시키기 위하여 2차의 루프 필터 중 첫 번째 단계를 스위치커패시터를 이용한 기존의 이산시간 방식이 아닌 저항과 커패시터를 이용한 연속시간 방식으로 구현하였다. Amp의 slewing 동작을 활용하여 ramp 신호를 생성함으로써 클록 지터에 의한 영향을 줄이고 저전력으로 동작한다. 제작된 ADC는 0.29mm2 의 면적을 차지한다.	Analog and Digital Mixed Signal	20150713		20151008	서강대학교산학협력단
2534	2015SGPETMH018 ASIC	제안하는 Positron Emission Tomography(PET) 는 Track and Hold 기능을 가지고 있으며 1Mhz로 동작하는 AFE와 50Mhz로 동작하는 11bit Cyclic ADC를 이용하여 4-Channel의 AFE+ADC를 구성하였고, 50Mhz를 이용하여 1.6Ghz의 주파수를 생성하여 이용하는 Vernier type의 TDC와 PLL을 이용하였다. 외부로 나오는 PIN수를 최소로 하기위하여 3-Wire Controller을 설계하여 필요한 신호를 생성하였으며, Voltage와 Current를 내부에서 생성하여 기판의 복잡성과 외부노이즈에 대한 영향을 최소화 시키도록 회로를 설계해 넣었다. 제안하는 PET는 0.18um CMOS 공정으로 제작되었으며, 1.8V의 전원전압을 사용하였다. 회로의 면적은 12600 ㎟ (4200 ㎜ × 3000 ㎜)이다.	Analog and Digital Mixed Signal	20150921		20151008	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2535	2015SGPETMH 018 AFE	본 설계에서는 0.18㎛ CMOS 공정을 이용하여 양전자촬영(PET)용 센서 인터페이스의 응용회로 시제품의 AFE를 구현하였다. 본 시제품은 PET센서 신호를 검출하여 증폭시켜 주는 Analog Front-End(AFE) 회로와 11bit 해상도의 Cyclic ADC로 구성되었으며 다채널 환경에 적합한 저면적 구현을 목표로 제작되었다. 제작된 AFE는 100mVpp의 크기를 가지고 최대 10MHz 주파수 대역의 입력신호를 처리하며 0.97mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20150921		20151008	서강대학 교산학협 력단
2536	2015SG12bSA RMH018 ADC	본 설계에서는 0.18um CMOS 공정을 이용하여 Successive-Approximation Register ADC를 구현하였다. 제안하는 SAR ADC는 전체 면적을 감소시키기 위하여 하나로 구성된 12bit의 CDAC을 사용하는 대신 7bit의 CDAC과 5bit의 CDAC을 사용하여 capacitor의 개수를 감소시켰다. Noise 성능을 개선하기 위해 majority voting 기법이 사용되었으며, buffer에 의한 offset 영향을 auto-zeroing 기법을 사용하여 감소시켰다. 제작된 ADC는 0.22mm2 의 면적을 차지한다.	Analog and Digital Mixed Signal	20150302		20151008	서강대학 교산학협 력단
2537	2015UOS_600V _UHVBCD_CVC C_PSR_Flyback _Converter	본 설계에서는 1차측 제어방식(Primary-side regulation)의 flyback converter controller IC를 제안한다. 2차측 정보를 간접적으로 얻어 제어하는 방식으로 피드백 회로를 구성할 필요가 없기 때문에 저비용 및 소면적, 그리고 고효율의 설계가 가능하다. PSR 방식을 이용한 효율적인 정전압 및 정전류 모드를 구현하였다. 정전압모드에서 sample and hold를 이용하여 출력전압 크기 및 시간 정보를 감지할 수 있는 회로를 구현하였고, 정전류모드에서는 부하 전류의 절대 정확도를 향상시킬 수 있는 회로를 구현하였다. 제안한 회로는 전원전압 600V이고, 0.18-um UHV BCD 공정으로 설계하였으며, 전체 면적은 1070 X 1500um2이다.	Analog and Digital Mixed Signal	20190923		20151020	서울시립 대학교 산학협력 단
2538	2014SG12bSA RMH018 ADC	본 설계에서는 0.18um CMOS 공정을 이용하여 Successive-Approximation Register	Analog and Digital Mixed	20141110		20151008	서강대학 교산학협

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		ADC를 구현하였다. 제안하는 SAR ADC는 전체 면적을 감소시키기 위하여 하나로 구성된 12bit의 CDAC을 사용하는 대신 7bit의 CDAC과 5bit의 CDAC을 사용하여 capacitor의 개수를 감소시켰다. Noise 성능을 개선하기 위해 majority voting 기법이 사용되었으며, buffer에 의한 offset 영향을 auto-zeroing 기법을 사용하여 감소시켰다. 제작된 ADC는 0.22mm2 의 면적을 차지한다.	Signal				력단
2539	2015SG9p7psVRNTDCMH018	본 설계에서는 0.18㎛ CMOS 공정을 이용하여 TDC를 구현하였다. 제안하는 TDC는 Vernier-Type으로 Time Resolution이 Delay Cell의 Delay에 의해서만 결정되기 때문에 매우 단순하고 안정적인 장점이 있다. TDC는 같은 Vernier-Type의 DLL과 Counter로 구성되어 있다. Vernier TDC의 Voltage Controlled Delay Line에서 일정한 Delay를 만들어주기 위하여 DLL이 사용되며, 기준 클록과 입력 시그널 사이의 시간을 측정하여 Counter에서 5bit, TDC에서 6bit, 총 11bit의 시간 정보를 출력한다. TDC에서 사용된 기준 클록은 50MHz 이며, 샘플링 주파수는 12.5MS/s 이다. 전체 전력 소모는 306mW이며, 면적은 1.77mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20141201		20151008	서강대학교산학협력단
2540	2015UOS_3V_20mA_90nm_DCM_Buck_Converter	본 설계에서는 Zigbee chip의 효율을 높이기 위한 모바일용 고효율 DC-DC converter를 제안한다. 본 설계에서는 회로를 최적화하기 위해 디지털 bit를 사용하여 buck converter의 output voltage, soft start up 구간, switching frequency, minimum on-time을 가변 할 수 있게 하였다. Over voltage protection, zero current detection, under voltage lock out, soft start up 등 보호 회로를 사용하여 회로가 안정적으로 동작하게 하였다. 제안하는 DC-DC converter는 입력전압은 1.8 ~ 3.6V, 출력전압은 1.35 ~ 1.7V, 부하전류는 15~40mA, 스위칭 주파수는 0.625 ~ 5.1MHz이며 효율은 최대 90%를	Analog and Digital Mixed Signal	20150923		20151020	서울시립대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		갖는다. 90-nm RF 공정으로 설계 및 검증하였으며, 전체 면적은 800 X 950um2이다.					
2541	2015UOS_9b_1Msps_60nm_1.2V_Cyclic_ADC	본 설계에서는 저전력, 소면적 Cyclic Analog to Digital Converter(ADC)를 제안한다. 기존의 Cyclic ADC는 일반적인 수동소자의 불일치현상으로 인해 Offset이 발생되어 고성능의 Cyclic ADC를 구현함에 있어 문제가 된다. 이에 따라 본 설계에서는 발생되는 Capacitor의 불일치로 인한 Offset문제를 보상하기 위해 Digital 블록에 Offset Cancellation 기법을 적용하여 설계하였다. 이 기법은 Sample And Hold Amplifier(SHA)의 일반적으로 사용되는 Cyclic ADC의 SHA를 사용하지 않음으로써 저전력을 달성하였고, 또한 면적을 줄여 본 칩을 적용한 모듈의 소형화를 가능하게 하였다. 이러한 기법을 적용하여 본 설계는 65nm 4Metal CMOS 공정으로 설계하였으며, 전체 면적은 280u X 314um2이다.	Analog and Digital Mixed Signal	20150923		20151020	서울시립대학교 산학협력단
2542	2015UOS_1.5V_20mA_90nm_DCM_Boost_Converter	본 설계에서는 고효율의 DCM boost-converter를 제안한다. CCM 방식의 경우 효율이 작고, 주파수 보상 방법이 어려운 반면, 본 설계에서는 DCM 방식으로 설계하여 주파수 보상을 간단히 하였다. 또한 회로 동작 시 소모하는 전류와 leakage 전류를 최대한 줄여 고효율을 갖는 회로를 설계하였다. 본 설계의 경우 초기동작 시 낮은 전압에서 구동해야 하는데, 일반적인 방법으로는 구동하기 어렵기 때문에 back-gate-control 방식의 start-up방식을 사용하였다. 제안하는 boost-converter는 1.2~1.8V의 전원전압, 2.1V의 출력전압, 20mA의 부하전류, 5MHz의 주파수에서 최대 86%의 효율은 갖는다. 90-nm RF 공정으로 설계하였으며, 전체 면적은 590 X 570um2이다.	Analog and Digital Mixed Signal	20150923		20151020	서울시립대학교 산학협력단
2543	2015UOS_11b_	본 설계에서는 고속, 고해상도의 Pipelined	Analog and	20150923		20151020	서울시립

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	50Msps_60nm_ 1.2V_Pipelined _ADC_B	ADC를 제안한다. 기존의 Sample and Hold Amplifier(SHA)와 Multiplying Digital to Analog Converter(MDAC)의 사용을 함께 동작 하도록 구현함으로써 전력소모를 줄였고, 제한된 선형성을 개선할 수 있는 구조로 설계 하였다. MDAC은 두 번째 세 번째 단의 연산증폭기를 같이 사용함으로써 소모되는 전류를 비롯하여 면적 감소를 이루어냈다. 또한 이 동작을 위해 Flash Analog to Digital Converter(FADC)의 동작 속도를 2배 증가시켰고, 이에 따라 추가적인 면적을 줄일 수 있게 설계하였다. 또한 비이상적인 외부 전원으로 인한 성능감소를 개선하고자 내부 기준전압을 사용한 bootstrapping 기법이 적용되어 고속, 고해상도의 동작이 가능하도록 구현되었다. 본 설계는 이러한 기법을 적용하여 65nm 4Metal CMOS 공정을 통해 구현되었다. 전체 면적은 0.76mm X 0.81mm2 이다.	Digital Mixed Signal				대학교 산학협력 단
2544	2015UOS_11b_ 50Msps_60nm_ 1.2V_Pipelined _ADC_A	본 설계에서는 고속, 고해상도의 Pipelined ADC를 제안한다. 기존의 Sample and Hold Amplifier(SHA)와 Multiplying Digital to Analog Converter(MDAC)의 사용을 함께 동작 하도록 구현함으로써 전력소모를 줄였고, 제한된 선형성을 개선할 수 있는 구조로 설계 하였다. MDAC은 두 번째 세 번째 단의 연산증폭기를 같이 사용함으로써 소모되는 전류를 비롯하여 면적 감소를 이루어냈다. 또한 이 동작을 위해 Flash Analog to Digital Converter(FADC)의 동작 속도를 2배 증가시켰고, 이에 따라 추가적인 면적을 줄일 수 있게 설계하였다. 본 설계는 이러한 기법을 적용하여 65nm 4Metal CMOS 공정을 통해 구현되었다. 전체 면적은 0.76mm X 0.81mm2 이다.	Analog and Digital Mixed Signal	20150923		20151020	서울시립 대학교 산학협력 단
2545	2015UOS_3V_3 0mA_90nm_DC -DC_Buck_Con verter	본 설계에서는 저전력 고효율의 DC-DC buck converter를 제안한다. 전압모드를 사용할 경우 시스템 전달함수가 복합해지는 반면, 본 설계에서는 DCM 구조를 사용하여 시스템	Analog and Digital Mixed Signal	20150923		20151020	서울시립 대학교 산학협력 단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		전달함수가 1-pole을 가지므로 보상회로를 간단히 구현 할 수 있었다. Phase lag 방식의 주파수 보상회로를 사용하여 구성소자를 IC 내부에 집적화 하여 회로의 사이즈를 줄였다. 또한 회로 동작 시 소모하는 전류와 leakage 전류를 최대한으로 줄여 저전력 고효율을 갖는 회로를 설계하였다. 그리고 디지털 bit를 이용하여 다양한 외부 환경에 따라 스위칭 주파수와 출력 전압을 가변 하여 DC-DC converter가 효율적으로 동작하게 하였다. 제안하는 DC-DC converter는 입력전압은 1.8 ~ 3.6V, 출력전압은 1.7V, 부하전류는 5~40mA, 스위칭 주파수는 375~750kHz이며 효율은 최대 95%를 갖는다. 90-nm RF 공정으로 설계 및 검증하였으며, 전체 면적은 420 X 490 um2이다.					
2546	2015UOS_5V_BCD_CVCC_PSR_Flyback_Converter	본 설계에서는 1차측 제어방식의 정전압 및 정전류 제어가 가능한 flyback converter를 제안한다. 주파수 보상을 통해 정전압 및 정전류 모드에서 안정적으로 동작하도록 설계하였다. 2차측을 제어하기 위해 일반적으로 옵터크플러 피드백 방식을 사용하는 반면, 본 설계에서는 1차측을 제어방식을 사용하였다. 2차측 정보를 간접적으로 얻어 제어하는 방식으로 피드백 회로를 구성할 필요가 없기 때문에 저비용 및 소면적, 그리고 고효율의 설계가 가능하다. 정전압 및 정전류 제어를 위해 off-시간을 감소하는 회로와, 피크전류제어방식을 제안하였다. 제안한 회로는 5V의 입력전압, 85~140kHz의 스위칭주파수에서 출력전압 및 전류의 변화는 +/-1.68%, +/-2.56% 이내로 효율은 최대 89.8%이다. 0.18-um BCD 공정으로 설계하였으며, 전체 면적은 800 X 950um2이다.	Analog and Digital Mixed Signal	20150923		20151020	서울시립대학교 산학협력단
2547	2015UOS_3V_20mA_90nm_RF_CCM_Buck_Converter	본 설계에서는 고효율, 저잡음의 CCM buck-converter를 제안한다. 전압으로 회로를 제어하는 CCM buck-converter 주파수 보상 방법이 복잡하기 때문에, 본 설계에서는 피드백	Analog and Digital Mixed Signal	20150923		20151020	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		방식을 전압이 아닌 전류로 회로를 제어하도록 설계하였다. switching 잡음이 출력에 나타나는데, 일정한 주파수로 동작 하는 것이 아닌 주기적으로 변화 하는 주파수를 사용하는 Spread Spectrum Clock Generators를 사용하여 switching 잡음을 최소화 하였다. 제안하는 buck converter는 1.8~3.6V의 전원전압, 1.5V의 출력전압, 15~40mA의 부하전류, 0.625~5MHz의 주파수에서 최대 93%의 효율은 갖는다. 90-nm RF 공정으로 설계하였으며, 전체 면적은 612 X 520um2이다.					
2548	2015SG11bCA DCMH018 ADC	본 설계에서는 0.18㎛ CMOS 공정을 이용하여 Cyclic ADC를 구현하였다. 제안하는 Cyclic ADC는 60MHz의 외부 클럭을 사용하여 5MSPS로 동작하며 11bit의 해상도를 가진다. 해당 성능을 저전력으로 구현하기 위하여 op-amplifier sharing 기법이 사용되었으며, 1Vpp의 입력 신호 범위를 처리한다. 제작된 ADC는 0.46mm2의 면적을 차지하며, 19.8mW의 전력을 소비한다.	Analog and Digital Mixed Signal	20150907		20151008	서강대학교산학협력단
2549	2015SG1p6GHzPLLMH018	본 설계에서는 0.18㎛ CMOS 공정을 이용하여 PLL을 구현하였다. 제안하는 PLL은 PFD, VCO Divider로 구성되어 있으며, differential type의 inverter 구조의 Ring Oscillator를 사용하여 최대 1.6GHz에서 동작 하도록 설계되어 있다. 기준 클록은 50MHz이며 출력으로 1.6GHz의 differential 클록을 내보내며, 옵션을 통하여 800MHz의 출력을 내보낼 수 있다. 전체 전력 소모는 9mW이며, 면적은 0.06mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20141201		20151012	서강대학교산학협력단
2550	2014SGTSPMH035 ASIC	본 설계에서 제안하는 터치 스크린 패널 인터페이스의 응용회로 시제품은 0.35um CMOS 공정으로 설계 및 제작되었다. 본 시제품은 터치 스크린 센서 신호를 증폭시켜 주는 Analog Front-End (AFE) 회로와 12bit 해상도의 Cyclic ADC로 구성되었으며 다채널	Analog and Digital Mixed Signal	20141201		20151008	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		환경에 적합한 저면적 구현을 목표로 제작되었다. 제안하는 터치 스크린 패널 인터페이스 응용회로는 2Vpp의 크기를 가지는 차동 입력신호를 처리하며 2.38mm2의 면적을 차지한다.					
2551	넓은동작범위를갖는PLL회로	본배치설계의회로는3GHz~6.25GHz의넓은동작주파수범위를갖는클록생성회로이다.내부에PFD(phasefreqeuncydetector),CP(chargepump),3차LF(thirdorderloopfilter),VCO(ringvoltage-controlledoscillator),및DIV(divider)로구성되어있으며,기준클록(referenceclock)주파수는25MHz이다. 800kHz의대역폭을갖는LF와4/5prescaler및2-bit/6-bitprogrammablecounter를갖는DIV회로를통해,122분주할경우,3GHz의주파수를,250분주할경우,6.25GHz의주파수를생성하도록한다. 이회로는65nmCMOS공정으로설계,레이아웃,및제작하였다.	Analog and Digital Mixed Signal	20150902		20151030	이화여자대학교 산학협력단
2552	50-기가비트급1/8-분주클록및데이터복원CDR회로	본회로는50-Gb/s입력데이터신호를받아1/8-분주한6.25-GHz의클록신호를복원하며,이복원된클록신호를통해원래입력된50-Gb/s의데이터신호를retiming함과동시에신호의속도를1/8분주한낮은데이터신호로demuxing까지할수있는CDR회로이다. 이칩은65nmCMOS공정을사용하여제작하였다.	Analog and Digital Mixed Signal	20150902		20151030	이화여자대학교 산학협력단
2553	True-Time Delay (TTD) IP	개발된 광대역 True-TIme Delay 회로는 군사용 전자전에 사용되는 재머의 위상을 조절하여 전자빔의 방향을 조절하기 위한 핵심 회로로서 최소 1ps에서 최대 256ps까지 가변하는 7비트의 디지털 신호를 받아서 가변되도록 설 계되었으며 딜레이를 조절하는 인덕터와 스위치의 배치에 따라 미세한 특성 변화를 나타내며 본 개발에서는 자체 개발된 최적화된 인덕터 및 캐패시터를 사용하여 구현되었다. 배치설계파일은 CMOS공정으로 제작된 본 IP의 배치설계에 따른 각 레이어의 도면 (Metal1~Metal6, DIFF, NSD, PSD, Poly1. NW) 의 그림 캡쳐이다.	Analog and Digital Mixed Signal	20151120		20151127	국방과학연구소

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2554	An integrated power management unit for DVFS	이 layout은 DVFS로서, 크게 두 part로 볼 수 있습니다. 하나는 power module부분이고, 하나는 frequency module부분입니다. power module에는 digital LDO이 포함되고, frequency module에는 multiplying delay-locked loops (MDLL) 구조입니다. digital LDO 는 PFD, Lock Detector, CLK generator, Up/Down detector, Up/Down Counter, Switch array 블록을 포함합니다. 그리고 MDLL은 MRO, frequency divider 블록을 포함합니다. 모든 블록의 레이아웃은, 최소 사이즈를 위하여 layout을 하였고, voltage drop과 timing 고려를 하여 layout설계를 하였습니다.	Analog and Digital Mixed Signal	20150722		20151127	강원대학교산학협력단
2555	Buck-Boost DC-DC Converter for LED Driver	이 설계는 LED를 위한 Buck-Boost DC-DC Converter로서, Buck-Boost DC-DC converter부분과, feedback을 받아서 제어하는 부분으로 나뉘게 됩니다. 이 converter는 전류 sensing을 하여 제어하는 방식이어서 Current Sensor 블럭을 포함하고, buck mode, boost mode, buck-boost mode를 자동 제어 할 수 있도록 한 블록들입니다. 따라서, layout을 할 때, timing 문제를 줄이고, 파워 측면에서 최대한 효율을 높일 수 있도록 layout 하였으며, 이 설계는 휴대용기기에 적용할 수 있는 Chip layout이라서, 최대한 사이즈를 최소화 시키려고 하였습니다. 그리고 ESD PAD를 사용하여, 정전기와 같은 순간적인 전기적인 충격을 막는 부분도 포함하였고, 블록들이 잘 동작할 수 있도록 빈 공간에는 MOSFET Dummy를 사용하였습니다.	Analog and Digital Mixed Signal	20151105		20151127	강원대학교산학협력단
2556	2015SG_AFC_CDR	본 설계는 CMOS 공정을 이용하여 Gbps 급의 높은 전송률로 전송되는 데이터로부터 clock 신호를 추출하는 클럭 데이터 복원 회로(CDR : Clock Data Recovery)이다. 더 빠른 주파수 locking을 위해 AFC(Auto Frequency Calibration)를 추가하여 locking time을 크게 감소시켰다.	Analog and Digital Mixed Signal	20151207		20151215	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2557	2015SG_15bit_2nd_DSM	본 설계에서는 CMOS 공정을 이용하여 온도 및 습도계에 사용되는 DSM(Delta-Sigma Modulator)으로, 2nd order DMS 구조를 사용하여 기존의 DSM 성능인 해상도 12bit을 15bit 으로 향상시켰다.	Analog and Digital Mixed Signal	20150511		20151215	서강대학교산학협력단
2558	2015SG10b200MSps28n Asynchronous Pipeline SAR ADC	본 설계에서는 특별한 보정기법 없이 채널 간 오프셋 부정합 문제를 최소화한 2채널 time-interleaved (T-I) 구조의 10비트 200MS/s 파이프라인 SAR ADC를 제안한다. 제안하는 ADC는 각각 4비트 및 7비트 결정기반의 2단 파이프라인 구조, 이중채널 T-I 구조 및 비동기 방식의 SAR 알고리즘을 동시에 적용하여 전력소모를 줄이면서도 빠른 변환속도를 구현한다. 일반적인 T-I 구조에서 선형성을 제한하는 채널 간 오프셋, 이득, 타이밍 등 각종 부정합 오차는 채널 간 비교기 및 잔류전압 증폭기 등 다양한 아날로그 회로 공유기법을 통해 최소화한다. 또한, 고속 동작을 하는 SAR ADC의 전력소모를 줄이기 위해 비동기 방식의 SAR 알고리즘을 사용하며, SAR ADC에는 간단한 구조의 감지 회로를 추가하여 비교기 준안정상태 문제를 해결한다. 한편 제안하는 ADC는 기준전압 구동회로만 세 가지로 분리 설계하여, 각 단에서 4비트 및 7비트 기반의 SAR 동작, 잔류전압 증폭 등 세 가지 서로 다른 스위칭 동작으로 인해 발생하는 기준전압 간섭 및 채널 간 이득 부정합 문제를 제거한다. 제안하는 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 10비트 해상도에서 각각 최대 0.71LSB, 0.70LSB이며, 200MS/s 동작속도에서 동적 성능은 최대 48.0dB의 SNDR 및 51.8dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 0.23mm2이며, 1.0V 전원전압에서 3.6mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20150710		20151215	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2559	2015SG_Temperature Sensor2	본 설계 회로에는 1.8V의 공급 전력으로 동작하는 온도센서 회로로서 -40℃ ~ 120℃ 온도범위로 동작한다. 이 회로는 2kHz로 동작을 하고 500Hz의 Conversion rate (samples/s) 속도를 가진다.	Analog and Digital Mixed Signal	20150302		20151215	서강대학교산학협력단
2560	Power and Sensor Controller Chip efram_C1_A	고전압 700V 소자를 이용하는 Power and Sensor Controller Chip	Analog and Digital Mixed Signal	20151212		20151219	강희복
2561	2015SG_10bit_SS_ADC_CMOS Image Sensor	본 설계는 CMOS Image Sensor에서 저전력 구동을 위해 Column parallel ADC에 사용되는 Amplifier의 저전류를 이용해서 Bandwidth를 낮춰 구현하였다.	Analog and Digital Mixed Signal	20150302		20151215	서강대학교산학협력단
2562	2015SG_Temperature Sensor	본 설계 회로에는 1.2V의 공급 전력으로 동작하는 온도센서 회로로서 -40℃ ~ 120℃ 온도범위로 동작한다. 이 회로는 200Hz로 동작을 하고 50Hz의 Conversion rate (samples/s) 속도를 가진다.	Analog and Digital Mixed Signal	20150302		20151215	서강대학교산학협력단
2563	2015SG_Transceiver_Receiver	고속 회로에서 데이터를 전송하고 수신하는데 필요한 회로이다. 버퍼 증폭기를 이용하여 데이터를 전송하며, 수신단의 가장 앞에 위치하여 송신기에서 보내진 작은 신호를 크게 증폭해주는 역할을 수행한다.	Analog and Digital Mixed Signal	20150514		20151215	서강대학교산학협력단
2564	2015SG_CDR	본 설계는 CMOS 공정을 이용하여 Gbps 급의 높은 전송률로 전송되는 데이터로부터 clock 신호를 추출하는 클럭 데이터 복원 회로(CDR : Clock Data Recovery)이다. Global Foundries 110nm 공정을 이용하여 설계하였다.	Analog and Digital Mixed Signal	20150514		20151215	서강대학교산학협력단
2565	2015SG_12bit_2nd_DSM	본 설계에서는 CMOS 공정을 이용하여 온도 및 습도계에 사용되는 DSM(Delta-Sigma Modulator)으로, 2nd order DMS 구조를 사용하여 12 bit 해상도를 도출하였다.	Analog and Digital Mixed Signal	20150302		20151215	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2566	2015SG_3D_Vernier_TDC	본 설계는 resolution이 높은 Vernier type을 이용해서 저전력과 저면적을 위해 3D로 TDC를 구현하였다.	Analog and Digital Mixed Signal	20150511		20151215	서강대학교산학협력단
2567	2015SG_2nd_DSM	본 설계에서는 CMOS 공정을 이용하여 온도 및 습도계에 사용되는 DSM(Delta-Sigma Modulator)으로, 2nd order DMS 구조를 사용하여 회로의 해상도를 향상시켰다.	Analog and Digital Mixed Signal	20151207		20151215	서강대학교산학협력단
2568	Power and Sensor Controller Chip efram_C2_B	고전압 700V 소자를 이용하는 Power and Sensor Controller Chip	Analog and Digital Mixed Signal	20151212		20151219	강희복
2569	2015SG_Charge_Recycling_SAR_ADC	본 설계에서는 CMOS 공정을 이용하여 온도 센서에 사용되는 SAR ADC이며, 온도 센서용에 적합한 저전력으로 구동하기 위해 Charge Recycling 기법을 이용하여 설계하였다.	Analog and Digital Mixed Signal	20150511		20151215	서강대학교산학협력단
2570	2015SG_2nd_Order_DSM	본 설계에서는 CMOS 공정을 이용하여 압력센서에 사용되는 2nd order DSM(Delta-Sigma Modulator)으로 high resolution과 안정성을 보장할 수 있는 Boser-wooley구조를 기반으로 설계하였다.	Analog and Digital Mixed Signal	20151207		20151215	서강대학교산학협력단
2571	Thermoelectric energy harvester with fast MPPT	본 설계에서는 고속최대전력점 추적이 가능한 열전소자용 에너지 하베스팅 회로를 제안한다. 100mV의 열전소자 출력 전압으로부터 자가 충전을 시작하여 3V의 전압을 생성할 수 있으며 최대 전력을 모을 수 있도록 최대전력점 추적 기술이 적용되었다. 최대전력점 추출 시, 전류 보존 기법을 적용하여 최대전력점 추출로 인한 전력의 손실을 최소화하였기 때문에 종래의 기술에 비해 향상된 속도로 최대전력점 추출이 가능하다. 또한 회로의 출력부에는 연산 증폭기를 이용한 피드백이 걸렸기 때문에 추가 전력변환회로 없이 안정적으로 출력 전압을 제어할 수 있다. 본 설계는 180nm 6Metal CMOS 공정을 통해 구현되었다.	Analog and Digital Mixed Signal	20150907		20151228	서강대학교산학협력단

24. '16년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2572	RXP03AM1	RXP03AM1은 Hybrid Type의 Photon Counting X-ray Detector에 사용되는 Multi Energy 검출이 가능한 256 Channel Readout IC이다. Single Pixel 크기는 150㎛ x 180㎛이며, CMOS 0.18um 1poly 6Metal공정을 사용 하였다.	Analog and Digital Mixed Signal	20151218		20160203	룩센테크놀러지
2573	Sensor Control Chip	각종 Sensor 소자의 신호를 감지하고 증폭하여 출력함에 있어서 초저전력 및 고성능을 구현할 수 있는 Sensor Control Chip	Analog and Digital Mixed Signal	20160603		20160609	강희복
2574	4채널 8Gb/s/ch 광송신기어레이	USB3.0 및 HDMI2.0 응용의 activeopticalcable내에 들어가는 VCSEL 다이오드를 구동하는 송신기어레이칩으로서 각 채널당8~10Gb/s의 동작속도를 갖는다. VCSEL다이오드는 common-cathode 형태로 이루어진다.	Analog and Digital Mixed Signal	20160513		20160715	이화여자대학교 산학협력단
2575	4-채널4-Gb/s/ch 트랜스임피던스 증폭기 어레이	데이터 전송용 4-채널 광트랜스임피던스 증폭기 어레이 칩을 제작함. 채널당4-Gb/s의 동작 속도를 가지며, HDM I1.1을 비롯한 채널당 2.5Gb/s~3.125Gb/s 동작 속도를 포함하는 저전력 트랜스 임피던스 증폭기 어레이칩으로써, active optical cable에 적용 가능함.	Analog and Digital Mixed Signal	20160226		20160715	이화여자대학교 산학협력단
2576	4-채널6-Gb/s/ch전치증폭기어레이	HDMI 2.0 및 USB3.0 표준을 목표로 채널당 5-Gb/s 이상의 동작 속도를 갖는 광수신단의 front-end 전치 증폭기 4-채널 어레이 칩을 설계한 것임. 특히, 동작 속도의 한계를 갖는 CMOS 공정을 극복하기 위한 인덕티브 피킹 기법을 사용함.	Analog and Digital Mixed Signal	20160513		20160715	이화여자대학교 산학협력단
2577	4채널 4Gb/s/ch VCSEL 드라이버 어레이	본 회로는 HDMI용activeopticalcable에필요한4-채널VCSEL드라이버어레이칩으로서,각채널당4-Gb/s의 동작속도를갖는다.VCSEL다이오드는common-cathode형태를취한다.	Analog and Digital Mixed Signal	20160226		20160715	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2578	2-채널수신기어레이	100미터이상되는저가형동축케이블을따라1.0-Gb/s의초고속데이터통신을가능하게하는수신기회로를구현함.특히,이를2-채널의어레이형태로구현함으로써,멀티채널어레이형태가가능하도록구현한회로임.회로구성은이퀄라이저를포함한입력버퍼,앰프단,및출력버퍼로구성되며초고속이가능하도록이퀄라이저기능을포함함.0.11umCMOS공정을사용하여구현하였음.	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단
2579	무인차량용2-채널수신기어레이	무인차량에장착하는LADAR시스템내의front-end회로임.2-채널의광수신기어레이로구성되어있으며,0.11umCMOS공정으로제작하였음.각채널의광수신단은트랜스임피던스증폭기,리미팅증폭기,및비교기로구성되어있고,출력50ohm매칭을위해출력버퍼단을추가하였다. 이로써,먼거리에서반사되어들어오는매우작은광신호를검출할수있을뿐아니라,가까운거리에서반사되어들어오는큰광신호까지검출할수있는수신기어레이를구현하였다.	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단
2580	DSM	본 배치설계도는 DSM이다. DSM은 Delta-Sigma Modulator로 noise shaping을 통해 원하는 주파수 영역에서 SNR을 향상시키는 회로이다. 분수형 PLL에서 분수분주비 만들 때 사용되며 본 배치설계도에서는 MASH 1-1-1구조를 사용하였다. PLL에서 사용되는 DSM의 구조에는 크게 single loop 구조와 MASH 구조가 존재하며 MASH 구조는 single loop 구조보다 저주파 대역에서 noise가 더 작은 장점이 있다.	Analog and Digital Mixed Signal	20161004		20161006	광운대학교 산학협력단
2581	2-채널송신기어레이	100미터이상되는저가형동축케이블을따라1.0-Gb/s의초고속데이터통신을가능하게하는송신기회로를구현함.특히,이를2-채널의어레이형태로구현함으로써,멀티채널어레이형태가가능하도록구현한회로임.회로구성은입력버퍼,프리앰프,및드라이버로구성되며초고속이가능하도록프리앰퍼시스기능을포함함.0.11umCMOS공정을사용하여구현하였음.	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2582	VCO	본 배치설계도는 VCO로 주파수를 공급하는 역할을 수행한다. GHz대역에서 낮은 위상잡음 특성을 얻기 위하여 LC type으로 제작되었다. 회로는 Complementary cross-coupled 구조를 사용하여 같은 전력소모로 큰 스윙을 얻을 수 있도록 하였다. 또한 넓은 대역의 주파수를 커버할 수 있도록 6bit switched MIM capbank를 사용하였으며 연속적인 주파수 변화를 위하여 Varactor를 사용하였다.	Analog and Digital Mixed Signal	20161004		20161006	광운대학교 산학협력단
2583	대칭형셀프-바이어스콘스탄스트랜스컨덕턴스전류소스회로	종래의콘스탄트트랜스컨덕턴스전류소스회로에비해매우낮은전원전압에서도동작이가능하며,또한개선한콘스탄트트랜스컨덕턴스전류소스회로에서반드시필요한외부바이어스전압의필요없이자체내에서셀프-바이어스가가능한전류소스회로이다.이를위해modifiedNMOScascode의구조와대칭적으로modifiedPMOScascode회로를구현하였고,이로인해셀프-바이어스가자동적으로생성된것이다. 시뮬레이션결과,온도변화(-45~+125oC)에도불구하고거의변화가없는안정된전압을제공하며,전원전압도0.7V까지내려가도구동이가능한저전압전류소스회로이다.	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단
2584	PFD와 charge pump	본 배치설계도는 PFD와 charge pump이다. PFD는 PLL에서 기준주파수와 VCO 주파수를 비교하여 차이를 전압 펄스로 출력하고 charge pump는 PFD의 출력 전압을 전류로 바꿔주는 역할을 수행한다. PFD는 TSPC D flip-flop 구조를 사용하여 높은 기준 주파수에서 동작할 수 있도록 설계하였고 Dead zone 문제를 해결하기 위하여 Programmable delay를 삽입하였다. charge pump는 source switching 구조를 사용하여 clock feedthrough나 charge injection과 같은 문제 완화시켰으며 UP/DN 전류 정합을 위하여 opamp를 이용한 feedback 회로를 구현하였다.	Analog and Digital Mixed Signal	20161004		20161006	광운대학교 산학협력단
2585	10bit R-2R DAC	본 배치설계도는 10bit R-2R DAC이다. 저전력 고해상도 DAC 설계에 적합하며 1V 전원을 사용하였을 때 0-200mV의 출력 전압을 갖도록	Analog and Digital Mixed Signal	20161004		20161006	광운대학교 산학협력

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		설계하였다. Leakage 전류에 의한 error를 줄이기 위하여 switch는 2V MOSFET을 사용하였다. 전류미러는 cascode 전류 미러로 구현하였으며 matching 특성을 최대화하기 위하여 interdigitation 구조로 레이아웃 되었다.					단
2586	Pulse Swallow Counter	본 배치설계도는 펄스 스왈로우 분주기로 PLL의 분주비를 “1” 씩 가변할 수 있게 하는 피드백 구조의 분주기이다. 이 회로는 Prescaler, P counter, S counter로 구성된다. P counter는 6bit, S counter는 2bit으로 설계되었고 Prescaler는 4와 5의 분주비를 갖도록 설계하였다. Prescaler는 동기식 분주기로 높은 주파수에서 동작하며 P counter와 S counter는 일반적인 D flip-flop을 사용한 counter 구조로 저전력 설계를 위하여 비동기식으로 설계되었다.	Analog and Digital Mixed Signal	20161004		20161006	광운대학교 산학협력단
2587	콘스탄트트랜스컨덕턴스전류소스회로	종래의콘스탄트트랜스컨덕턴스전류소스회로내에있는캐스코드NMOS구조를modifiedcascode구조로개선함으로써낮은전원전압에서도동작가능한전류소스회로를개발한것임. 연산증폭기의바이어스전압을제공할때매우유용하게사용되며,안정적인바이어스전압을제공한다. 시뮬레이션에의하면,종래의콘스탄트트랜스컨덕턴스전류소스회로는1.2V전원전압을이용하고동일한전원전압의연산증폭기를구동할수있지만,개발한콘스탄트트랜스컨덕턴스전류소스는1.0V미만의전원전압에서도구동이가능하며,1.0V의전원전압을사용하는연산증폭기와더불어매우안정적인성능을갖게할수있는장점이있다.	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단
2588	전류전달트랜스임피던스증폭기	Modifiedcurrent-source형태의NMOS입력단및ModifiedWilsonCurrent-Mirror형태의PMOS입력단을붙인구조로,입력저항은전류미러트랜스임피던스와같은1/gm으로매우낮기때문에광소자(포토다이오드)로부터의입력전류가모두NMOS입력단으로흐르게되고,이전류가미러링된후,출력단에서는소자의크기를M배만큼크게함으로써,출력단에흐	Analog and Digital Mixed Signal	20160725		20161005	이화여자대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		르는전류는입력전류의M배가되게한다.이를load저항에흘리게함으로써,오픈루프이면서동시에양수의 이득을갖게하는구조의트랜스임피던스증폭기이다.					
2589	MDLL Based Digital Buck DC-DC Converter	이 설계는 MDLL의 Multiplexed Ring Oscillator(MRO)의 Control Voltage와 MRO의 output Frequency를 이용하여 DC-DC Converter의 Output Voltage를 만들어 주는 회로로 converter 부분과 feedback을 받아 제어하는 부분을 나뉘게 됩니다. converter는 전압을 sensing하여 제어하는 방식으로 Reference generator를 이용하여 MRO의 control voltage와 converter의 output voltage를 이용하여 Threshold를 만들어주고 Lock edtector에서 UP/Down 신호를 만들어 줍니다. layout을 할 때, 전류를 사용하는 블록이 많기 때문에 저항을 최대한 줄일 수 있는 layout을 하였습니다. control 부분은 Bang-bang controller의 단점을 보완하기 위하여 Accumulator의 Clk을 주파수 분주기를 사용하여 분주하였고 Feedfoward gain 블록과 Full Adder를 사용하였습니다. DPWM은 Full Adder Out과 MRO의 output Frequency를 사용하였습니다. timing 문제를 줄일 수 있도록 layout을 하였습니다. ESD PAD를 사용하여, 정전기와 순간적인 전기적인 충격을 막기 위한 부분도 포함하였습니다. 또한 블록들의 정상적인 동작을 위하여 빈 공간에는 MOSFET Dummy를 사용하였습니다.	Analog and Digital Mixed Signal	20160801		20161116	강원대학교 산학협력단
2590	2016DG6b100 KSps009 CMOS Image Sensor Layers	본 연구에서는 넓은 동적 범위를 가지는 CMOS Image Sensor를 설계하였다. 90nm CIS 공정으로 제작되었으며 제안하는 회로는 Single Slope ADC를 사용하는 기본적인 CIS 구조에 Digital Logarithmic Counter와 Exponential Ramp Generator를 추가시켜 선형적인 ADC gain 특성이 아닌 구간마다 다른 ADC gain 특성을 얻어 더 넓은 Dynamic Range를 확보하는데에 초점이 있다. WDR의	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		구현 자체가 디지털적으로 조절되기 때문에 온도나 공정 등의 외부요인에 의한 제약이 비교적 적다. 카운터와 램프 제너레이터는 각각 normal mode와 4분할 모드로 구성되어 있으며 외부 신호에 의하여 조절될 수 있다.					
2591	2016SG12b150 MSps18 Current-Steering DAC	본 설계에서는 QHD 보안용 감시 카메라 및 DTV 응용과 같이 고해상도, 고속 동작을 동시에 요구하는 영상 시스템 응용을 위한 12비트 150MS/s 전류 구동 0.18?m CMOS DAC를 제안한다. 제안하는 DAC는 고해상도 및 고속 동작에서 높은 선형성을 얻기 위해 12비트 해상도를 온도계 코드 기반의 전류 구동 DAC 구조로 구현하였으며, 부분 소자 정합 기법을 적용하여 사용되는 전류 셀 개수를 최소화하였다. 제안하는 부분 소자 정합 기법은 획기적으로 적은 수의 전류 셀을 사용하여 온도계 코드 기반의 고해상도 전류 구동 DAC 구현이 가능하게 함으로써, 일반적인 온도계 코드 기반의 12비트 전류 구동 DAC와 비교하여 약 99.32% 감소한 28개의 전류 셀만으로도 높은 선형성을 갖는 온도계 코드 기반의 12비트 전류 구동 DAC 구현이 가능하다. 한편, 제안하는 DAC의 바이어스 회로에는 source follower 기반의 레벨 쉬프터를 사용하여 요구되는 바이어스 전압의 일부를 생성함으로써, 전체 바이어스 회로를 간소화하였다. 시제품 DAC는 0.18?m CMOS 공정으로 제작되었으며, 유효 면적의 크기는 0.26mm2이다. 시제품 DAC의 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 0.80LSB, 1.20LSB의 값을 가지며, 동적 성능은 150MS/s의 동작 속도에서 최대 63.54dB의 SFDR을 보인다. 시제품 DAC는 3.3V의 아날로그 및 1.8V의 디지털 전원 전압을 사용하는 조건에서 20mA의 출력 전류를 갖는다.	Analog and Digital Mixed Signal	20150910		20161109	서강대학교 산학협력단
2592	2016SG12b30M Sps90n SAR ADC	본 설계에서는 저전력 복합 스위칭 기법을 기반으로 하여 0.055mm2의 작은 면적을 가지는 12비트 30MS/s SAR ADC를 제안한다. 제안하는 ADC에 적용된 복합 스위칭 기법은	Analog and Digital Mixed Signal	20151113		20161109	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		기존의 monotonic 스위칭 기법에 VCM 기반의 스위칭 기법을 접목한 것으로써, SAR ADC의 선형성을 제한하는 동적 오프셋 문제 및 평균 스위칭 전력소모를 최소화할 수 있다. 제안하는 ADC는 C-R 하이브리드 DAC 회로에 입력신호 레인지 스케일링 기법을 적용함으로써, 12비트 해상도를 얻기 위해 사용되는 단위 커패시터의 총 개수를 44개로 최소화하는 동시에 DAC의 면적을 획기적으로 줄였다. 하위 7비트 결정을 위한 저항 열은 기준 전류 및 전압 발생기에서 기준 전압 생성을 위해 필요한 저항 열과 공유함으로써, 추가적인 전력소모 및 면적 증가 없이 하위 7비트를 결정할 수 있도록 구현하였다. 제안하는 SAR ADC는 90nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.47LSB, 2.76LSB이고, 30MS/s 동작속도에서 동적성능은 최대 50.16dB의 SNDR 및 60.80dB의 SFDR을 보인다. 제안하는 시제품 ADC는 1.2V 전원전압에서 1.09mW의 전력을 소모한다.					
2593	2016SG8b24ch 13hv DAC for AMOLED Column Drivers	본 설계에서는 휴대용 스마트 기기, 고해상도 대형 TV 등의 고성능 디스플레이 장치를 위한 AMOLED 패널 응용을 위해, WQXGA 해상도에서 200Hz/frame 수준으로 동작하며 동시에 작은 면적과 적은 전력을 소모하는 AMOLED 용 컬럼 구동회로를 위한 8b DAC를 제안한다. 제안하는 DAC는 높은 선형성과 효율적인 면적 사용을 위해 상위 6b 저항 열 기반의 DAC 및 하위 2b DAC 내장형 증폭기의 2단 구조를 적용하였다. 또한 2단 구조 DAC에는 시분할 기법을 적용하여 1개의 DAC만으로 24개의 컬럼을 구동함으로써, 단위 컬럼 당 DAC의 면적을 최소화하였다. 각 컬럼 구동 증폭기에는 이중-샘플링 구조를 적용하여 감마전압 구동회로 및 시분할 DAC의 정착시간을 최적화하였다. 한편, 제한된 1 horizontal line 시간 안에 안정적인 감마전압 정착을 위해 고속 RGB 감마전압 선택 회로를 적용하였다.	Analog and Digital Mixed Signal	20160325		20161109	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		제안하는 DAC는 0.13um high-voltage CMOS 공정으로 제작되었으며, DAC 전체 면적 및 단위 컬럼 당 DAC 면적은 각각 0.132mm2 및 0.005mm2이다. 시제품 DAC의 측정된 DNL 및 INL은 각각 0.08LSB 및 0.24LSB이다. 동적성능 중 DAC의 정착시간은 200ns이며, 각 컬럼 구동 증폭기의 정착시간은 2.5us이다. 채널 간 deviation of voltage output은 최대 5.94mV이다. 시제품 DAC의 단위 컬럼 당 소모전류는 8.0V의 아날로그 전원전압 및 1.8V의 디지털 전원전압에서 3.7uA이다.					
2594	Automatic Mode Changing Buck-Boost DC-DC Converter for LED Driver	이 설계는 RGB(Red, Green, Blue) LED Control을 하기 위한 Buck-Boost DC-DC Converter로서, DC-DC converter부분과 DC-DC Converter를 제어하는 부분으로 나뉘게 됩니다. Red, Green, Blue LED 의 각각의 LED는 Forward voltage와 Forward current 가 각각 다르기 때문에, Buck-Boost DC-DC Converter를 사용하였고, 전류 Sensing을 하는 제어 방식을 사용하였습니다. Layout 에서는 큰 전류를 사용하기 때문에, Switch Array에 전류가 많이 흐를 수 있도록 메탈을 보강하였고, 최대한 효율을 높일 수 있도록 Layout 하였습니다. 그리고 ESD PAD를 사용하여, 순간적인 전기충격을 방지하도록 하였습니다. 또한 안정적인 전압 공급을 위한 Layout 기술도 적용하였습니다.	Analog and Digital Mixed Signal	20160516		20161110	강원대학교 산학협력단
2595	2016SG12b60MSps18 Flash SAR ADC	본 설계에서는 무선 통신 시스템 및 휴대용 비디오 처리 시스템과 같은 다양한 시스템 반도체 응용을 위한 12비트 60MS/s 0.18um CMOS Flash-SAR ADC를 제안한다. 제안하는 Flash-SAR ADC는 고속으로 동작하는 flash ADC의 장점을 이용하여 우선 상위 4비트를 결정한 후, 적은 전력 소모를 갖는 SAR ADC의 장점을 이용하여 하위 9비트를 결정함으로써 해상도가 증가함에 따라 동작 속도가 제한이 되는 전형적인 SAR ADC의 문제를 줄였다. 제안하는	Analog and Digital Mixed Signal	20150910		20161109	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		ADC는 전형적인 Flash-SAR ADC에서 고속 동작 시 제한이 되는 입력 단 트랙-앤-홀드 회로를 사용하지 않는 대신 SAR ADC의 C-R DAC를 단일 샘플링-네트워크로 사용하여 입력 샘플링 부정합 문제를 제거하였다. 한편, flash ADC에는 인터폴레이션 기법을 적용하여 사용되는 프리앰프의 수를 절반 수준으로 줄이는 동시에 SAR 동작 시 flash ADC에서 불필요하게 소모되는 전력을 최소화하기 위해 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 제안하는 ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 최대 DNL 및 INL은 12비트 해상도에서 각각 1.33LSB, 1.90LSB이며, 60MS/s 동작 속도에서 동적성능은 최대 61.29dB의 SNDR 및 70.51dB의 SFDR 성능을 보인다. 시제품 ADC의 칩 면적은 0.51mm2이며, 1.8V 전원 전압에서 5.4mW의 전력을 소모한다.					
2596	2016DG6b1MSps009 CMOS Image Sensor Layers	본 설계에서는 기존의 CMOS Image Sensor(CIS)에서 사용하는 Two Step Signle Slope ADC(TS SS-ADC)의 문제점을 개선한 Hybrid Single Slope ADC를 구현했다. 제안한 칩은 1-Poly 5-Metal 90nm Back Side Illuminated CMOS 공정으로 제작되었으며 Subranging 방식으로 작동하는 Coarse A/D 변환과 Single Slope 방식으로 동작하는 Fine A/D 변환으로 이뤄진다. Resistor-DAC와 FSM / MUX Block을 이용하여 Coarse 전압을 유지하기 때문에 기존의 Holding Capacitor, Control Switch구조에 비해 Effective Area의 감소, Thermal noise 감소의 효과를 얻을 수 있다. 또한 기존 4-Input 기반 Comparator의 입력 위치를 바꿔줌으로써 Coarse / Fine differential pair의 Gain error를 별도의 Calibration Circuit 없이 줄여줄 수 있다.	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2597	2016SG12b1M Sps28n SAR ADC	본 설계에서는 저전력 IoT 응용을 위한 0.7V 12비트 1MS/s 28nm CMOS SAR ADC를 제안한다. 제안하는 ADC는 분리형 가중치 커패시터 (CA)를 이용한 구조에 R-2R 저항 기반의 DAC를 사용한 C-R 하이브리드 DAC 구조를 적용하여 사용되는 단위 커패시터의 개수를 최소화하는 동시에 전체 ADC의 면적 및 전력소모를 최적화하였다. 또한, 기존의 CA를 이용한 구조의 한계로 인해 발생하는 ADC의 선형성 저하 문제를 완화하기 위해 CA를 단위 커패시터의 정수배 크기로 구현하였으며, 가변 커패시터를 이용한 보정기법을 적용하였다. 제안하는 ADC는 평균 스위칭 전력소모 및 ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화하기 위해 복합 스위칭 기법을 적용하였다. 또한, 0.7V의 낮은 전원전압에서 높은 선형성을 얻기 위하여 입력 샘플링 스위치에 이중 게이트-부트스트래핑 회로를 사용하였으며, 공통모드 전압 (VCM) 스위치에 게이트-부트스트래핑 회로를 이용한 전압-부스팅 기법을 적용하여 VCM 스위치를 통해 흐르는 누설전류에 의한 성능저하를 완화하였다. 시제품 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 칩 면적은 0.063mm2이다. 제안하는 SAR ADC는 0.7V 전원전압 및 1MS/s 동작속도에서 11.24uW의 전력을 소모한다.	Analog and Digital Mixed Signal	20151029		20161109	서강대학교산학협력단
2598	2016SG12b30M Sps18_R2 SAR ADC	본 설계에서는 저전력 복합 스위칭 기법을 기반으로 하여 0.16mm2의 면적을 가지는 12비트 30MS/s SAR ADC를 제안한다. 제안하는 ADC에 적용된 복합 스위칭 기법은 기존의 monotonic 스위칭 기법에 VCM 기반의 스위칭 기법을 접목한 것으로써 SAR ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화하는 동시에 평균 스위칭 전력소모도 최소화할 수 있다. 제안하는 C-R 하이브리드 DAC 회로에는 균등 분할 커패시터 구조 및 기준전압 레인지 스케일링 기법을 적용하여	Analog and Digital Mixed Signal	20150910		20161109	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		입력신호와 기준전압의 범위를 일치시키면서 12비트 해상도에서 사용되는 단위 커패시터의 총 개수를 64개로 줄이는 동시에 효율적으로 VCM 기반의 스위칭을 수행하여 전체적인 회로를 간소화하였다. 한편, 제안하는 SAR ADC의 SAR 논리회로에는 D 플립플롭 기반이 아닌 래치구조의 레지스터를 사용하여 빠르고 안정적인 SAR 동작을 구현하였으며, 출력 값을 디코더 논리회로 없이 DAC의 스위치에 직접 인가하여 면적 및 전력소모를 줄였다. 제안하는 SAR ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 0.85LSB, 2.53LSB이고, 30MS/s 동작속도에서 동적성능은 최대 59.33dB의 SNDR 및 69.83dB의 SFDR을 보인다. 제안하는 시제품 ADC는 1.8V 전원전압에서 2.25mW의 전력을 소모한다.					
2599	2016DG8b5MSps009 CMOS Image Sensor Layers	본 설계는 Succesive Approximation Analog to Digital Converter(SA-ADC)를 기반으로 한 CMOS Image Sensor(CIS)에 대한 내용이며 1920x1440 픽셀 해상도를 구현할 수 있도록 설계하였다. 제안한 칩은 1-poly 5-metal 90nm Back Side Illuminated CMOS 공정으로 설계되었으며 픽셀 내부 및 공정 오차 등으로 발생할 수 있는 오프셋을 제거할 수 있는 Correlated Double Sampling (CDS) Block과 attenuation capacitor를 이용해 capacitor-array를 split 시킨 Two-step Split SA-ADC Block과 SRAM을 포함한 Digital Periphery Block으로 구성되어 있다. 기존 대부분의 SA-ADC를 사용하는 CIS는 SA-ADC의 Capacitor-Digital to Analog Converter(C-DAC)의 면적이 크다는 문제점이 있어 Column shared 구조로 p많이 사용되어 왔지만 제안된 CIS는 Column Parallel 구조로 설계되어 A/D 변환 횟수를 줄여 Frame rate를 높이도록 하였다. 또한 SA-ADC 구조로	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		인해 SAR Logic의 Digital Signal이 C-DAC으로 Feedback 되면서 Analog Signal 과 Digital Signal 가 서로 영향을 받아 Coupling noise가 발생할 수 있는데 Digital Signal Line을 VDD로 Shielding 하여 Digital 영역과 Analog 영역을 구분지어 줌으로써 이러한 Noise를 감소시키고자 하였다.					
2600	Digital Buck DC-DC Converter with Feedforward gain	이 설계는 DC-DC Converter의 Output Voltage를 Multiplexed Ring Oscillator(MRO)의 Control Voltage로 만들어 주는 DC-DC Converter로 converter 부분과 feedback을 받아 제어하는 부분으로 나뉘게 됩니다. converter는 전압을 sensing하여 제어하는 방식으로 sensing을 위하여 Threshold를 만들기 위하여 Reference generator를 사용하였고 Lock detector에서 UP/Down 신호를 만들어 줍니다. layout을 할 때, 전류를 사용하는 블럭이 많기 때문에 저항을 최대한 줄일 수 있는 layout을 하였습니다. control 부분은 Bang-bang controller의 단점을 보완하기 위하여 Feedfoward gain블럭과 Full Adder를 사용하였습니다. timing 문제를 줄이고, 파워 효율을 높일 수 있도록 layout하였습니다. 또한 ESD PAD를 사용하여, 정전기 등의 순간적인 전기적인 충격을 막기 위한 부분도 포함하였습니다. 또한 블록들의 정상적인 동작을 위하여 빈 공간에는 MOSFET Dummy를 사용하였습니다.	Analog and Digital Mixed Signal	20160801		20161116	강원대학교 산학협력단
2601		본 설계에서는 고 해상도 OLED 소자의 외부보상을 위한 전류 센싱 최적화를 위한 Current Sensing ADC에 대하여 설계하였다. 제안한 칩은 90nm CMOS 공정으로 제작되었으며 저 전류를 센싱하기 위하여 Current integraotr, T&H, Single Slope ADC로 구성되어 있다. 전체면적을 최소화 시키기 위하여 Single Slope ADC의 Comparator와 Current integrator의 Amplifier를 공유하는 Differential	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Difference Amplifier구조를 사용하였다. ADC에 전류를 인가해 주기 위해서 임의로 전류를 발생시키는 DAC를 설계하였고, 최대 10uA, 1uA, 100nA를 발생시킬 수 있도록 3type으로 설계하였다. 또한 전류 범위에 따른 Current integrator의 capacitor 크기를 맞추어 주기 위해 ADC또한 3type으로 설계하였고, offset error와 mismatching으로 인한 전류 오차를 보정하기 위해 capacitor에 trimming구조를 사용하였다.					
2602	2016DG12b70 KSps009 CMOS Image Sensor Layers	제안한 칩은 90nm CMOS 공정으로 FHD(1920x1440)급으로 제작되었으며 analog CDS와 digital CDS를 포함한 dual CDS를 적용할 수 있는 Up/Down counter block과 7bit coarse digital code와 7bit fine digital code를 연산하여 최종 12bit를 출력하는 Digital Calibration Logic block으로 구성 되어 있다. 각 1.75Tr active pixel sensor에서 출력되는 reset voltage와 pixel voltage가 mismatiching으로 인해 각각 다르게 출력되는데 analog CDS만 적용하면, 각각 다르게 출력된 reset voltage와 pixel voltage에 의해 정확도가 떨어진다. 제안하는 ADC의 경우에는 dual CDS를 사용하여 비이상적인 reset voltage와 pix voltage를 보상하여 보다 정확한 비교를 한다. coarse ramp가 holding되는 전압 값이 흔들리어 code값이 깨지는 것을 Digital Calibration logic block으로 보상한다.	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단
2603	2016DG8b1Msps009 CIS Layers	본 설계는 영상의 특정 밝기를 골라내어 피사체의 윤곽을 추출해낼 수 있는 흥채인식용 Edge Detector CIS에 관한 것이며 용도에 다라 흥채인식 모드와 일반 8bit CIS 모드로 측정할 수 있게 설계되었다. 제안한 칩은 90nm CIS 공정으로 제작되었으며 빛을 받아들이는 Pixel부와 일반적인 CIS와 같은 원리로 동작하는 Single Slope ADC, 흥채인식 모드에서 특정 밝기 값을 골라낼 때 쓰이는	Analog and Digital Mixed Signal	20161102		20161116	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Logarithmic Counter와 SRAM, 테스트용 ADC로 구성되어있다. 흥채인식 모드일 때 SRAM은 Logarithmic Counter에서 들어오는 신호에 맞춰 켜진 픽셀의 값을 받아들이고 나머지 데이터는 모두 소거함으로써, 영상에서 특정 밝기값만 가진 픽셀만 남은 1bit 영상을 얻을 수 있으며, 이는 안구를 촬영한 영상에서 홍채인식에서 쓰이는 Edge Detector로 동작한다.					
2604	Self-Oscillating Bi-directional Shift Registers based Digital LDO	이 설계는 Self-Oscillating Bi-directional Shift Registers based Digital LDO로서, 전체 블록은 32-bit Shift Registers, 32-bit Logic Stage, Edge Detector 그리고 Buffet Stage로 나뉘게 됩니다. 설계된 LDO는 빠른 동작을 하는 Coarse Mode와 Target Voltage에 도달했을 때의 Fine Mode로 동작한다. PMIC의 특성상 전력효율을 최적화하기 위해서 layout을 할 때 Shift Register의 thermal meter code의 timing 문제를 줄이고, Power 손실을 줄이기 위해 layout 하였다. 이 회로는 휴대용기기에 적용되기 위해 설계되었으므로 최대한 사이즈를 최소화 시키려고 하였습니다. 또한 정전기와 같은 순간적인 전기적 충격으로부터 회로를 보호하기 위해 ESD PAD를 사용하였으며 블록간의 간섭을 막기 위해서 MOSFET Dummy를 사용하였습니다.	Analog and Digital Mixed Signal	20160801		20161116	강원대학교 산학협력단
2605	DC-DC Converter for LED Driver & Temperature Sensor	이 설계는 LED를 위한 Buck-Boost DC-DC Converter 와 Temperature Sensor가 같이 있는 Layout 설계입니다. DC-DC Converter는 LED Driver를 위한 Converter로서 RGB LED를 Control할 수 있는 회로입니다. Temperature Sensor는 Chip 안에서 온도를 측정할 수 있는 Sensor 회로이고 , 기본 구조는 Cycling TDC를 이용한 Temperature Sensor입니다. Buck-Boost DC-DC Converter는 Analog 방식이고, Temperature Sensor는 Digital 방식이라서,	Analog and Digital Mixed Signal	20160321		20161117	강원대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		두 Layout은 각각의 특성에 맞게 Layout을 설계하였습니다. 그리고 Temperature Sensor 같은 경우는 Digital 방식이기 때문에 Timing issue를 최대한 줄이려고 하였고, DC-DC Converter 같은 경우는 전류가 많이 흐르는 부분에 대하여 메탈보강을 많이 하여, 충분히 전류가 흐를 수 있도록 하였습니다. 그리고 회로보호를 위하여 ESD PAD도 사용하였습니다.					
2606	파워 스위치의 저항을 줄이기 위한 메탈 레이아웃 방법	배치설계의 간단한 설명 : 본 배치설계는 파워 스위치의 메탈 저항을 줄이기 위한 메탈 레이아웃 방법에 관한 것이다. 기존에 메탈의 두께를 일정하게 레이아웃 한 것과 달리 본 배치설계에서는 메탈 두께를 점차적으로 증가 또는 감소하는 방법으로 레이아웃을 하였다. 파워 스위치의 소스에서 드레인으로 전류가 흐른다고 가정하였을 때 스위치 메탈에 흐르는 전류의 양이 초기에는 소스 메탈을 통해 흐르다가 점차적으로 드레인으로 넘어가면서 마지막에는 전부 드레인 메탈로 흐르게 된다. 전류의 양에 따라 전류가 많이 흐르는 부분의 메탈은 두껍게, 그 반대의 경우에는 얇게 레이아웃을 하면 메탈 저항의 크기를 줄일 수 있게 된다.	Analog and Digital Mixed Signal	20161017		20161110	한양대학교 산학협력단
2607	high speed equalizer layout	High speed layout Metal의 길이가 길어 질수록 저항이 커지게 되며 이에 따라 회로가 동작할 수 있는 BW를 줄어들게 된다. BW 가 줄어들면 그 보다 높은 data 속도에서 회로가 정상 동작 하지 않는다. 그렇기 때문에 Linear equalizer 간 metal의 길이를 최소화 시키기 위해서 가로가 짧고 세로는 길게 layout을 실시하였다. 또한 3번째 linear equalizer 에서 마지막 4번째 4개의 linear equalizer로 연결이 되는 metal의 길이를 같게 하여 같은 BW를 얻을 수 있도록 하였다.	Analog and Digital Mixed Signal	20161017		20161110	한양대학교 산학협력단
2608	동부 110nm 1.5GHz 1.2V PLL	본 설계에서는 low-jitter phase-locked loop(PLL)를 제안한다. 기존의 PLL은 reference clock의 jitter가 출력에 전달되며, PLL 내부에서 생성되는 jitter도 출력에	Analog and Digital Mixed Signal	20161104		20161130	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		전달되기 때문에 고속 회로의 clock generator로 사용하기에 문제가 된다. 이에 따라 본 설계에서는 reference clock의 jitter가 출력에 나타나는 것을 억제하였으며, 그리고 charge pump 등의 개선을 통해 PLL 내부에서 생성되는 jitter 또한 감소시켜 결론적으로 low-jitter PLL 설계를 가능하게 하였다. 27MHz를 포함하는 세 가지의 주파수를 reference clock으로 사용하는 PLL을 이용하여 frequency multiplication을 수행함으로써 1.5GHz 주파수의 multi-phase 클록을 생성하도록 설계하였다. 이러한 기법을 적용하여 본 설계는 110nm 6-metal CMOS 공정으로 설계하였으며, 전체 면적은 660 X 695um2이다.					
2609	2016UOS_13b_2SPS_60nm_1.2V_BJT_Temperature_Sensor_Voltage_Modulation	본 설계에서는 Bipolar Junction Transistor(BJT) 및 시그마-델타 모듈레이터를 이용한 저전력, 소면적 온도센서를 제안한다. 기존의 온도센서에서 연산증폭기의 오프셋 전압 문제, 저항과 커패시터와 같은 수동소자 및 전류미러의 부정합 문제, 공정변화에 따른 BJT의 VBE 전압 변화 문제를 해결하기 위한 방법을 제안한다. 제안하는 방법으로 chopping circuit, trimming circuit, DEM 및 fine-gain control 회로를 추가 함으로써 BJT를 이용한 온도 센서 설계시, 발생하는 비이상적인 문제들을 제거 하는 기능을 수행한다. 본 설계에는 공정변화에 따른 BJT의 VBE 전압을 보상하기 위해 8-b 디지털 시그마-델타 모듈레이터를 이용하여 voltage modulation 방식의 calibration 기법을 제안 하였다. 본 설계는 1.2V 전원전압에서 -40~ 125도 온도 범위에서 -0.10 ~ 0.12C의 온도 오차를 나타내며, 125도 에서 34uA의 전류를 소모한다. 65nm 4-Metal CMOS 공정으로 설계 되었으며 전체 chip 면적은 0.420 X 0.260 mm2 이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2610	2016UOS_0.95V_018um_DCM_RF_BuckBoost_Converter	본 설계에서는 저 전력의 buck-boost converter를 제안한다. 많은 대역의 에너지를 이용하기 위하여 Multi Input Single Output(MISO) 구조를 사용한다. Multi Input을 효율적으로 제어하기 위하여 최대 입력 전압을 감지하는 기법을 사용한다. 이를 통해 감지한 최대 입력 전압으로 buck-boost converter를 동작시켜 최대 에너지를 전달 할 수 있다. 또한 회로 동작 시 소모하는 전류를 줄이기 위하여 필요할 때만 스위칭 동작을 하는 Burst-Mode Control 방식을 사용하여 고효율을 갖는 회로를 설계하였다. 제안하는 boost-converter는 0.95~3.3V의 전원전압, 1.8V의 출력전압, 100kHz의 주파수에서 동작하며, 전체 전류 소모는 15uA의 값을 갖는다. 0.18-um RF 공정으로 설계하였으며, 전체 면적은 1000 X 800um2이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단
2611	2016UOS_13b_2SPS_60nm_1.2V_BJT_Temperature_Sensor_Segmented_Type	본 설계에서는 Bipolar Junction Transistor(BJT) 및 시그마-델타 모듈레이터를 이용한 저전력, 소면적 온도센서를 제안한다. 기존의 온도센서에서 연산증폭기의 오프셋 전압 문제, 저항과 커패시터와 같은 수동소자 및 전류미러의 부정합 문제, 공정변화에 따른 BJT의 VBE 전압 변화 문제를 해결하기 위한 방법을 제안한다. 제안하는 방법으로 chopping circuit, trimming circuit, DEM 및 fine-gain control 회로를 추가 함으로써 BJT를 이용한 온도 센서 설계시, 발생하는 비이상적인 문제들을 제거 하는 기능을 수행한다. 특히, 본 설계에서는 공정변화에 따른 BJT의 VBE 전압 보상 하기 위해 4-b 저항 어레이 및 4-b 디지털 시그마-델타 모듈레이터를 이용하는 segmented type의 calibration 기법을 제안 하였다. 본 설계는 1.2V 전원전압에서 -40~125도 온도 범위에서 -0.06 ~ 0.06C의 온도 오차를 나타내며, 125도 에서 34uA의 전류를 소모한다. 65nm 4-Metal CMOS 공정으로 설계 되었으며 전체 chip 면적은 0.420 X 0.260 mm2 이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2612	2016UOS_14b_2SPS_60nm_1.2V_1st_SDM	본 설계에서는 고해상도 아날로그-디지털 변환기를 위한 1차 시그마-델타 모듈레이터를 제안한다. 모듈레이터는 선형성 및 회로의 간편성을 위해 1차 시그마-델타 모듈레이터를 구현 하였으며, 디지털 출력 및 필터링을 위해여 1차 디지털 데시메이션 필터를 설계 및 내장 하였다. 모듈레이터 및 데시메이션 필터의 OSR은 16,384이다. 본 설계는 14b ADC를 설계 하였으며, 동작 속도는 1SPS, 전원전압 1.2V에서 12.5uA의 전류를 소모한다. 65nm CMOS 공정으로 설계 되었으며, 모듈레이터의 전체 면적은 0.286 X 0.212mm2 이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단
2613	2016UOS_16b_018um_1.5V_2.56MSPS_CRFB_4th_SDM	본 설계에서는 100dB급 고해상도 시그마-델타 모듈레이터를 제안한다. 100dB 급의 높은 SNR을 가지기 위하여 4차의 (Cascade of Reonator, Feedback) CRFB Type의 구조를 사용하였다. Noise transfer function은 Chebyshev filter type을 이용하여 입력 밴드에서 보다 높은 noise 특성을 얻을 수 있도록 하였다. CFRB 구조를 사용함에 따라 입력신호가 점차 증폭 되어 모듈레이터가 saturation 되는 현상을 막기 위하여 capacitor scaling 기법을 적용하여 모든 연산 증폭기 출력이 안정적인 동작 영역에서 동작을 수행 할 수 있도록 고안 하였다. 또한, T-Network 기법을 이용하여 레이아웃 시, 발생하는 parasitic capacitor의 영향에 둔감한 구조를 제안 하였다. 이로 인해 레이아웃 후에도 noise transfer function이 Chebyshev 특성을 나타내어 보다 향상된 noise 특성을 얻을 수 있었다. 1.5V 전원전압에서 200uA의 전류를 소모하며, 2.56MHz의 동작 속도 및 64의 OSR을 가진다. 본 설계는 180nm CMOS 공정으로 설계 되었으며, 칩 전체 면적은 340 X 650mm2이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2614	2016UOS_4.5V_1A_018um_BCD_CCM_Buck_Conveter	본 설계에서는 4-ch의 current regulator와 이를 구동시키기 위한 대용량 DC-DC buck converter를 제안한다. 4-ch의 current regulator는 외부에서 전압을 인가하여 각각 흐르는 전류를 제어 할 수 있게 하였으며, 이를 구동하기 위해 DC-DC converter의 출력전압을 입력전압으로 사용한다. DC-DC converter는 전류-모드 제어를 사용하였으며, 회로를 최적화하여 동작시키기 위해 디지털 bit를 사용하여 buck converter의 output voltage를 가변 할 수 있게 하였다. 또한 DC-DC converter는 over voltage protection, over current protection, zero current detection 등 보호 회로를 사용하여 보다 안정적으로 동작하게 하였다. 제안하는 DC-DC converter의 입력전압은 4.0 ~ 5.5V, 출력전압은 2.0 ~ 3.5V, 부하전류는 100mA ~ 1.0A, 스위칭 주파수는 100kHz이며 효율은 최대 96%를 갖는다. 0.18um BCD 공정으로 설계 및 검증하였으며, 전체 면적은 1.9mm X 3.7mm 이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단
2615	2016UOS_11b_60nm_1.2V_MOS_Temperature_Sensor_Ring_OSC	본 설계에서는 저전력 작은 면전의 Temperature Sensor를 제안한다. 온도에 어느 정도의 레벨에서 선형적으로 비례하는 CMOS inverter의 propagation delay특성을 온도 센서에 사용하였다. CMOS inverter의 propagation delay가 전원 전압과 사용 process에 크게 변하는 문제점이 나타나는데, 이를 최소화하기 위하여 온도 특성이 보상된 기준전압으로 구성된 Voltage monitor 회로를 사용하였다. 제안하는 Temperature sensor는 1.2V의 전원전압, 0.144mW의 소비전력을 갖는다. 65-nm 공정으로 설계 하였으며, 전체 면적은 0.32 X 0.175mm2이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단
2616	동부 110nm 3Gbps 3.3V TX-Driver	본 설계에서는 3Gbps 3.3V TX-Driver를 제안한다. 기존의 driver는 slew rate를 조절하는 기능과 voltage swing을 조절하는 기능이 없거나 부족하다. 이에 따라 본	Analog and Digital Mixed Signal	20161104		20161130	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		설계에서는 driver 입력에 있는 저항의 값을 변경함으로써 slew rate를 조절하며, bias current을 변경하여 voltage swing을 조절한다. 이러한 기법을 적용하여 본 설계는 110nm 6Metal CMOS 공정으로 설계하였으며, 전체 면적은 187u X 105um2이다.					
2617	2016UOS_12b_60nm_1.2V_MOS_Temperature_Sensor_Relaxation_OSC	본 설계에서는 MOSFET만을 이용한 Temperature Sensor IC를 제안한다. 온도에 비례하는 전류와 반비례하는 전류의 특성을 사용하였다. 기존의 BJT와 ADC를 이용하지 않고 MOSFET만을 이용했기 때문에 소면적이고 BJT가 없는 공정에서도 설계가 가능하다. 온도에 비례하는 전류와 반비례한 전류를 만들어주는 각각의 연산증폭기가 같기 때문에 2개의 연산증폭기를 1개로 줄이고 공유함으로써 더 소면적이고 저전력이 되도록 설계하였다. 제안한 회로는 전원전압 1.2V이고 65nm CMOS 공정으로 설계하였으며, 전체 면적은 367 X 115um2이다.	Analog and Digital Mixed Signal	20161115		20161201	서울시립대학교 산학협력단
2618	2016SG10MHzSFDSMTS65ADC	본 설계에서는 source follower 기반의 open-loop capacitor integrator와 4-bit quantizer로 3차 DT Delta-Sigma ADC를 구현하였다. Modulator의 linearity를 향상시키기 위하여 feed-foward 구조를 사용하였으며 빠른 속도의 feedback DAC의 non-linearity를 개선하기 위하여 weighted averaging 기법이 사용되었다. 제안하는 ADC는 65nm CMOS 공정으로 75.4 dB의 dynamic range, 73.3dB peak SNDR을 갖고 10 MHz의 bandwidth를 갖으며 16의 OSR을 사용하였다. 소모 전력은 1.1V 공급 전원에 13.3mW 이며 176fJ/conv-step 의 FOM을 갖는다.	Analog and Digital Mixed Signal	20151028		20161207	서강대학교 산학협력단
2619	2016SG24kHzDSMSM013ADC	본 설계에서는 0.13um CMOS 공정을 이용하여 audio band의 signal을 처리하기 위한 DT Delta-Sigma ADC와 ADC의 reference voltage를 만들기 위한 reference buffer를	Analog and Digital Mixed Signal	20160729		20161207	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		구현하였다. 제안하는 ADC는 3차 루프 필터로 구성되어 있으며 첫 번째 단계에서는 flicker noise를 줄이기 위한 chopper stabilization 기법을 사용하였으며 amp의 slew rate와 power efficient를 높이기 위해 class-AB amp를 사용하였다. 제작된 ADC는 0.57mm2의 면적을 차지한다.					
2620	2016SG28p8MHzSFDSMTS65ADC	본 설계에서는 first-stage의 quantization noise를 output으로부터 제거하여 해상도를 높이는 2-2 DT Sturdy MASH 구조의 Delta-Sigma ADC를 구현하였다. Switched-capacitor integrator에서 사용되는 clock 속도를 높이기 위하여 source-follower based의 open-loop integrator가 사용되었다. 제안하는 ADS는 500MHz에서 작동하며 73.9dB DR, 83.8dB SFDR, 71.5dB의 SNDR, 28.8MHz의 bandwidth를 갖는다. 소모 전력은 1.2V의 공급 전원에서 20.4mW를 소모하며 0.34mm2의 면적을 갖는다.	Analog and Digital Mixed Signal	20160803		20161207	서강대학교 산학협력단
2621	Layout of CDAC	ADC가 좋은 성능을 나타내기 위해서 layout의 배치가 중요하다. 그렇기 때문에 CDAC의 layout 는 common centroid layout 기술 기반으로 배치하게 된다. 파란선은 LSB capacitor의 top plate의 연결을 나타내며, 빨간선은 MSB의 capacitor의 top plate의 연결을 나타낸다. 또한 matching 특성을 위해 dummy capacitor가 빈공간을 채웠다. 그리고 parasitic capacitor를 줄이기 위해 metal의 crossing을 최소화 시켰다.	Analog and Digital Mixed Signal	20150112		20161110	한양대학교 산학협력단
2622	PLL jitter를 줄이기 위한 layout 방법	Clock 간의 phase를 align 해주는 기본적인 PLL의 기능 이외에도 작은 jitter를 가지도록 설계하는 것이 PLL의 performance에 큰 영향을 미친다. Rising edge와 falling edge 모두를 detection 하여 높은 BW를 갖도록 하는 본 구조의 특성 상 jitter의 감소는 매우 중요하다. 본 구조에서는 PLL에서 핵심적인 기능을 담당하는 VCO에 4-stage differential	Analog and Digital Mixed Signal	20161017		20161114	한양대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		ring oscillator를 사용하였는데 이 때, 각 stage 간의 loading을 맞추어 주고 최소화하는 것이 jitter 감소에 영향을 끼친다. 이를 위해 상하 대칭이 되도록 배치하여 mismatch를 줄이고 각 stage 간 metal line의 width와 length가 각각 같도록 배치를 하였다. 또한 metal 길이에 비례하여 증가하는 metal 저항 특성 상 각 stage를 연결하는 line을 세로가 아닌 가로로 배치하여 line 길이를 최소화하였다.					
2623	2016SGTSPSS28 ADC	본 설계에서는 0.18um CMOS 공정을 이용하여 Touch Screen Panel(TSP)에서 사용 할 수 있는 Incremental Analog to Digital Converter을 구현하였다. 제안하는 Incremental ADC는 14bit resolution을 만족하기 위하여 2차의 구조를 사용하였으며 linearity와 noise 성능을 높이기 위해 feed-forward 구조와 3-bit quantizer을 사용하였다. 3-bit quantizer는 asynchronous successive approximation (SAR) analog-to-digital converter를 사용하여 파워 소모와 면적을 줄일 수 있도록 하였다. Delta-sigma modulator과 Incremental ADC로 동작 시킬 수 있도록 옵션을 넣어 사용 용도에 따라 설정하여 사용할 수 있다. 제작된 ADC는 0.043mm2 의 면적을 차지한다.	Analog and Digital Mixed Signal	20160825		20161207	서강대학교 산학협력단
2624	2016SGTSPSS28 AFE	본 설계에서 제안하는 터치스크린 패널 인터페이스의 응용회로 시제품은 0.18um CMOS 공정으로 설계 및 제작 되었다. 본 시제품은 터치스크린 센서 신호를 증폭시켜 주는 Analog Front-End (AFE) 회로와 125kHz, BW, 79dB SNDR 성능을 가지는 Incremental ADC로 구성되었으며 다채널 환경에 적합한 저면적 구현을 목표로 제작되었다. 제안하는 터치스크린 패널 인터페이스 응용회로는 2Vpp의 크기를 가지는 차동 입력신호를 처리하며 0.084mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20160825		20161207	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2625	거리추정을 위한 스테레오 매칭 시스템의 센서스 변환 연산 회로	사람의 두 눈을 가지고 물체까지의 거리를 인식하는 원리를 이용하여 두 개의 카메라로부터 입력된 영상을 이용하여 물체까지의 거리를 추정하여 거리 정보를 가진 3차원 Depth 이미지를 생성하는 스테레오 매칭 알고리즘을 SoC로 구현하였다. 본 회로는 카메라에서 입력된 영상으로부터 영상의 특징을 구하기 위한 센서스 변환부에 대한 것이다. 센서스 변환부는 좌/우 각각의 영상에 대해 연산을 수행한다. 본 배치 배선은 지능형 자동차에서 사용되는 스테레오 매칭용 깊이 검출 회로의 센서스 변환 연산부에 대한 것이다. 개발된 센서스 변환 회로는 CMOS 65nm, 1poly, 6Metal 공정을 사용하였고, 1.2/1.8/3.3V에서 동작한다. 전체 chip의 크기는 PAD 포함하여 2mm x2mm 이다.	Analog and Digital Mixed Signal	20161212		20161221	전자부품 연구원
2626	스테레오 매칭 시스템의 비용집적을 위한 초기 비용 계산 회로	스테레오 매칭 알고리즘은 두 개의 카메라로부터 입력된 영상을 이용하여 물체까지의 거리를 추정하고 거리 정보를 3차원 Depth 이미지 형태로 생성한다. 본 회로는 스테레오 매칭 과정 중에서 특징점 데이터로부터 비용집적에 사용되는 초기 비용 연산 회로를 구현한 것이다. 본 배치 배선은 지능형 자동차에서 사용되는 깊이 정보 검출을 위한 스테레오 매칭 회로의 초기 비용 계산부에 대한 것이다. 개발된 초기 비용 계산부 회로는 CMOS 65nm, 1poly, 6Metal 공정을 사용하였고, 1.2/1.8/3.3V에서 동작한다. 전체 chip의 크기는 PAD 포함하여 2mm x2mm 이다.	Analog and Digital Mixed Signal	20161212		20161221	전자부품 연구원

25. '17년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2627	4-채널10-Gb/s/ chVCSEL드라이 버어레이	채널당10-Gb/s동작속도를갖는VCSEL다이오드 구동드라이버어레이칩	Analog and Digital Mixed Signal	20170222		20170330	이화여자 대학교 산학협력 단
2628	4-채널6-Gb/s광 트랜스임피던스증 폭기어레이	채널당6-Gb/s동작속도를갖는4-채널의VCF(volt age-modeCMOSfeedforward)트랜스임피던스 증폭기어레이칩	Analog and Digital Mixed Signal	20170222		20170330	이화여자 대학교 산학협력 단
2629	4-채널 차동 DC-balanced 트랜스 임피던스 증폭기 어레이	채널 당 3.125Gb/s 동작속도를 갖는 4-채널의 DC-balanced 구조의 차동 트랜스 임피던스 증폭기 어레이	Analog and Digital Mixed Signal	20170222		20170330	이화여자 대학교 산학협력 단
2630	저장 커패시터를 가지지 않는 다용도 압전소자 에너지하베스팅 전력관리 IC	압전소자가 복수의 스위치로 구성된 구조에 접속되어, 복수의 스위치들이 압전소자의 동작에 따라 연결 상태를 바꾸어 압전소자가 생성한 전하를 압전소자 내부 커패시터에 모두 저장한 후 배터리 충전 또는 전원이 없는 부하 회로를 구동하는 전력관리 IC. 하나의 스위치 구조가 압전소자의 방전 방지를 위한 바이어스플립 회로, 압전소자의 에너지를 내부 커패시터에 저장하는 회로, 저장된 에너지를 부하로 전달하는 DC-DC 컨버터 회로로 모두 전환되어 기능할 수 있고, 별도의 충전 커패시터를 사용하지 않기 때문에 획득되는 에너지 효율이 매우 높은 것을 특징으로 가진다. DC-DC 컨버터로 기능할 때에는 가변온타임과 샘플링 오프타임 스위칭을 활용한다. 또한 압전소자를 누를 때나 미세하게 진동할 때 모두 에너지를 수집할 수 있는 기능을 가졌다. 0.18um High-Voltage CMOS 공정으로 구현하였다.	Analog and Digital Mixed Signal	20170219		20170529	서울대학 교산학협 력단
2631	스위치 커패시터 컨버터와 스위칭 레귤레이터를 활용한 무전원	압전소자를 누를 때 발생되는 전하가 방전되지 않게 제어해주는 바이어스 플립 회로와, 복수의 커패시터에 전하를 저장한 후 그 커패시터의 연결 상태를 제어하는 스위치 커패시터 컨버터와,	Analog and Digital Mixed Signal	20140621		20170529	서울대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	무선스위치 구동용 압전소자 에너지하베스팅 IC	저장된 에너지를 넓은 소모전류 범위를 가지는 부하에 공급할 수 있는 가변온타임 레귤레이터를 포함하는 무선스위치 등의 회로를 무전원으로 구동시키 위한 에너지 하베스팅 IC. 저장 커패시터들이 직렬로 연결되어 압전소자 내부 커패시터의 임피던스 매칭을 통해 최적의 에너지를 획득하고, 충전이 완료된 커패시터들을 다시 병렬 연결하여 전압을 손쉽게 낮출 수 있다. 또한, 에너지를 부하에 공급할 때 스위치의 온타임을 전압의 크기에 맞게 가변하여 에너지손실을 줄이는 것을 특징으로 가진다. 0.25um high-voltage CMOS 공정을 사용하여 구현하였다.					
2632	스위치 커패시터 컨버터와 가변온타임 및 샘플링 오프타임 스위칭 레귤레이터기반의 무전원 무선스위치 구동을 위한 압전소자 에너지하베스팅 IC	압전소자를 누를 때 발생되는 전하가 방전되지 않게 제어해주는 바이어스 플립 회로와, 복수의 커패시터에 전하를 저장한 후 그 커패시터의 연결 상태를 제어하는 스위치 커패시터 컨버터와, 저장된 에너지를 넓은 소모전류 범위를 가지는 부하에 공급할 수 있는 가변온타임 및 샘플링 오프타임 레귤레이터를 포함하는 무선스위치 등의 회로를 무전원으로 구동시키 위한 에너지 하베스팅 IC. 저장 커패시터들이 직렬로 연결되어 압전소자 내부 커패시터의 임피던스 매칭을 통해 최적의 에너지를 획득하고, 충전이 완료된 커패시터들을 다시 병렬 연결하여 전압을 손쉽게 낮출 수 있다. 또한, 에너지를 부하에 공급할 때 스위치의 온타임을 전압의 크기에 맞게 가변하여 에너지손실을 줄일 뿐만 아니라, 손실이 최적화되는 스위치 오프 시간을 샘플링을 통해 알아내어 최적의 상태를 찾아가는 알고리즘을 특징으로 가진다. 0.25um high-voltage CMOS 공정을 사용하여 구현하였다.	Analog and Digital Mixed Signal	20150422		20170529	서울대학 교산학협 력단
2633	저장 커패시터를 가지지 않는 무전원 무선 스위치용 압전소자 에너지하베스팅	압전소자가 복수의 스위치로 구성된 구조에 접속되어, 복수의 스위치들이 압전소자의 동작에 따라 연결 상태를 바꾸어 압전소자가 생성한 전하를 압전소자 내부 커패시터에 모두 저장한 후 전원이 없는 부하 회로를 구동하는 전력관리 IC. 하나의 스위치 구조가 압전소자의 방전 방지를	Analog and Digital Mixed Signal	20161212		20170529	서울대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	IC	위한 바이어스플립 회로, 압전소자의 에너지를 내부 커패시터에 저장하는 회로, 저장된 에너지를 부하로 전달하는 DC-DC 컨버터 회로로 모두 전환되어 기능한다. 0.18um High-Voltage CMOS 공정으로 구현하였다.					
2634	저장 커패시터를 가지지 않는 무전원 압전소자 에너지하베스팅 IC	압전소자가 복수의 스위치로 구성된 구조에 접속되어, 복수의 스위치들이 압전소자의 동작에 따라 연결 상태를 바꾸어 압전소자가 생성한 전하를 압전소자 내부 커패시터에 모두 저장한 후 배터리 충전 또는 전원이 없는 부하 회로를 구동하는 전력관리 IC. 하나의 스위치 구조가 압전소자의 방전 방지를 위한 바이어스플립 회로, 압전소자의 에너지를 내부 커패시터에 저장하는 회로, 저장된 에너지를 부하로 전달하는 DC-DC 컨버터 회로로 모두 전환되어 기능한다. 압전소자를 누를 때나 미세하게 진동할 때 모두 에너지를 수집할 수 있는 기능을 가졌다. 0.25um High-Voltage CMOS 공정으로 구현하였다.	Analog and Digital Mixed Signal	20160814		20170529	서울대학교산학협력단
2635	라즈베리파이기반 IoT센서보드	상용디바이스인 라즈베리파이보드에 결합하여 사용할 수 있도록 제작된 배치설계이다. 공장형 과제에 맞추어 공장과 IoT부분에서 사용할 수 있는 센서들을 이용한 배치설계이며, 라즈베리파이와 연결하여 바로 사용가능하도록 편의성을 상승시킨 배치설계이다. 탑재센서로는 온도, 습도, 조도, 공기질, 적외선, NFC 센서가 적용되어 있으며 외부와의 통신을 UART 포트를 확정 설계하였으며, 5V, 3.3V전원을 바로 In/Out하여 사용할 수 있도록 설계됨	Others	20170310		20170518	한국전자통신연구원
2636	High-Performance CGH Processor	CGH 알고리즘을 따르며, 하드웨어의 셀은 입력받은 객체의 광원을 받아서 저장시키는 입력 인터페이스, 공통항에 대하여 연산하는 공통항 연산기, 각 홀로그램의 화소를 연산하는 업데이트 연산기로 구성되어 있다. 기존회로와 비교했을 때, 병렬 처리 후 연산된 데이터를 처리하는데 있어서 메모리의 입출력에 발생하는 병목 현상을 제거했기 때문에 여러 장의 프레임을 고속으로 연산할 수 있는 장점을 갖는다.	Digital Logic	20170703		20170703	광운대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2637	High-speed VR Image Stitching Module based on SIFT	VR영상의 실시간 스티칭을 위한 하드웨어 설계이다. 영상 스티칭을 위해서는 영상 매칭이 필수적인데, 이는 영상에서 특징점을 검출하는 과정이 필요하다. 이를 위해 SIFT(Scale Invariant Fearue Transform)를 기반으로 각 영상의 특징점을 추출하며, 특징점 추출 후 기존영상과 매칭영상의 특징점을 매칭하게 된다. 영상 데이터의 입력 부분에서 데이터 입력 Latency와 저장공간을 줄이고, SIFT 알고리즘의 계산량을 줄여 특징점 추출에 필요한 Gate수와 Memory를 감소시킨다.	Digital Logic	20170703		20170703	광운대학교산학협력단
2638	Layout of VCO	VCO의 각 phase의 출력을 같게 하기 위해 각 node의 loading을 같게해야 합니다. 그래서 각 VCO의 delay cell 출력의 loading을 같게 하기 위해 dummy delay cell을 배치하고 각 delay cell 및 control block의 위치를 균형있게 배치하였습니다. 또한 출력 line의 길이를 같게 하는 기법을 사용하였습니다	Analog and Digital Mixed Signal	20170904		20171108	한양대학교산학협력단
2639	differential amplifier with minimum offset layout	Offset을 최소화 하기 위해, input node 쪽의 matching을 강화하고, matching이 불가능한 block은 최대한 출력쪽으로 보냅니다. 이를 통해서 layout 배치에 의한 deterministic offset을 최소화 합니다.	Analog and Digital Mixed Signal	20170904		20171108	한양대학교산학협력단
2640	Package Bondwire based Buck Converter with Time based DCM Calibration Loop	이 설계는 외부 Inductor를 없애고 Package Bondwire로 대체하고 그 때 생기는 DCM (Discontinuous Conduction Mode)의로 인한 효율 저하를 개선하기 위해 Time domain DCM Calibration기법을 사용한 Buck converter입니다. Output voltage를 Feedback을 받아서 VCO (Voltage Controlled Oscillator)의 주파수를 Control하여 Output을 Control하게 됩니다. 본 설계는 VCO, PWM (Pulse Width Modulation)동작에서 Modulator로써 사용되는 PFD(Phase Frequency Detector)로 구성되어 있습니다. 그리고 Switching Node Voltage를 Ground Voltage와 비교하기 위해	Analog and Digital Mixed Signal	20170522		20171123	강원대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Level Shifter와 Charge Pump를 적용하였습니다. Charge Pump의 Output Current를 Loop filter를 이용하여 Voltage로 바꾼 뒤 PFD 앞단에 VCDL(Voltage Controlled Delay Line)의 Control Voltage로 사용하여 PMOS와 NMOS의 Switching Time을 조정하여 DCM을 Calibration합니다. 본 설계의 목적인 CCM/DCM 효율 개선을 달성하기 위해 layout을 할 때, timing 문제를 줄이고 block간의 간섭을 고려하여 layout을 하였습니다. 이 설계는 차후 휴대용 Mobile 기기에 적용하기 위해 사이즈를 최소화 시키려고 하였습니다. 그리고 ESD PAD를 사용하여 정전기로 인한 전기적인 충격으로부터 회로를 보호하는 역할을 하게하였고, Dynamic power consumption을 위해 MOSFET dummy를 사용하였습니다.					
2641	Fractional-N Multiplying delay-locked loop(MDLL)	이 설계는 GPS를 위한 Fractional-N Multiplying delay-locked loop(MDLL)로서, frequency locking path와 phase locking path로 나뉘어져 있습니다. 이 MDLL은 fractional 분주를 위한 phase switching 블록을 포함합니다. 이 MDLL은 MRO의 4 phase 출력을 switching하여 fractional 분주를 할 수 있도록 하였습니다. 따라서 layout을 할 때, 4 phase 간에 timing 문제와 mismatch를 줄일 수 있도록 하였으며, 휴대용기기에 적용 가능하게 하기 위해 최대한 사이즈를 최소화 시키려고 하였습니다. 그리고 정전기와 같은 순간적인 전기적 충격을 막기 위해 ESD PAD를 사용 하였습니다.	Analog and Digital Mixed Signal	20170522		20171123	강원대학교산학협력단
2642	대칭형 self-biased voltage reference를 이용한 LDO 레귤레이터	Symmetric self-biased voltage reference 회로를 구현하고, 이를 이용하여 low-dropout voltage regulator 회로를 구현한 것임.	Analog and Digital Mixed Signal	20170808		20171128	이화여자대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2643	트랜스임피던스 증폭기 및 9-비트 SAR ADC	광신호 검출용 트랜스임피던스 증폭기와 증폭된 신호를 디지털신호로 변환하는 9-비트 SAR ADC회로임.	Analog and Digital Mixed Signal	20170808		20171128	이화여자 대학교 산학협력단
2644	3-비트 DAC을 이용한 LDO 레귤레이터	3-bit DAC 회로를 이용하여 load 및 line-regulation 기능을 강화한 low drop-out 전압 레귤레이터 회로임	Analog and Digital Mixed Signal	20170808		20171128	이화여자 대학교 산학협력단
2645	2017SG8bAMOLED18 Ramp Signal Column Driver	본 설계에서는 고해상도 active-matrix organic light emitting diodes (AMOLED) 용 컬럼 (column) 구동회로의 유효 채널 면적을 최소화하기 위한 램프 (ramp) 신호 기반의 컬럼 구동기술을 제안하였다. 제안하는 램프 신호 기반의 컬럼 구동기술은 기존의 n-bit resistor digital-to-analog converter (R DAC) 에서 사용되는 2n개의 기준 전압을 단일 램프 신호로 대체하여 컬럼 구동회로의 면적을 획기적으로 줄였다. 제한된 1-H 시간에서 램프 신호의 요구되는 동작속도를 완화하고 총 8-bit의 영상신호를 처리하기 위하여 첫 번째 단 6-bit 램프 신호와 두 번째 단 2-bit amplifier DAC (AMP DAC)로 구성되는 2단 인터폴레이션 구조를 적용하였다. 감마 특성을 가지는 비선형 램프 신호를 생성하기 위하여 간단한 디지털 제어 방식의 전류원 DAC를 적용하였다. 각 채널에서는 램프 신호의 샘플링 정확도를 향상시키기 위하여 간단한 구조의 더미 스위치 (dummy switch) 및 소스 팔로워 (source follower)를 사용하였다. 제안하는 램프 신호 기반의 컬럼 구동기술을 검증하기 위하여 96개의 채널을 집적하여 0.18μm CMOS 공정으로 제작하였다. 제안하는 램프 신호 기반의 컬럼 구동기술을 적용한 96-채널 시제품의 deviation of voltage output (DVO)는 최대 $\pm$6mV 수준이며, 제안하는 DAC의 유효 채널 면적은 0.0042mm2이다.	Analog and Digital Mixed Signal	20160720		20171129	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2646	2017SG12b160 MSps28n Two-Channel Asynchronous Pipeline SAR ADC	본 설계에서는 특별한 보정기법 없이 채널 간 오프셋 부정합 문제를 최소화한 2채널 time-interleaved (T-I) 구조의 12비트 160MS/s 파이프라인 SAR ADC를 제안한다. 제안하는 ADC는 5비트-8비트 기반의 2단 파이프라인 구조 및 2채널 T-I 구조를 적용하여 전력소모를 최소화하면서 빠른 변환속도를 구현하였다. 각 단의 SAR ADC는 비동기식 스위칭 방식으로 전환 사이클에서의 지연시간을 줄여 DAC의 안정화 시간을 보장 하였으며, 지연 클록을 이용하여 간단한 준 안정성 검출 로직을 통해 비동기식 SAR ADC의 준안정성 문제를 해결하였다. 한편, 채널 간에 비교기 및 잔류전압 증폭기 등을 공유함으로써 채널 간 오프셋 부정합 문제를 추가적인 보정기법 없이 최소화할 뿐만 아니라 전력소모 및 면적을 감소시켰다. 또한, 기준전압 구동회로를 3가지로 분리하여, 5비트 및 8비트의 SAR 동작, 잔류전압 증폭 등 서로 다른 스위칭 동작으로 인해 발생하는 기준전압 간섭 문제를 최소화하였다. 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.87LSB, 1.94LSB 이고, 160MS/s 동작 속도에서 동적 성능은 최대 56.6dB의 SNDR 및 66.6dB의 SFDR을 보인다. 제안한 ADC의 칩 면적은 0.26mm2이며, 1.0V 전원 전압에서 6.3mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20160812		20171129	서강대학교산학협력단
2647	2017SG12b300 MSps18_R2 Current Steering DAC	본 설계에서는 0.21mm2의 작은 면적을 가지는 12비트 300MS/s Current Steering DAC를 제안한다. 제안하는 DAC의 Current Steering 기법은 LEM(Local-Element-Matching) 구조를 통해 전류셀의 개수를 크게 줄여 칩의 면적을 최소화 할 뿐만 아니라 정적 및 동적성능을 개선하였다. 또한, 각각의 전류셀 마다 한 쌍의 더미스위치 및 캐스코드 구조를 통해 출력임피던스를 최대화 하여 동적성능을 개선하였으며 선형성을 제한하는 글리치 에너지를 최소화 하였다. 기존의 복잡한 LSB 셀 배열의	Analog and Digital Mixed Signal	20161130		20171129	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		바이어스 회로 대신 소스폴로워 기반의 레벨쉬프터 구조를 통해 LSB 셀의 바이어스회로를 간단한 구조를 가지도록 하였으며 래치형태의 레지스터를 사용하여 빠르고 안정적인 DAC 동작을 구현하였다. 또한 스위칭 동작 시 선형성을 제한하는 글리치 에너지를 최소화 하였다. 시제품 Current Steering DAC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 2.40LSB, 2.96LSB를 보인다. 시제품 Current Steering DAC의 칩 면적은 0.21mm2이며, 1.8V 디지털 전압에서 33.62mW의 전력을 소모한다.					
2648	2017SG12b30M Sps18 Range-scaled SAR ADC	본 설계에서는 저전력 복합 스위칭 기법을 기반으로 0.52mm2의 작은 면적을 갖는 12비트 30MS/s SAR ADC를 제안한다. 제안하는 ADC에 적용된 복합 스위칭 기법은 기존의 monotonic 스위칭 기법에 VCM 기반의 스위칭 기법을 접목한 것으로써, SAR ADC의 선형성을 제한하는 동적 오프셋 문제 및 평균 스위칭 전력소모를 최소화하였다. 또한 제안하는 ADC는 하위 5비트를 저항 열 및 단위 커패시터 열로 결정하는 C-R 하이브리드 DAC 구조를 사용하여 요구되는 단위 커패시터의 총 개수를 크게 줄이는 동시에 C-R 하이브리드 DAC 구조에는 입력신호 레인지 스케일링 기법을 적용하여 별도의 추가적인 커패시터 없이 입력신호와 기준전압의 범위를 일치시켰다. 제안하는 기법은 12비트 ADC에 필요한 단위 커패시터의 총 개수를 단 136개로 줄임으로써 DAC의 면적을 최소화하였다. 한편, 최상위 2비트 결정을 위한 커패시터에는 균등 분할 커패시터 구조를 적용하여 추가적인 스위치 및 디지털 논리회로 없이 VCM 기반의 스위칭을 효율적이고 안정적으로 수행할 수 있도록 하였다. 제안하는 SAR ADC는 0.18um CMOS 공정으로 제작되었으며, 시제품 SAR ADC의 칩 면적은 0.52mm2이다.	Analog and Digital Mixed Signal	20161130		20171129	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2649	2017SG12b30M Sps18_R3 Composite Switching SAR ADC	본 설계에서는 저전력 복합 스위칭 기법 기반으로 0.27mm2의 작은 면적을 가지는 12비트 30MS/s SAR ADC를 제안한다. 제안하는 ADC의 저전력 복합 스위칭 기법은 monotonic 스위칭 기법에 VCM 스위칭 기법을 접목한 것으로써 SAR ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화 할 뿐만 아니라 평균 스위칭 전력 소모도 최소화하였다. 또한, 균등 분할 커패시터 구조를 통해 추가적인 스위치 및 디지털 로직 회로 없이 VCM 스위칭 및 기준 전압 레인지 스케일링 기법을 위한 커패시터에 등가적으로 VCM 전압을 인가함으로써 전체적인 회로를 간소화하였다. 제안하는 DAC 커패시터 열에는 추가적인 10CU를 통한 기준 전압 레인지 스케일링 기법을 적용함으로써 입력 신호와 기준 전압의 범위를 일치시켰으며, C-R 하이브리드 DAC 구조를 사용하여 DAC에서 사용되는 단위 커패시터의 총 개수를 64CU로 줄여 전체 DAC 면적을 최소화하였다. 한편, 제안하는 SAR ADC는 SAR 로직 회로에 D 플립플롭 형태의 레지스터가 아닌 래치 형태의 레지스터를 사용하여 빠르고 안정적인 SAR 동작을 구현하였으며, 출력 값을 디코더 로직 회로 없이 DAC의 스위치에 직접 인가함으로써 면적 및 전력 소모를 최소화하였다. 시제품 SAR ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 0.83LSB, 1.56LSB이고, 30MS/s 동작 속도에서 동적 성능은 최대 60.01dB의 SNDR 및 72.92dB의 SFDR을 보인다. 시제품 SAR ADC의 칩 면적은 0.27mm2이며, 1.8V 전원 전압에서 2.25mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20160718		20171129	서강대학교산학협력단
2650	2017UOS_16b_018um_1.8V_120SPS_2nd_SDM	본 설계에서는 고해상도 아날로그-디지털 변환기를 위한 2차 시그마-델타 모듈레이터를 제안한다. 낮은 이득을 가지는 증폭기로 구성된 모듈레이터에서도 높은 SNR을 얻기 위하여 보상 기법을 추가하였고 2차 시그마-델타 모듈레이터를 구현 하였다. 모듈레이터의 OSR은	Analog and Digital Mixed Signal	20171123		20171218	서울시립대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		512이다. 본 설계는 16b ADC를 설계 하였으며, 동작 속도는 120SPS, 전원전압 1.8V에서 40uA의 전류를 소모한다. 0.18um CMOS 공정으로 설계 되었으며, 모듈레이터의 전체 면적은 0.605 X 0.31mm2 이다.					
2651	2017UOS_0.95V_018um_DCM_RF_Buck_Converter	본 설계에서는 고주파 에너지 하베스팅을 위한 저전력의 buck converter를 제안한다. 많은 대역의 고주파 에너지를 수확하기 위하여 Multi Input Single Output(MISO) 구조를 사용한다. Multi Input을 효율적으로 제어하기 위하여 최대 입력 전압을 감지하는 기법을 사용한다. 이를 통해 감지한 최대 입력 전압으로 buck converter를 동작시켜 최대 에너지를 전달 할 수 있다. 또한 회로 동작 시 소모하는 전류를 줄이기 위하여 필요할 때만 스위칭 동작을 하는 Burst-Mode Control 방식을 사용하여 경부하에서 고효율을 갖는 회로를 설계하였다. 제안하는 buck converter는 0.95~3.3V의 전원전압, 0.9V의 출력전압, 30kHz의 주파수에서 동작하며, 전체 전류 소모는 7.5uA의 값을 갖는다. 0.18-um RF CMOS 공정으로 설계하였으며, 전체 면적은 1600 X 1000um2이다.	Analog and Digital Mixed Signal	20171123		20171218	서울시립대학교 산학협력단
2652	2017UOS_16b_018um_1.5V_2.4MSPS_CRFB_4th_SDM	본 설계에서는 고해상도 아날로그-디지털 변환기를 위한 4차 시그마-델타 모듈레이터를 제안한다. 모듈레이터는 높은 SNR을 얻기 위하여 4차 시그마-델타 모듈레이터를 구현 하였으며, 안정적인 전원 전압 공급을 위해서 LDO(Low- Drop Out Regulator)를 내장 하였다. 모듈레이터의 OSR은 60이다. 본 설계는 16b ADC를 설계 하였으며, 동작 주파수는 2.4MHz, 전원전압 1.6-3.3V에서 500uA의 전류를 소모한다. 0.18um CMOS 공정으로 설계 되었으며, 모듈레이터의 전체 면적은 0.8 X 0.48mm2 이다.	Analog and Digital Mixed Signal	20171123		20171218	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2653	2017UOS_0.95V_018um_DCM_Buck_Converter	본 설계에서는 저 전력의 buck converter를 제안한다. 다양한 에너지 원을 구동하기 위하여 Multi Input Single Output(MISO) 구조를 사용한다. Multi Input을 효율적으로 제어하기 위하여 최대 입력 전압을 감지하는 기법을 사용한다. 이를 통해 감지한 최대 입력 전압으로 buck converter를 동작시켜 최대 에너지를 전달 할 수 있다. 또한 회로 동작 시 소모하는 전류를 줄이기 위하여 필요할 때만 스위칭 동작을 하는 Burst-Mode Control 방식을 사용하여 경부하에서 고효율을 갖는 회로를 설계하였다. 제안하는 buck converter는 0.95~3.3V의 전원전압, 0.9V의 출력전압, 30kHz의 주파수에서 동작하며, 전체 전류 소모는 7.5uA의 값을 갖는다. 0.18-um RF CMOS 공정으로 설계하였으며, 전체 면적은 1400 X 800um2이다.	Analog and Digital Mixed Signal	20171123		20171218	서울시립대학교 산학협력단

26. '18년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2654	2018SG12b30MSps18 SAR ADC Based on C-R Hybrid DAC	본 설계에서는 높은 선형성을 갖는 C-R 하이브리드 DAC를 기반으로 하는 0.24mm2의 면적을 갖는 12비트 SAR ADC를 제안한다. 제안하는 ADC에 적용된 C-R 하이드리드 DAC는 커패시터 열과 저항 열을 혼용하여 사용되는 단위 커패시터의 개수를 136개로 줄임으로서 커패시터 부정합에 의한 영향을 최소화하였다. 또한, 입력신호 레인지 스케일링 기법을 통해 추가적인 커패시터 없이 입력신호와 기준전압의 범위를 일치시켰다. 한편 oxide-gradient 오류를 고려한 레이아웃 기법을 적용하여 산화막 두께의 linear gradient 영향을 최소화하였다. 이외에도 monotonic 스위칭과 VCM 스위칭을 접목한 복합 스위칭을 사용하여 동적 오프셋 및 스위칭 전력을 줄이고, 상위 2비트를 결정하는 커패시터는 균등분할 구조를 적용하여 추가적인 스위치 및 논리회로 없이 VCM 스위칭을 수행하도록 하였다. 제안하는 시제품 SAR ADC는 0.18um CMOS 공정으로 제작되었다. 측정된 DNL 및 INL 은 각각 0.63LSB와 0.71LSB이며 30MS/s의 속도에서 62.6dB의 SNDR 및 76.2dB의 SFDR을 보이고 1.8V 전원전압에서 1.33mA의 전류를 소모한다.	Analog and Digital Mixed Signal	20170930		20180820	서강대학교산학협력단
2655	2018SG12b180MSps18_R3 Current Steering DAC	본 설계에서는 0.21mm2의 작은 면적을 가지는 12비트 180MS/s Current Steering DAC를 제안한다. 제안하는 DAC의 Current Steering 기법은 LEM (Local-Element-Matching) 구조를 통해 전류셀의 개수를 크게 줄여 칩의 면적을 최소화 할 뿐만 아니라 정적 및 동적성능을 개선하였다. 또한, 각각의 전류셀 마다 한 쌍의 더미스위치 및 캐스코드 구조를 통해 출력임피던스를 최대화 하여 동적성능을 개선하였으며 선형성을 제한하는 글리치 에너지를 최소화 하였다. 기존의 복잡한 LSB 셀 배열의	Analog and Digital Mixed Signal	20170930		20180820	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		바이어스 회로 대신 소스폴로워 기반의 레벨쉬프터 구조를 통해 LSB 셀의 바이어스회로를 간단한 구조를 가지도록 하였으며 래치형태의 레지스터를 사용하여 빠르고 안정적인 DAC 동작을 구현하였다. 또한 스위칭 동작 시 선형성을 제한하는 글리치 에너지를 최소화 하였다. 시제품 Current Steering DAC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 0.5LSB, 0.78LSB를 보이고, 180MS/s 동작 속도에서 동적 성능은 최대 65.33dB의 SFDR을 보인다. 시제품 Current Steering DAC의 칩 면적은 0.21mm2이며, 3.3V의 아날로그 전압과 1.8V 디지털 전압에서 38.2mW의 전력을 소모한다.					
2656	2018SG12b140MSps28n_R2V2 Energy-Efficient Switching Pipelined SAR ADC	본 설계에서는 전력 효율적인 이중채널 12비트 140MS/s 28nm CMOS ADC를 제안한다. 제안하는 ADC는 각 단의 SAR ADC에서 각각 5비트 및 8비트를 처리하는 2단 파이프라인-SAR ADC 구조 및 링 증폭기를 적용하여 전력 소모를 최소화하였다. 첫 번째 단 5비트 SAR ADC는 디지털 코드 변환을 위한 SAR 동작 시 작은 단위 커패시턴스를 갖는 별도의 기준전압 생성 DAC만이 스위칭 동작을 수행하여 스위칭 에너지를 감소시켰으며, 동시에 시스템 응용 시 기준전압 구동회로의 부담을 완화시켰다. 또한, 첫 번째 단 SAR ADC에 커스텀 차폐 커패시터를 적용하여 커패시터열 배치 시 발생하는 기생성분에 의한 선형성 제한을 개선하였다. 한편, 잔류전압 증폭기로 초저전력 링 증폭기 구조를 채택하였으며, 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 전력소모 및 면적을 개선하였을 뿐만 아니라 채널 간 오프셋 및 전압이득 부정합에 의한 성능저하를 완화하였다. 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.50LSB, 2.85LSB이며, 140MS/s	Analog and Digital Mixed Signal	20170831		20180820	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		동작속도에서 동적 성능은 최대 58.0dB의 SNDR 및 73.7dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 0.202mm2이며, 0.8V 전원전압에서 1.1mW의 전력을 소모하여 12.1fJ/Conv.-Step의 FoM을 갖는다.					
2657	2018SG10bdriveramoled18 Ramp-Signal Based Column Driver	본 설계에서는 램프 신호 기반의 10비트 컬럼 구동 회로를 제안한다. 제안하는 컬럼 구동 회로는 해상도의 지수배로 증가하는 기준전압 라인을 2개의 램프 신호로 대체하여 구동 회로의 면적을 최소화하였다. 한편, 해상도가 증가할수록 빠른 동작속도의 공통 램프 신호가 요구되는데, 이를 완화하기 위해 7비트 램프 신호 및 3비트 resistor DAC (RDAC)으로 구성되는 2단 인터폴레이션 구조를 적용하였다. 이때 두 번째 단에서 RDAC을 사용할 경우, 기생 저항 성분에 의해 전압강하가 발생하여 채널 간 균일도가 악화될 수 있다. 따라서 제안하는 컬럼 구동 회로는 replica 채널 구동 기법을 적용하여 RDAC의 채널 간 균일도 문제를 해결하였다. 제안하는 컬럼 구동 회로는 0.18um CMOS 공정으로 제작되었으며, 단위 채널 당 컬럼 구동 회로의 면적은 4080um2로 기존에 발표된 구동회로 대비 가장 작은 면적을 가진다. 측정된 DVO는 최대 6mV 수준으로 AMOLED 패널의 화질에 영향을 주지 않는 우수한 성능을 보여준다.	Analog and Digital Mixed Signal	20170930		20180820	서강대학교산학협력단
2658	2018SG12b160MSps28n_R2V1 Two-Channel Asynchronous Pipelined SAR ADC	본 설계에서는 특별한 보정기법 없이 채널 간 오프셋 부정합 문제를 최소화한 2채널 time-interleaved (T-I) 구조의 12비트 160MS/s 파이프라인 SAR ADC를 제안한다. 제안하는 ADC는 5비트-8비트 기반의 2단 파이프라인 구조 및 2채널 T-I 구조를 적용하여 전력소모를 최소화하면서 빠른 변환속도를 구현하였다. 각 단의 SAR ADC는 비동기식 스위칭 방식으로 전환 사이클에서의 지연시간을 줄여 DAC의 안정화 시간을 보장 하였으며, 지연 클록을 이용하여 간단한 준 안정성 검출 로직을 통해 비동기식 SAR ADC의 준안정성 문제를	Analog and Digital Mixed Signal	20170831		20180820	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		해결하였다. 한편, 채널 간에 비교기 및 잔류전압 증폭기 등을 공유함으로써 채널 간 오프셋 부정합 문제를 추가적인 보정기법 없이 최소화할 뿐만 아니라 전력소모 및 면적을 감소시켰다. 또한, 기준전압 구동회로를 3가지로 분리하여, 5비트 및 8비트의 SAR 동작, 잔류전압 증폭 등 서로 다른 스위칭 동작으로 인해 발생하는 기준전압 간섭 문제를 최소화하였다. 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.64LSB, 1.65LSB 이고, 160MS/s 동작 속도에서 동적 성능은 최대 54.9dB의 SNDR 및 67.0dB의 SFDR을 보인다. 제안한 ADC의 칩 면적은 0.26mm2이며, 1.0V 전원 전압에서 6.3mW의 전력을 소모한다.					
2659	2018UOS_14b_018um_1.5V_240SPS_2nd_ISDM	본 설계에서는 고해상도 아날로그-디지털 변환기를 위한 2차 시그마 델타 모듈레이터를 제안한다. 증폭기의 input 에러, output leakage 에러 감소를 위해 unity gain buffer를 이용한 보상 회로가 추가되었다. 또한 1/f-noise 감소를 위한 chopping 회로 또한 구현되었다. Bias current와 OSR을 제어 할 수 있도록 하여, 원하는 SNR값을 얻을 수 있도록 설계하였다. 제안한 analog-to-digital 변환기는 14-bit의 해상도를 가지고 있다. 샘플링 주파수가 240Hz이고 OSR이 512일 때 65.59dB의 SNR을 얻을 수 있으며, 이 때의 소모 전력은 88uA이다. ADC는 0.18um CMOS 공정으로 설계되었으며, 전체 면적은 910 X 400um2이다.	Analog and Digital Mixed Signal	20180601		20181122	서울시립대학교 산학협력단
2660	2018UOS_5V_018um_DCM_Buck_Converter	본 설계에서는 전압 모드, DCM 동작의 DC-DC buck converter를 제안한다. 효율을 증가시키기 위해 낮은 부하 조건에서는 Burst-mode Control 방식을 통해 스위칭 동작을 제어하며 보다 높은 부하 조건에서는 PWM Control 방식을 통해 DCM 스위칭 동작을 구현한다. 외부 소자의 사용을 줄이고 외부 Pin의 개수를 줄이기 위해 디지털 방식의 Soft Start-up 회로를	Analog and Digital Mixed Signal	20180601		20181122	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		집적화하여 초기 동작의 돌입 전류와 출력 전압의 Overshoot 현상을 방지해 안정적으로 동작을 할 수 있도록 하였다. 제안하는 DC-DC buck converter는 2.8~3.3V의 전원전압을 통해 피드백 저항을 조절하여 출력 전압 선택이 가능하고, 1MHz의 주파수에서 동작하며, 최대 92.6%의 효율을 얻을 수 있다. 0.18um CMOS 공정으로 설계하였으며, 전체 면적은 2000 X 1400um2이다.					
2661	2018SG12b2MSps28n Calibrated Three-Step Hybrid SAR ADC	본 설계에서는 저전력 무선센서 네트워크 응용을 위한 12비트 2MS/s 28nm CMOS SAR ADC를 제안한다. 제안하는 ADC는 분리형 가중치 커패시터 (CA)를 이용한 구조에 R-2R 저항 기반의 DAC를 사용한 3단 C-R 하이브리드 DAC구조를 적용하여 사용되는 단위 커패시터의 개수를 최소화 하는 동시에 전체 ADC의 면적 및 전력소모를 최적화 하였다. 게다가 기존의 CA를 이용한 구조의 한계로 인해 발생하는 ADC의 선형성 저하 문제를 완화하기 위해 CA를 단위커패시터의 정수배 크기로 구현하였으며, 가변 커패시터를 이용한 보정기법을 적용하였다. 제안하는 ADC는 교차결합구조를 적용하여 비교적 적은 전력을 소모하는 저잡음 비교기를 사용하였다. 또한 평균 스위칭 전력소모 및 ADC의 선형성을 제한하는 동적 오프셋 문제를 최소화하기 위해 복합 스위칭 기법을 적용하였다. 제안하는 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 0.66LSB, 1.83LSB이고, 2MS/s 동작속도에서 동적성능은 최대 63.2dB의 SNDR 및 75.6dB의 SFDR을 보인다. 제안한 ADC의 칩 면적은 0.063mm2이며, 1.0V 전원전압에서 61.1μW의 전력을 소모한다.	Analog and Digital Mixed Signal	20180330		20181129	서강대학교산학협력단
2662	2018SG12b160MSps28n_R3 Pipelined SAR ADC Based on	본 설계에서는 전력 효율적인 이중채널 12비트 160MS/s 28nm CMOS ADC를 제안한다. 제안하는 ADC는 각 단의 SAR ADC에서 각각 5비트 및 8비트를 처리하는 2단	Analog and Digital Mixed Signal	20180330		20181129	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	Energy-Efficient Switching	파이프라인-SAR ADC 구조 및 링 증폭기를 적용하여 전력 소모를 최소화하였다. 첫 번째 단 5비트 SAR ADC는 디지털 코드 변환을 위한 SAR 동작 시 작은 단위 커패시턴스를 갖는 별도의 기준전압 생성 DAC만이 스위칭 동작을 수행하여 스위칭 에너지를 감소시켰으며, 동시에 시스템 응용 시 기준전압 구동회로의 부담을 완화시켰다. 또한, 첫 번째 단 SAR ADC에 커스텀 차폐 커패시터를 적용하여 커패시터열 배치 시 발생하는 기생성분에 의한 선형성 제한을 개선하였다. 한편, 잔류전압 증폭기로 초저전력 링 증폭기 구조를 채택하였으며, 이중채널 구조에서 각각의 채널이 하나의 증폭기를 공유함으로써 전력소모 및 면적을 개선하였을 뿐만 아니라 채널 간 오프셋 및 전압이득 부정합에 의한 성능저하를 완화하였다. 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 1.26LSB, 1.94LSB이며, 160MS/s 동작속도에서 동적 성능은 최대 60.8dB의 SNDR 및 74.6dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 0.194mm2이며, 1.0V 전원전압에서 1.9mW의 전력을 소모하여 13.3fJ/Conv.-Step의 FoM을 갖는다.					
2663	2018DG10b100KSps002 OTDR	본 설계에서는 광선로의 장애위치 및 손실 등을 파악하기 위해 CMOS ASIC 기술을 이용하여 광선로 계측기인 Optical time domain reflectormeter(OTDR)의 아날로그 회로 부를 On chip화 하였다. 기존 시중의 OTDR 제품들은 아날로그 회로 부를 개별 IC소자를 이용하여 Module로 설계한다. 이러한 구성은 신호라인이 외부에 노출되기 때문에 잡음에 약하며, 30dB 이상의 Dynamic Range(DR)을 확보하는데 한계가 있다. 또한 각각의 IC 소자가 요구하는 Minimum power consumption을 줄일 수 없으므로 저 전력 설계 역시 제한된다. 따라서 본 연구에서는 CMOS ASIC 기술을 이용하여 OTDR의 아날로그 회로 부를 On	Analog and Digital Mixed Signal	20180105		20181207	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		chip화함으로써 높은 Dynamic range를 확보하고 Low power consumption 및 제품 소형화를 가능하게 하는 것을 목표했다. 설계한 아날로그 회로 부는 크게 Laser diode driver, Trans-impedance amplifier, Sample and hold amplifier, Analog-to-digital converter (ADC)로 구성되어있다. 제작된 칩은 2-poly 4-metal CMOS 350nm 공정으로 제작되었고, 5mm x 4mm의 면적을 가지며, 700uW의 전력을 소비한다.					
2664	2018DG10b104 KSps001 ADC	본 설계에서는 저 면적, 저 전력 analog-to-digital converter (ADC)를 설계하기 위해 Attenuation capacitor을 사용한 Successive approximation resister (SAR) ADC를 design 하였다. SAR ADC는 Comparator, capacitor-digital-to-analog converter (C-DAC), latch, 그리고 DAC를 제어할 수 있는 logic block으로 구성된다. 칩에서 capacitor가 차지하는 면적이 크기 때문에 면적을 최적화하기 위해 7+3 Bit 형태로 분할하는 attenuation capacitor 구조를 사용했다. 그 결과로 total capacitance의 크기를 1024 x Unit 에서 (128+8) x Unit 로 줄일 수 있었다. 하지만 여전히 높은 capacitance가 부하로 작용하기 때문에 설계 스펙을 줄이고 Sampling rate를 맞추기 위해 Sample and Hold block을 추가했다. Simulation 결과로 ENOB 9.86 Bit을 얻을 수 있었으며 목표 해상도인 10 Bit에 가까운 동작을 할 수 있음을 확인할 수 있었다. 제작된 칩은 2-poly 4-metal CMOS 350nm 공정으로 제작되었고, 3.15mm x 1.6mm의 면적을 가진다.	Analog and Digital Mixed Signal	20180115		20181207	동국대학 교산학협 력단
2665	2018SG_1.54ps Resolution Vernier TDC	본 설계 회로에는 1.5ps의 해상도를 갖는 Vernier type의 TDC를 설계한다. 1V의 공급 전력으로 동작하고, 두 개의 전압으로 조절하는 발진기가 들어있으며, 1.8 ~2.4GHz 의 주파수로 동작한다. 출력은 총 3단계의 간격으로 11bit, 5bit, 3bit이 출력된다.	Analog and Digital Mixed Signal	20180914		20181224	서강대학 교산학협 력단

27. '19년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2666	2018SG_XBBPD	XBBPD를 이용한 reference-less CDR를 발명함으로써 기존 입력 데이터를 분주하는 방식으로 구성된 주파수 잠금 루프에 비해 잠금 시간을 줄일 수 있으며 기존에 dual loop reference-less CDR에 비해 시스템을 간소화 할 수 있다. 랜덤 입력 신호에 대해 한 개의 위상검출기만으로 주파수 및 위상 에러를 동시에 출력하여 면적 측면에서 이득을 얻을 수 있어, 시스템을 간소하게 구현할 수 있다.	Analog and Digital Mixed Signal	20180914		20190107	서강대학교산학협력단
2667	25MHz Plastic Optical Fiber Receiver	본 배치설계는 디지털오디오 신호통신을 목적으로 광신호를 수신하여 디지털 출력을 내보내는 광수신기 집적회로이다. 광송신기에서 출력하는 광신호가 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달되면, 본 광수신기는 전달된 광신호를 디지털신호로 전환하여 출력으로 내보낸다.	Analog and Digital Mixed Signal	20160201		20190118	㈜인투칩스
2668	50MHz Plastic Optical Fiber Transmitter	본 배치설계는 디지털오디오 신호통신을 목적으로 고속으로 LED를 구동하는 광송신기 집적회로이다. 디지털 입력신호는 LED의 광신호로 변환되어 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달된다.	Analog and Digital Mixed Signal	20160201		20190118	㈜인투칩스
2669	Sensor Processing IC Chip	Sensor Signal Processing IC Chip	Analog and Digital Mixed Signal	20180701		20190131	강희복
2670	2018SG_Limiting Amplifier	본 설계 회로에는 1V의 공급 전력으로 동작하는 증폭기로서 15GHz의 Bandwidth를 가진다. Negative Capacitor와 작은 크기의 저항을 load로 사용하여 넓은 Bandwidth를 얻을 수 있는 구조이다. CDR의 입력을 증폭시켜주는 역할을 위해 설계되었다.	Analog and Digital Mixed Signal	20180914		20190130	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2671	2018SG_정류회로와 LDO	본 설계 회로에는 정류회로 2개와 캐패시터가 없는 LDO 그리고 Band Gap Reference 가 함께 들어있다. 2개의 동일한 크기의 CMOS 정류회로가 있으며, 하단에는 핵심 부분을 제외하고는 그 주변을 MIM 캐패시터와 MOS 캐패시터로 둘러쌓아 놓았다. LDO에 들어가는 저항이 핵심 부분에서 조금 큰 크기를 차지하고 있다.	Analog and Digital Mixed Signal	20180112		20190130	서강대학교산학협력단
2672	2018SG_12bit current DAC	본 설계 회로에는 12bit의 입력 신호에 따른 디지털 입력값에 따라 2개의 differential 출력이 전류의 형태로 출력되는 변환동일한 크기의 CMOS 정류회로가 있으며, 하단에는 핵심 부분을 제외하고는 그 주변을 MIM 캐패시터와 MOS 캐패시터로 둘러쌓아 놓았다. LDO에 들어가는 저항이 핵심 부분에서 조금 큰 크기를 차지하고 있다.	Analog and Digital Mixed Signal	20180112		20190130	서강대학교산학협력단
2673	2018SG_RF 에너지 변환소자	본 설계 회로는 초저전력 및 고출력 입력에 대한 고효율 에너지 변환 소자이다. Target 주파수 800~900MHz 대역의 RF 어네지를 수확한다. RF 정류기 회로를 기반으로 한다.	Analog and Digital Mixed Signal	20180914		20190130	서강대학교산학협력단
2674	2018SG_Adaptive RF 에너지 변환소자	본 설계 회로는 초저전력 및 고출력 입력에 대한 고효율 에너지 변환 소자이다. Target 주파수 800~900MHz 대역의 RF 에너지를 수확한다. 넓은 범위의 입력파워 변화에 따라 최대효율을 유지하는 Adaptive rectifier가 핵심 회로이다.	Analog and Digital Mixed Signal	20180111		20190130	서강대학교산학협력단
2675	트랜스포머 수신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20190411		20190412	㈜ 텔트론
2676	인덕터 수신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20190411		20190412	㈜ 텔트론

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2677	혼합기 수신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20190411		20190412	㈜ 텔트론
2678	다채널 에너지 하베스팅 인터페이스 집적회로	본 반도체집적회로는 IoT 센서모듈의 자가발전(self-powered)을 위한 에너지 하베스팅 인터페이스 칩이다. 이 칩은 하베스팅 소자로부터 발생한 전력 에너지를 높은 효율로 극대화하여 추출하며, 여러 개의 다중소스의 에너지를 입력받아 결합하여 하나의 에너지 저장원(capacitor 또는 배터리)에 충전한다. 동시에 IoT 전력공급 가능하도록 적절한 전압으로 전력을 변환한다. 따라서 본 집적회로는 AC형태의 전원으로부터 최대전력을 추출할 수 있는 새로운 인터페이스 topology 회로설계와 DC/AC 동시 전력추출이 가능하며 에너지 결합이 가능한 회로설계를 포함한다. 350nm 3.3V CMOS 공정으로 설계되었다.	Analog and Digital Mixed Signal	20190620		20190624	한국과학 기술원
2682	SiC MOSFET 게이트 구동용 주파수 변조기능 내장 신호절연 일차측 집적회로	본 발명은 SiC MOSFET용 고전압/고속 게이트 드라이버 구동을 위한 PWM 신호 생성 및 절연을 위한 신호절연 일차측 집적회로로 수 십 ~ 수 백 kHz 의 입력 PWM 신호를 배치설계 회로에서 생성되는 수 십 ~ 수 백 MHz 의 캐리어 신호로 변조시켜 신호 절연을 위한 변압기 (Transformer) 의 인덕터 크기를 줄일 뿐만 아니라 노이즈에 의한 오동작률을 줄인다. 또한 외부에서 들어오는 게이트 드라이버의 Fault 신호를 인덕터로 수신하여 배치설계에 인가되는 공급전압 레벨로 변환하여 출력하는 기능도 포함된다.	Analog and Digital Mixed Signal	20190628		20190722	한국전기 연구원
2680	SiC MOSFET용 이차측 게이트 드라이버 집적회로(Secondary side driver intergrated-cir	본 발명은 SiC MOSFET을 구동하기 위한 게이트 드라이버 집적회로(IC)에 관한 것이다. SiC MOSFET을 구동하기 위해서는 SiC MOSFET의 고 절연전압 레벨로 제어 신호를 전달하는 신호절연회로가 필요하며, 본 발명은 고 절연절압을 고려한 신호절연회로가 내장된 SiC	Analog and Digital Mixed Signal	20190628		20190724	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	cuit for SiC MOSFET)	MOSFET용 절연형 게이트 드라이버 집적회로를 구현하기 위한 절연회로 이차측 구동 집적회로(Secondary side driver IC)에 관한 것이다. 본 발명의 이차측 구동 집적회로는 5A급 전류 구동이 가능하며, 최대 36V의 게이트 구동전압을 지원 가능하다. 또한 본 집적회로는 SiC MOSFET용 단락 보호회로 및 외부 노이즈에 강인한 신호절연회로용 복조회로가 내장되어 있어서 SiC MOSFET용 절연형 게이트 구동 집적회로 구현에 적합하다.					
2679	GB/T 규격 기반의 Line-Fit을 위한 Dual-Mode Transceiver IC	지능형 교통시스템 ITS에 쓰이는 Dual-Mode Transceiver IC의 layout 결과물이다. - 송신기 : LNA, Mixer, Rx filter, ADC 포함 - 수신기 : On-chip PA, Tx Mixer, Tx filter, On-chip balun 포함 - PLL synthesizer : On-chip inductor VCO 포함 - 기타 기능 : 전류 레퍼런스, 전압 레퍼런스 회로, LDO, Control block	Analog and Digital Mixed Signal	20190618		20190813	주식회사 파이칩스
2681	스캔방식의 Linear-array CMOS 영상센서	본 배치설계의 경우 X-선을 가시광선으로 변환하는 신틸레이터와 결합되어 의료용 X-선 영상센서 및 산업용 비파괴 검사용 영상센서로 활용이 가능한 것이며, 보다 구체적으로는 12cm*1cm 사이즈의 대면적 영상센서를 구현하기 위하여 1차원 stitching 공정기술을 이용하고, 하나의 row driver 블록, 대면적의 픽셀 및 readout부를 6개의 블록으로 나누어 설계를 실시하였으며, 1차원 stitching 공정을 위하여 x-방향으로만 반복이 될 수 있게 설계를 실시함. 또한, 본 배치설계의 경우 6개의 픽셀 및 readout 블록은 동일한 사이즈 및 기능을 가지는 회로로 구성되고, 각 블록들은 다수의 픽셀, CDS, ADC, I/O 등으로 구성되어 있으며, 대면적의 특성으로 블록간의 바이어스 전압의 차이를 최소화하기 위하여 글로벌 레퍼런스 전류를 로칼로 전달하고 로칼에서 전류-전압 변환을 통하여 동작이 가능함. 또한, 본 배치설계에 경우 픽셀은 방사선 환경에 강인하게 ELT(Enclosed Layout Transistor) 방법으로	Others	20181121		20190813	한국전기 연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		설계되었으며, 두 가지의 gain mode를 가지고 있고, 외부에서 선택적으로 동작할 수 있음. 또한 본 배치설계의 경우 고속 동작을 위하여 두 개의 row를 동시에 선택하여 픽셀 신호를 읽어내고 처리할 수 있도록 하였고, column 단에서는 병렬로 신호를 처리할 수 있도록 아날로그 및 디지털 회로를 설계하였음.					
2683	2019DG8b6MSps001 CIS	본 설계에서는 Single Slope ADC와 Log-exponential Complex Counter(LCC)를 이용하여 이미지의 보정이 가능한 CMOS image sensor를 design 하였다. Conventional CIS는 counter를 이용하여는 조도에 따른 digital code를 부여한다. 본 image sensor에서는 모든 영역에서 같은 주파수를 가지는 normal counter 와 달리 시간영역에서 각각 다른 주파수를 가지는 LCC를 이용하였다. LCC는 총 4가지 모드가 있는 데 모드에 따라 저조도 고조도 영역에서 다른 코드 수를 부여받고 더 밝게 혹은 더 어둡게 보정된다. Image sensor의 coutner를 제외한 구조는 일반 CIS 구조와 동일하다. LCC는 비동기식 counter, EFDFF, MUX, Xor 등의 간단한 digital block으로 구현하였다. 비동기식 Counter는 각각 주파수가 n, 2n, 4n인 3개의 signal을 생성하고 EFDFF array는 각 주파수가 선택될 시간 영역을 정해주는 pulse signal을 생성한다. 이러한 signal과 digital logic block을 이용하여 LCC의 LSB를 생성하고 다시 MSB까지의 signal을 생성한다. Image sensor는 normal counter, 1/4point LCC, 1/2point LCC, 3/4 point LCC로 총 4가지 모드로 구성 되어있으며 2bit의 control signal을 통해 자유롭게 선택할 수 있다. 제작된 칩은 1-poly 4-metal CMOS110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.	Analog and Digital Mixed Signal	20190323		20191002	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2684	2019DG8b25K Sps005 LP2	본 설계에서는 저 전력 CMOS Image Sensor (CIS)를 설계하기 위해 Latch를 이용한 Comparator 구조를 설계하였다. 기존의 Comparator의 경우, 3.3V Thick Gate MOSFET을 이용한 Single Ended Differential Amplifier (SEDA)와 Common Source Amplifier (CSA)로 구성되어 있다. 저 전력을 만족하기 위해 Static Current는 50nA로, 1.5V Thin Gate MOSFET을 이용하여 아날로그 단을 설계하였다. 또한 Comparison 이후, CSA에 흐르는 Static Current를 Latch를 이용하여 Current Path를 차단함으로써 아날로그 단의 Total Static Power를 줄였다. Simulation 결과, 평균적으로 1Conversion 당 100nW의 Power를 소모하는 것으로 확인하였다. 제작된 칩은 1-poly 4-metal CMOS 110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.	Analog and Digital Mixed Signal	20190323		20191002	동국대학교 산학협력단
2685	2019SG12b100 MSps28n SAR ADC based on Non-Binary DAC	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC를 기반으로 고속 잔류 전압 정착 성능을 갖는 12비트 100MS/s SAR ADC를 제안한다. 제안하는 C-R 하이브리드 DAC는 비 이진 가중치 구조를 적용하여 요구되는 잔류 전압 정착 사양을 완화함으로써 고속 동작을 용이하게 하였으며, 하위 5비트를 간단한 저항 열에서 분배되는 기준전압을 통해 결정함으로써 사용되는 단위 커패시터 수를 획기적으로 줄여 DAC 면적을 크게 감소시켰다. 또한, C-R 하이브리드 DAC 구조에서 별도의 커패시터 및 기준전압 없이 입력 신호와 기준전압의 범위를 일치시키는 입력 신호 레인지 스케일링 기법을 적용하였으며, monotonic 스위칭 기법과 VCM 기반의 스위칭 기법을 접목한 복합 스위칭 기법을 사용하여 스위칭 전력 소모 및 DAC 출력의 최대 VCM 변화를 감소시켰다. 이와 더불어, DAC의 단위 커패시터에 차폐 커패시터 구조를 적용하여 인접 커패시터 간 기생 커패시턴스에 의한 선형성 저하를 최소화하였다. 한편, 제안하는 ADC의	Analog and Digital Mixed Signal	20190530		20191010	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		비교기는 추가적인 테일 커패시터와 리셋 스위치를 사용하여 저잡음 성능을 아주 적은 전력을 소모하며 구현하였다. 제안하는 시제품 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 1.0V 전원전압 및 100MS/s 동작속도에서 1.3mW의 전력을 소모한다.					
2686	2019SG12b50MSps18 Offset Calibration-Free 2b/cycle SAR ADC	본 설계에서는 오프셋 보정기법 없이 비교기 오프셋 부정합을 최소화한 12비트 50MS/s 2b/cycle SAR ADC를 제안한다. 제안하는 2b/cycle SAR ADC에 사용되는 3개의 비교기는 별도의 보정기법을 사용하지 않으며, 정교하고 대칭적인 비교기 레이아웃을 통해 요구되는 비교기 오프셋 부정합 사양을 만족시킨다. 또한 VCM 스위칭 방식 및 버퍼 레이어 등을 이용하여 비교기 주변에서 발생하는 동적 오프셋을 최소화 하였다. 한편, 제안하는 ADC는 DAC의 면적을 줄이기 위해 인터폴레이션 기법 및 커패시터 열과 저항 열을 혼용한 C-R 하이브리드 DAC를 사용하였다. 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 칩 면적은 0.51mm2이다. 제안하는 ADC는 1.8V 전원전압 및 50MS/s 동작속도에서 6.23mW의 전력을 소모한다	Analog and Digital Mixed Signal	20190617		20191010	서강대학교 산학협력단
2687	2019SG12b50MSps18 2b/cycle SAR ADC with Offset-Cancellation Technique	본 설계에서는 비교적 간단한 비교기 오프셋 상쇄기법을 적용하여 비교기 오프셋 부정합을 최소화한 12비트 50MS/s 2b/cycle SAR ADC를 제안한다. 제안하는 2b/cycle SAR ADC에 사용되는 3개의 비교기는 복잡한 비교기 보정기법 대신 비교적 간단한 오프셋 상쇄기법을 통해 요구되는 비교기 오프셋 부정합 사양을 만족시켰다. 또한 VCM 스위칭 기법 및 버퍼 레이어 등을 통해 비교기 주변 동적 오프셋을 최소화 하였다. 이와 더불어, 인터폴레이션 기법 및 커패시터 열과 저항 열을 혼용한 C-R 하이브리드 DAC, 입력신호 레인지 스케일링 기법 등을 통해 전체 ADC의 면적을 감소시켰다. 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 칩 면적은 0.53mm2이다.	Analog and Digital Mixed Signal	20190617		20191010	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		제안하는 ADC는 1.8V 전원전압 및 50MS/s 동작속도에서 6.02mW의 전력을 소모한다					
2688	2019DG4b150fps002 ACV	본 설계에서는 Always-on computer vision을 설계하기 위해 전력소비가 심한 software process 없이 hardware 상의 analog circuit을 통해 face-detection이 가능한 image sensor를 design 하였다. Image sensor에서 Face-detection을 수행하기 위해서 convolutional neural network(CNN) 구조를 이용하였는데 CNN은 크게 convolution 처리에 해당하는 filter와 data를 압축하는 pooling, 그리고 최종적인 결론을 도출하는 classification으로 나뉘게 된다. Filter을 analog circuit으로 design 하기 위해 switched-capacitor 구조를 이용하였고, max-pooling을 위해 amplifier를 통해 input voltage들 중 max voltage를 출력하는 circuit을 design 하였다. 2개의 layer를 거쳐 압축 된 data를 4bit single slope ADC를 통해 digital code로 converting 해주고 간단한 digital logic을 이용하여 classification을 수행한다. 또한 최초로 pixel voltage를 받는 filter에서는 filter처리를 하는 동시에 correlated double sampling을 수행한다. 제작된 칩은 1-poly 4-metal CMOS 110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다	Others	20190323		20191002	동국대학교 산학협력단
2689	2019DG14T100MHz003 ROSC	본 설계에서는 반도체 소자의 채널영역이 협소해짐에 따라서 발생하는 Self heating effect(SHE)의 영향을 예측하고 완화하기 위해 Ring Oscillator의 구조를 통하여 확인하였다. SHE로 인한 소자의 성능 변화는 회로 전체에서 영향을 미치고 이는 발열로 인한 life time 감소, reliability 문제 등을 야기한다. 이를 완화하기 위해 Metal/ via를 이용한 heat sink를 생성하였다. 4-input NAND gate기반의 Oscillator를 제작하였으며 각 노드의 열적 민감도를 계산하여 heat sink의	Analog and Digital Mixed Signal	20190323		20191002	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		개수에 따른 성능저하를 판단한다. Thick gate mosfet과 thin gate mosfet의 종류와 heat sink에 따라 총 14type의 Oscillator로 구성되어 있으며 type에 따라 회로 성능 변화를 비교가 가능 하다. Ring Oscillator의 주파수를 측정하여 발열에 따른 발진 속도 감소를 측정한다. 속도 변화를 측정하여 채널 영역에 따른 SHE의 영향을 파악할 수 있으며, 생성한 heat sink로 인한 노드 별 발열 완화를 확인 할 수 있다. 제작된 칩은 1-poly 4-metal CMOS 110nm 공정으로 제작되었고, 526um x 571um의 면적을 가진다					
2690	2019DG8b25K Sps004 LP1	본 설계에서는 Always on 동작을 위해 column analog-to-digital converter (ADC)의 전력 소모를 줄인 CMOS image sensor (CIS)를 제안한다. CIS 에서 일반적으로 사용되는 Slope 기반 ADC에서 많은 전력 소모가 발생하는 correlated double sampling (CDS) counter 의 문제를 해결하고자 새로운 CDS 알고리즘 및 two step counter 구조를 적용 하였다. 개선된 알고리즘은 counter의 CDS 동작에 필요한 transistor 개수를 절반 (8->4)으로 줄여 보다 적은 기생 저항 및 커패시터 성분을 가지며 이로 인해 power-delay-product (PDP)가 약 60% 감소하였다. 또한 counter 전력 소모의 가장 큰 원인인 하위 비트 토글링 횟수를 줄이기 위해 비교기 출력의 천이 시점과 상위 비트 counter의 기준 시점까지의 잔여 시간을 데이터로 변환하는 two step counter 구조를 사용 했으며 이로 인해 counter의 토글링 횟수를 약 1/8로 줄일 수 있었다. 제안하는 CIS는 1-poly 4-metal 110nm image sensor 공정으로 제작되었으며 5.9mm X 5.24mm의 면적으로 구현되었다	Analog and Digital Mixed Signal	20190323		20191002	동국대학교 산학협력단
2691	2019SG12b50M Sps18 SAR ADC based on Composite	본 설계에서는 다양한 회로기법을 적용하여 면적 및 전력소모를 줄인 12비트 50MS/s SAR ADC를 제안한다. 제안하는 ADC는 커패시터 열과 저항 열을 혼합한 C-R 하이브리드 DAC를	Analog and Digital Mixed Signal	20181203		20191010	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	Switching	적용하여 사용되는 단위 커패시터의 개수를 136개로 줄임으로써 DAC의 면적을 최소화 하였으며, 입력신호 레인지 스케일링 기법을 통해 추가적인 커패시터 및 기준전압 없이 입력신호와 기준전압의 범위를 일치시켰다. 또한 monotonic 스위칭과 VCM 스위칭을 접목한 복합 스위칭을 사용하여 동적 오프셋 및 스위칭 전력을 줄였다. 이와 더불어 상위 2비트를 결정하는 커패시터는 균등분할 구조를 적용하여 추가적인 스위치 및 논리회로 없이 VCM 스위칭을 수행하도록 하였다. 한편, 제안하는 ADC는 oxide-gradient 오류를 고려한 레이아웃 기법을 적용하여 산화막 두께의 linear gradient 영향을 최소화하여 선형성을 향상시켰다. 제안하는 시제품 SAR ADC는 0.18um CMOS 공정으로 제작되었다. 측정된 DNL 및 INL 은 각각 0.71LSB와 0.85LSB이며 50MS/s의 속도에서 64.3dB의 SNDR 및 74.7dB의 SFDR을 보이고 1.8V 전원전압에서 2.63mA의 전류를 소모한다					
2692	2019SG14b10M Sps28n Calibrated SAR ADC	본 설계에서는 저전력 IoT 센서 응용을 위한 14비트 10MS/s 28nm CMOS SAR ADC를 제안한다. 제안하는 ADC는 14비트 해상도에서 요구되는 커패시터의 정합 특성을 만족시키기 위하여 최상위 4개의 커패시터 열에 보정기법을 적용하였다. 또한, 하위 5-bit에는 저항 열 기반의 RDAC 구조를 결합하여 사용되는 단위 커패시터의 개수를 최소화하는 동시에 전체 ADC의 면적 및 전력소모를 최적화하였다. 한편, 차폐 커패시터 구조를 적용하여 보정기법을 사용하지 않았을 경우에도 높은 선형성을 갖는 커패시터 열을 구성하였으며, 잡음 감쇄 커패시터 기반의 비교기를 적용하여 초저잡음 성능을 저전력으로 구현하였다. 제안하는 커패시터 보정기법은 네 번째 최상위 커패시터부터 최상위 커패시터까지 순차적으로 보정 대상으로 지정한다. 보정 대상 커패시터의 크기와 그 이하 하위 커패시터 크기의 합을 비교하며, 비교	Analog and Digital Mixed Signal	20181231		20191010	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		결과에 따라 보정 대상 커패시터의 크기를 조절한 후, 두 값을 다시 비교한다. 두 값의 차이가 보정 범위 내 가능한 최소가 될 때까지 이 시행을 반복하며, 최소에 도달하였을 경우 반복을 마친다. 이후, 보정 대상 커패시터를 변경하여 위의 과정을 반복한다. 시제품 ADC는 28nm CMOS 공정으로 제작되었으며, 칩 면적은 0.062mm2이다. 제안하는 SAR ADC는 1.0V 전원전압 및 10MS/s 동작속도에서 351uW의 전력을 소모한다					
2693	2019SG12b200MSps28nFDSSingle Channel Pipelined SAR ADC	본 설계에서는 단일채널 12비트 200MS/s 28nm FDSOI CMOS ADC를 제안한다. 제안하는 ADC는 각 단의 SAR ADC에서 각각 5비트 및 8비트를 처리하는 2단 파이프라인-SAR ADC 구조를 가진다. 첫 번째 단 5비트 SAR ADC는 디지털 코드 변환을 위한 SAR 동작 시 작은 단위 커패시턴스를 갖는 별도의 기준전압 생성 DAC만이 스위칭 동작을 수행하여 스위칭 에너지를 감소시킴과 동시에 시스템 응용 시 기준전압 구동회로의 부담을 완화시켰다. 또한, 기준전압 생성 DAC의 디지털 로직을 간소화하여 고속 동작 용이하게 하기 위해 동적 레지스터 기반의 SAR 로직을 적용하였다. 제안하는 SAR 로직은 별도의 스위치 제어 로직 없이 비교기의 출력 신호를 저장하는 동적 레지스터가 직접 스위치를 구동하여 제어함으로써 SAR 동작 루프 지연시간을 획기적으로 감소시켰다. 한편, 일반적인 파이프라인 구조에서 가장 큰 전력을 소모하는 잔류 전압증폭기에 Ring 증폭기를 적용하여, 고속 동작을 초저전력으로 구현하였다. 시제품 ADC는 28nm FDSOI CMOS 공정으로 제작되었으며, 칩 면적은 0.052mm2이다. 제안하는 ADC는 1.0V 전원전압 및 200MS/s 동작속도에서 에서 2.2mW의 전력을 소모한다	Analog and Digital Mixed Signal	20190430		20191010	서강대학교 산학협력단
2694	2019SGCDSDSMTS18 ADC	본 설계에서는 2차의 loop-filter 및 3-bit quantizer를 적용한 discrete-time delta-sigma ADC를 구현하였다. 첫 번째	Analog and Digital Mixed Signal	20190322		20191022	서강대학교 산학협력

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		적분기 출력에 간단한 아날로그 필터를 적용함으로써 기존의 multi-bit 양자화기 사용 시 input-feedforward 구조가 가지는 복잡한 아날로그 가산기 회로를 개선하였으며, 첫 번째 적분기의 구조를 Correlated Double Sampling 기술로 증폭기의 노이즈 성능을 개선하였다. 제안하는 ADC는 180nm CMOS 공정으로 제작되었으며, 101.0 dB의 dynamic range, 97.7 dB의 SNR이 측정되었다. 입력 신호 주파수 대역은 24-kHz이며, 1.8 V 전원 전압에서 1.55 mW의 전력을 소비하여 173.0 dB의 FoM을 갖는다					단
2695	2019SGDSMSM13 ADC	본 설계에서는 0.13㎛ CMOS 공정을 이용하여 음성 신호를 처리하기 위한 DT Delta-Sigma ADC 및 ADC의 기준 전압을 생성하기 위한 reference buffer를 구현하였다. 제안하는 ADC는 3차 루프 필터로 구성되어 있으며 첫 번째 적분기에는 flicker noise를 줄이기 위한 chopper stabilization 기법 및 증폭기의 슬루율 및 전력 효율을 높이기 위해 class-AB 증폭기를 사용하였다. 제작된 ADC는 94.3 dB의 SNDR을 가지며, 0.41mm2의 면적 및 3.3 V 전원 전압에서 3.34 mW의 전력을 소모한다	Analog and Digital Mixed Signal	20190810		20191022	서강대학교 산학협력단
2696	2019SGDSMSS28 ADC	본 설계에서는 28nm CMOS 공정을 이용하여 Audio-band에서 사용 할 수 있는 Delta-Sigma Modulator를 구현하였다. 제안하는 Audio-band Delta-Sigma Modulator는 높은 해상도 및 소면적으로 구현하기 위해 루프 내에 증폭단을 추가하여 kT/C noise를 줄이는 기법을 적용하였으며, 2차 order의 input feed-forward 구조와 6-bit quantizer을 사용 하였다. 제작된 ADC는 102.2 dB의 dynamic range, 70.6 dB의 SNDR이 측정되었으며 0.021mm2 의 면적을 차지한다	Analog and Digital Mixed Signal	20190115		20191022	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2697	2019SGTSPSS28 AFE	본 설계에서 제안하는 터치스크린 패널 인터페이스의 응용회로 시제품은 0.18um CMOS 공정으로 설계 및 제작 되었다. 본 시제품은 터치스크린 센서 신호를 증폭시켜 주는 Analog Front-End (AFE) 회로와 125kHz, BW, 79dB SNDR 성능을 가지는 Incremental ADC로 구성하였다. AFE는 4개의 입력채널과 open-loop amplifier로 구성되었으며 다채널 환경에 적합한 저면적 구현을 목표로 제작되었다. Incremental ADC는 2차의 feed-forward 구조와 3-bit quantizer를 사용하여 구현하였다. 제안하는 터치 스크린 패널 인터페이스 응용회로는 2Vpp의 크기를 가지는 차동 입력신호를 처리하며 0.084mm2의 면적을 차지한다	Analog and Digital Mixed Signal	20190630		20191022	서강대학교 산학협력단
2698	2019SGSFDSMSS28 ADC	본 설계에서는 28nm CMOS 공정을 이용하여 Sturdy MASH 구조를 이용한 DT Delta-Sigma ADC를 구현하였다. 제안하는 ADC는 2 스테이지로 구성되어 있으며 각각의 스테이지는 2차 루프 필터로 구성되어 있다. 총 4개의 적분기가 사용되었고 각각의 적분기는 Source-follower를 바탕으로 제작하였다. 제작된 ADC는 77 dB의 SNR을 가지며, 0.28mm2의 면적 및 1.0 V 전원 전압에서 36.77 mW의 전력을 소모한다	Analog and Digital Mixed Signal	20190530		20191022	서강대학교 산학협력단
2699	2019SGVAFEGF55 AFE	본 설계에서 제안하는 비디오 신호처리용 Analog Front End (AFE) 시제품은 55nm CMOS 공정으로 설계 및 제작 되었다. 본 시제품은 입력신호를 증폭 및 필터링해주는 equalizer와 12bit의 해상도를 갖는 pipelined ADC로 구성되었다. 제안하는 시제품 회로는 3.3V의 전원에서 동작하고, 0.23mm2의 면적을 차지한다	Analog and Digital Mixed Signal	20190910		20191022	서강대학교 산학협력단
2700	2019SGBGRTS18	본 설계에서는 0.18um CMOS 공정을 이용하여 배터리 시스템에 사용되는 Switched capacitor 밴드갭 기준전압 발생기를 구현하였다. 밴드갭 기준전압 발생기에 존재하는 부정합을 완화시키기	Analog and Digital Mixed Signal	20190322		20191023	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		위해 평균화 기법을 사용하였고, 이는 델타시그마 ADC와 데시메이션 필터에 의해 평균화된다. Discrete-time domain에서 curvature correction을 수행함으로서, 단일 온도 보정에 영향을 받지 않는 curvature correction을 사용하였다. 18 샘플의 칩(TT,FF,SS 6개씩)을 측정한 결과, 상온에서 단일 온도 보정으로 ?40° C ~ 125° C의 온도 범위에서 +0.02%, -0.12%의 3 시그마 부정확도를 가졌고, 평균 온도계수는 4.3ppm/° C 이다. 0.38mm2의 면적을 차지하며, 4.8kHz의 동작속도에서 17㎂의 전류를 소모한다					
2701	2019SGDSMSS 28FDS ADC	본 설계에서는 28nm CMOS 공정을 이용하여 Audio-band에서 사용 할 수 있는 Delta-Sigma Modulator를 구현하였다. 제안하는 Audio-band Delta-Sigma Modulator는 높은 해상도 및 소면적으로 구현하기 위해 루프 내에 증폭단을 추가하여 kT/C noise를 줄이는 기법을 적용하였으며, 2차 order의 input feed-forward 구조와 6-bit quantizer을 사용 하였다. 제작된 ADC는 103.0 dB의 dynamic range, 92.9 dB의 SNDR이 측정되었으며 0.021mm2 의 면적을 차지한다	Analog and Digital Mixed Signal	20190430		20191023	서강대학교 산학협력단
2702	2019SGEMGTS 18 AFE	본 설계에서는 0.18um CMOS 공정을 이용하여 EMG 신호를 측정하기 위한 센서 인터페이스용 analog front-end(AFE)를 구현하였다. 제안하는 AFE는 3-op-amp IA와 LPF를 사용하였으며, 각 입력채널을 4개로 구성하였다. EMG 신호의 특성에 맞게 IA의 신호 이득을 26dB, 32dB, 38dB, 44dB, 46dB, 52dB, 58dB, 64dB으로 선택 가능하며 LPF의 대역폭은 500Hz, 1kHz, 2kHz, 4kHz 으로 선택 가능하도록 제작하였다. Noise를 줄이기 위해 chopper stabilization 기법과 weak inversion biasing을 적용하였다. 제작된 AFE는 1.18mm2의 면적을 차지하며, 0.984mW의 전력을 소모한다	Analog and Digital Mixed Signal	20190910		20191023	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2703	2019SGNCDSM TS18 ADC	본 설계에서는 2차의 loop-filter에 noise-coupling 기법을 사용한 구조 및 4-bit SAR quantizer를 적용한 discrete-time delta-sigma ADC를 구현하였다. SAR의 Top plate에서 생성되는 residue voltage를 이용하여 noise coupling을 구현해 낮은 OSR에서 높은 SQNR을 얻는 구조를 고안했다. 제안하는 ADC는 180nm CMOS 공정으로 제작되었으며, 90.0 dB의 dynamic range, 83.3 dB의 SNDR이 측정되었다. 입력 신호 주파수 대역은 160-kHz이며, 1.8 V 전원 전압에서 2.56 mW의 전력을 소비한다	Analog and Digital Mixed Signal	20190322		20191023	서강대학교 산학협력단
2704	2019SGDSM1T S18 ADC	본 설계에서는 2차의 loop-filter 및 3-bit quantizer를 적용한 discrete-time delta-sigma ADC를 구현하였다. 첫 번째 적분기 출력에 간단한 아날로그 필터를 적용함으로써 기존의 multi-bit 양자화기 사용 시 input-feedforward 구조가 가지는 복잡한 아날로그 가산기 회로를 개선하였으며, 증폭기 입력을 sub-threshold 영역에서 동작시킴으로써 전체적인 노이즈 성능을 개선하였다. 제안하는 ADC는 180nm CMOS 공정으로 제작되었으며, 101.0 dB의 dynamic range, 97.1 dB의 SNDR이 측정되었다. 입력 신호 주파수 대역은 2-kHz이며, 1.8 V 전원 전압에서 63.4 μW의 전력을 소비하여 176.0 dB의 FoM을 갖는다	Analog and Digital Mixed Signal	20190712		20191023	서강대학교 산학협력단
2705	2019SGDSM2T S18 ADC	본 설계에서는 2차의 loop-filter 및 3-bit quantizer를 적용한 discrete-time delta-sigma ADC를 구현하였다. 첫 번째 적분기 출력에 간단한 아날로그 필터를 적용함으로써 기존의 multi-bit 양자화기 사용 시 input-feedforward 구조가 가지는 복잡한 아날로그 가산기 회로를 개선하였으며, 증폭기 입력을 sub-threshold 영역에서 동작시킴으로써 전체적인 노이즈 성능을 개선하였다. 제안하는 ADC는 180nm CMOS 공정으로 제작되었으며, 101.1 dB의 dynamic range, 97.8 dB의 SNDR이 측정되었다. 입력 신호 주파수 대역은	Analog and Digital Mixed Signal	20190825		20191023	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		2-kHz이며, 1.8 V 전원 전압에서 47.8 μW의 전력을 소비하여 177.2 dB의 FoM을 갖는다					
2706	2019UOS_11b_65nm_1.2V_50MSPS_Pipeline_ADC	본 설계에서는 회로 공유기법을 적용한 고속, 고해상도의 Pipelined ADC를 제안한다. 기존의 Sample and Hold Amplifier(SHA)와 Multiplying Digital to Analog Converter(MDAC)을 합병하여 함께 동작하도록 구현함으로써 전력소모를 줄였고, 제한된 선형성을 개선할 수 있는 구조로 설계 하였다. 두 번째 세 번째 단의 MDAC은 연산증폭기를 공유하여 같이 사용함으로써 소모되는 전류를 비롯하여 면적 감소를 이루어냈다. 또한 이 동작을 위해 Flash Analog to Digital Converter(FADC)의 동작 속도를 2배 증가시켰고, 이에 따라 추가적인 면적을 줄일 수 있게 설계하였다. 본 설계는 이러한 기법을 적용하여 65nm 4Metal CMOS 공정을 통해 구현되었다. 전체 면적은 0.83mm X 0.91mm2 이다.	Analog and Digital Mixed Signal	20190916		20191105	서울시립대학교 산학협력단
2707	2019UOS_11b_65nm_1.2V_100MSPS_Pipeline_ADC	본 설계에서는 기존의 Self-Biased Ring Amplifier(RAMP)보다 settling time을 향상시킨 RAMP를 사용한 고속, 고해상도의 11 비트의 Pipeline ADC를 제안한다. 기존의 Multiplying Digital to Analog Converter (MDAC)에서 면적과 소모 전력을 줄이기 위해 Operational Amplifier(Opamp) 대신 RAMP를 사용하여 면적 및 소모 전력감소를 이루어냈으며, RC Highpass Filter에서 발생된 신호를 사용하여 RAMP의 Dead-Zone 제어를 통해 settling time을 향상시켰다. Sample and Hold Amplifier(SHA)는 높은 선형성을 위해 High-Speed Opamp를 사용하였으며, Flash ADC(FADC)는 100MHz 샘플링 주파수에서 동작하도록 설계하였다. 본 설계는 이러한 기법을 적용하여 65nm 4Metal CMOS 공정을 통해 설계되었으며, 소모전류는 15.5mA, 전체 면적은 2.4 X 0.8 mm2이다.	Analog and Digital Mixed Signal	20190916		20191105	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2708	2019UOS_018um_1.5V_500uW_4th-SDM	본 설계에서는 오디오 신호처리에 사용되는 고해상도 4차 시그마-델타 모듈레이터를 제안한다. 4차 CRFB 구조를 통해 오디오 대역에서의 양자화 잡음을 감소시켜 고해상도를 실현하였고, 두 번째 단으로의 입력 신호 경로를 추가하여 Capacitor size를 감소시킴으로써 전체 칩 면적을 줄이고 저전력으로 동작하도록 구현하였다. 제안된 모듈레이터는 0.18-um CMOS 공정으로 설계되었으며, 전원 전압은 1.5V, 샘플링 주파수는 2.4MHz, 대역폭은 20-20kHz이다. Peak SNR 및 SNDR은 각각 88.1dB, 85.7dB이며, Dynamic Range는 92.8dB이다. 모듈레이터의 소모 전력은 488uW, 코어 면적은 0.270mm2이다.	Analog and Digital Mixed Signal	20190531		20191105	서울시립대학교 산학협력단
2709	2019UOS_16b_013um_1.2V_240SPS_2nd_ISDM	본 설계에서는 16b 2차 시그마-델타 고해상도 아날로그-디지털 변환기를 제안한다. 적분기, 비교기, 2차 디지털 필터로 구성되어 있으며, clock control 회로와 1/f-noise 감소를 위한 chopping 회로 또한 구현되었다. Bias current와 OSR을 제어 할 수 있도록 하여, 동작 속도를 설정할 수 있으며 원하는 신호대잡음비(Signal-to-Noise Ratio)를 얻을 수 있도록 설계하였다. 제안한 Analog-to-Digital 변환기는 16-bit의 해상도를 가지고 있다. 샘플링 주파수가 240Hz이고 OSR이 512일 때 91.77dB의 SNR을 얻을 수 있으며, 이 때의 소모 전력은 118uA이다. ADC는 0.13um CMOS 공정으로 설계되었으며, 전체 면적은 1330 X 570um2이다.	Analog and Digital Mixed Signal	20190930		20191105	서울시립대학교 산학협력단
2710	2019UOS_013um_3.3V_DC-DC_BUCKBOOST	본 설계에서는 전류 모드, CCM 동작의 DC-DC Buck-Boost converter를 제안한다. SuperCapacitor 충전 시 Cell Voltage Mismatch를 줄이기 위한 Cell-Balancing 기능을 포함하고 있다. VBAL 신호를 통해 Balancing mode의 ON/OFF 가 가능하다. 제안한 DC-DC Buck-Boost converter 는 3.3V 의 전원전압을 통해 rfb1, rfb2 의 값을	Analog and Digital Mixed Signal	20190930		20191105	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		조정하여 원하는 출력전압을 선택할 수 있다. 샘플링 주파수는 1 MHz 이고, 출력전류는 0.5A 이다. DC-DC Buck-Boost converter는 0.13um CMOS 공정으로 설계되었으며, 전체 면적은 5000 X 5000um2이다.					
2711	범용적 환경 측정을 위한 IoT 및 통신보드 배치설계	범용적 활용을 하기 위해 라즈베리파이보드 3 및 ZeroW에 결합하여 사용할 수 있도록 제작된 배치설계임. 공장형 과제에 맞추어 공장내부의 무선통신문제를 해결하기 위하여 WFAN기술인 Smart Utility Network 칩인 AXM100D 칩을 탑재하여 설계하였으며, IoT부분에서 사용할 수 있는 센서들을 활용할 수 있도록 설계함. 탑재센서로는 온도, 습도, 공기질, 적외선, 압력센서가 적용되어 있으며 외부와의 통신을 AXM100D 칩을 이용할 수 있도록 배치하였으며, USB 디버깅 포트와 USB 전원공급 포트를 사용할 수 있도록 설계됨.	Others	20190930		20191128	한국전자 통신연구 원

28. '20년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2712	2020DG4b150f ps003 AC2	본 설계에서는 Always-on computer vision을 설계하기 위해 전력소비가 심한 software process를 analog domain 상에서 low-power로 수행 가능 하도록 functional image sensor를 design 하였다. Face-detection을 수행하기 위해서 convolutional neural network(CNN) 구조를 이용하였는데, convolution 처리에 해당하는 filter를 analog circuit으로 design 하기 위해 switched-capacitor integrator 구조를 이용하여 다양한 weight 구현이 가능하다. 제작된 칩은 1-poly 4-metal CMOS 110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.	Analog and Digital Mixed Signal	20200115		20200406	동국대학교 산학협력단
2713	2020DG8b111f ps001 AC3	본 설계에서는 기존의 Software에서 처리되는 차선인식 과정 중 일부를 Hardware 상의 analog circuit에서 구현함으로써 저전력 Lane detection 이 가능한 CMOS image sensor (CIS)를 design 하였다. Software에서의 Mask 과정을 아날로그 회로에서 Capacitor와 OTA (Operational Transconductance Amplifier)를 이용하여 구현함으로써 한 개의 pixel값을 여러 번 사용할 수 있게 되었다. 이를 통해 3X3 크기의 Mask구현이 가능해졌고, Stride1의 구현이 가능해져 데이터의 손실이 감소했다. 또한 CDS 과정을 이용하여 Mask weight를 구현하였으며, 이를 통해 차선인식 뿐만 아니라 기존의 CIS로도 동작할 수 있다. 제안하는 CIS는 1-poly 4-metal 110nm image sensor 공정으로 제작되었으며 5.9mm X 5.24mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20200115		20200406	동국대학교 산학협력단
2714	2020DG4b150f ps004 CIS	본 설계에서는 Single Slope ADC와 Log-exponential Complex Counter(LCC)를 이용하여 이미지의 보정이 가능한 CMOS image sensor를 design	Analog and Digital Mixed Signal	20200115		20200406	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		하였다. 본 image sensor에서는 모든 영역에서 같은 주파수를 가지는 normal counter 와 달리 시간영역에서 각각 다른 주파수를 가지는 LCC를 이용하였다. Image sensor는 normal counter, logarithmic counter, 1/4point LCC, 1/2point LCC, 3/4 point LCC로 총 5가지 보정을 시행할 수 있으며 even, odd column을 다른 기울기로 보정할 수 있다. 이는 3bit의 control signal을 통해 자유롭게 선택할 수 있다. 제작된 칩은 1-poly 4-metal CMOS110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.					
2715	2020DG8b25K Sps002 LP3	본 설계에서는 Always on 동작을 위해 column analog-to-digital converter (ADC)의 전력 소모를 줄인 CMOS image sensor (CIS)를 제안한다. CIS 에서 일반적으로 사용되는 Slope 기반 ADC에서 많은 전력 소모가 발생하는 correlated double sampling (CDS) counter 의 문제를 해결하고자 새로운 CDS 알고리즘 및 two step counter 구조를 적용 하였다. Counter 전력 소모의 가장 큰 원인인 하위 비트 토글링 횟수를 줄이기 위해 비교기 출력의 천이 시점과 상위 비트 counter의 기준 시점까지의 잔여 시간을 데이터로 변환하는 two step counter 구조를 사용 했으며 이로 인해 counter의 토글링 횟수를 약 1/8로 줄일 수 있었다. 제안하는 CIS는 1-poly 4-metal 110nm image sensor 공정으로 제작되었으며 5.9mm X 5.24mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20200115		20200406	동국대학교 산학협력단
2716	Straffe	전력전자에 적용되는 SoC 칩으로 Analog and Digital Mixed Design이며, 전력을 측정하고 결과를 Display 한다. 또한 보안에 관련한 IP들을 포함하고 있다. Analog and Digital Mixed Design으로 배치 시 각 Domain 간의 간섭을 줄이기 위한 Power 분리가 되어 있으며, 비활성 메모리와 LCD구동을 위한 IP와 IO 의 배치를 고려한 Design 입니다.	Others	20200114		20200610	한국전력공사 주식회사 아르고

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2717	2020SG12b200MSps28n Non-Binary 2b per cycle SAR ADC with Offset-Cancellation Technique	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC 기반의 12비트 200MS/s 2b/cycle SAR ADC를 제안한다. 제안하는 2b/cycle SAR ADC에 사용되는 3개의 비교기는 복잡한 보정 기법 없이, 스위치와 커패시터로 구성된 간단한 오프셋 소거 기법을 적용하여 비교기 간의 오프셋을 최소화하였다. 제안하는 ADC는 샘플링 부정합을 방지하기 위해 입력 신호를 샘플링, 홀딩하여 잔류 전압을 생성하는 SIG DAC와 2b/cycle 동작을 위한 기준전압을 생성하는 REF DAC를 분리하는 구조를 적용하였다. 본 ADC에서 제안하는 C-R 하이브리드 DAC는 8비트 커패시터 열에 비 이진 가중치 구조를 적용하여 잔류 전압 정착 오류를 완화할 수 있으며, 하위 4비트를 간단한 저항 열에서 분배되는 기준전압을 통해 결정함으로써 사용되는 단위 커패시터 수를 획기적으로 줄여 DAC 면적을 크게 감소시켰다. 이와 더불어, DAC의 단위 커패시터에 커패시터 하판이 전체 커패시터를 감싸는 구조를 적용하여 인접 커패시터 간 기생 커패시턴스에 의한 선형성 저하를 최소화하였다. 제안하는 시제품 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 1.0V 전원전압 및 200MS/s 동작속도에서 7.8mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20200331		20200612	서강대학교산학협력단
2718	2020SG12b200MSps28n Offset-Calibration Free 2b per cycle SAR ADC based on Non-Binary DAC	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC 기반의 12비트 200MS/s 2b/cycle SAR ADC를 제안한다. 제안하는 2b/cycle SAR ADC에 사용되는 3개의 비교기는 별도의 보정기법 없이, 정교하고 대칭적인 비교기 레이아웃을 통해 비교기 오프셋 부정합을 최소화하였다. 또한 고속 동작을 위해 비동기 방식의 SAR 알고리즘을 사용하였으며, 간단한 구조의 비교기 준안정상태 보정회로만으로 비교기 준안정상태 문제를 해결하였다. 제안하는 ADC는 샘플링 부정합을 방지하기 위해 입력 신호를 샘플링, 홀딩하여 잔류 전압을 생성하는 SIG DAC와 2b/cycle 동작을 위한 기준전압을	Analog and Digital Mixed Signal	20200331		20200612	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		생성하는 REF DAC를 분리하는 구조를 적용하였다. 본 ADC에서 제안하는 C-R 하이브리드 DAC는 8비트 커패시터 열에 비 이진 가중치 구조를 적용하여 잔류 전압 정착 오류를 완화할 수 있으며, 하위 4비트를 간단한 저항 열에서 분배되는 기준전압을 통해 결정함으로써 사용되는 단위 커패시터 수를 줄여 DAC 면적을 크게 감소시켰다. 이와 더불어, DAC의 단위 커패시터에 커패시터 하판이 전체 커패시터를 감싸는 구조를 적용하여 인접 커패시터 간 기생 커패시턴스에 의한 선형성 저하를 최소화하였다. 제안하는 시제품 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 1.0V 전원전압 및 200MS/s 동작속도에서 1.8mW의 전력을 소모한다.					
2719	2020SG12b100MSps18 SAR ADC based on Non-Binary DAC	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC를 기반으로 고속 잔류 전압 정착 성능을 갖는 12비트 100MS/s SAR ADC를 제안한다. 제안하는 C-R 하이브리드 DAC는 상위 7비트 커패시터 열에 비 이진 가중치 구조를 적용하여 요구되는 잔류 전압 정착 사양을 완화함으로써 고속 동작을 용이하게 하는 반면, 하위 5비트는 간단한 저항 열에서 분배되는 기준전압을 통해 결정함으로써 요구되는 단위 커패시터 수와 DAC 면적을 획기적으로 감소시켰다. 또한, C-R 하이브리드 DAC 구조에서 추가적인 커패시터 및 기준전압 없이 입력신호와 기준전압의 범위를 일치시키는 입력신호 레인지 스케일링 기법을 적용하는 동시에, monotonic 스위칭 기법과 VCM 기반의 스위칭 기법을 접목한 복합 스위칭 기법을 사용하여 스위칭 전력 소모 및 DAC 출력의 최대 VCM 변화를 크게 감소시켰다. 이와 더불어, DAC의 단위 커패시터의 레이아웃 구현 시 인접신호에 덜 민감한 3차원 대칭 구조의 레이아웃 기법으로 소자 부정합에 의한 영향을 최소화하였다. 한편, 제안하는 ADC는 고속 동작을 위해 비동기 방식의 SAR 알고리즘을	Analog and Digital Mixed Signal	20191125		20200612	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		사용하였으며, 간단한 구조의 비교기 준안정상태 보정회로를 적용하여 비교기 준안정상태 문제를 해결하였다. 제안하는 시제품 SAR ADC는 0.18um CMOS 공정으로 제작되었으며, 1.8V 전원전압에서 및 100MS/s 동작속도에서 11.3mW의 전력을 소모한다.					
2720	2020DG8b12K Sps	본 설계에서는 기존의 Software에서 처리되는 차선인식 과정 중 일부를 Hardware 상의 analog circuit에서 구현함으로써 저전력 Lane detection 이 가능한 CMOS image sensor (CIS)를 design 하였다. 기존 Software에서의 Mask 과정을 아날로그 회로에서 Capacitor와 OTA (Operational Transconductance Amplifier)를 이용하여 3*3 mask를 구현함으로써 한 개의 pixel값을 여러 번 사용할 수 있게 되었고, 이를 통해 Stride1 구현이 가능해져 데이터의 손실이 감소해 실제 차선 인식에 대한 데이터를 전달했을 때 높은 정확도를 갖는다. 또한 CDS(Correlated double sampling) 과정을 이용하여 Mask weight를 구현하였으며, 이를 통해 차선인식 뿐만 아니라 기존의 CIS로도 동작할 수 있다. 제안하는 CIS는 1-poly 4-metal 110nm image sensor 공정으로 제작되었으며 5.9mm X 5.24mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20200626		20200708	동국대학교 산학협력단
2721	2020DG10b30 KSps	본 설계에서는 저 전력 CMOS Image Sensor (CIS)를 설계하기 위해 Zero-crossing detection 기능을 포함하는 Comparator 구조를 설계하였다. CIS의 Column ADC는 Comparator 출력값의 반전 시점 정보를 이용하여 A/D 변환을 수행한다. 기존의 Comparator의 전력낭비 문제를 해결하여 저전력 동작을 하고자 Zero-crossing 영역을 탐지하는 알고리즘을 Comparator 내부에 추가하여 영역 밖에서는 저전력 Dynamic bias amp 모드로, 영역 안에서는 High gain amp 모드로 동작하는 Zero-crossing detection	Analog and Digital Mixed Signal	20200625		20200708	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		comparator를 설계했다. 제작된 칩은 1-poly 4-metal 110nm image sensor 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.					
2722	2020DG10b10 KSps	본 설계에서는 Hold and Go 구조의 DCDS와 Single Slope ADC와 Log-exponential Complex Counter(LCC)를 이용하여 이미지의 보정이 가능한 CMOS image sensor를 design 하였다. 본 image sensor의 LCC는 총 5가지 모드가 있다. LCC의 모드에 따라 이미지는 저조도 고조도 영역에서 다른 코드 수를 부여받고 더 밝게 혹은 더 어둡게 보정된다. Image sensor는 normal counter, logarithmic counter, 1/4point LCC, 1/2point LCC, 3/4 point LCC로 총 5가지 보정을 시행할 수 있고 이는 3bit의 control signal을 통해 자유롭게 선택할 수 있다. 제작된 칩은 1-poly 4-metal CMOS110nm 공정으로 제작되었고, 5.9mm x 5.24mm의 면적을 가진다.	Analog and Digital Mixed Signal	20200625		20200708	동국대학교 산학협력단
2723	2020DG14T10 0MHz003 ROSC	본 설계는 DCSFF (Dual-change-sensing flip flop) 이라는 Flip flop의 성능을 검증하기 위해 설계되었다. Data 신호를 감지하는 dual node를 이용하여 내부 node의 transition을 최소화하는 low power flip-flop 의 구현을 목적으로 설계되었다. DCSFF의 Timing parameter와 Power consumption을 측정하기 위해 Setup and Hold time measurement block, C-Q delay measurement block, Power consumption measurement block 세 가지의 회로가 설계되었다. DCSFF은 TGFF, SSCFF, CSFF 이렇게 세 가지의 다른 Flip flop과 비교 되며 그 동작의 차이로 인해 전력 소모를 크게 감소시킨다. 제안하는 Flip flop과 성능을 검사하기 위한 세 가지의 회로는 1-poly 4-metal 65nm CMOS 공정으로 제작되었으며 4mm X 4mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20200625		20200708	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2724	차동입력 수신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20200820		20200820	(주) 텔트론
2725	단일 입력 수신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20200820		20200820	(주) 텔트론
2726	소오스 공통 송신단의 펄스 도플러 레이다 CMOS 칩	24GHz 신호를 펄스 형태로 송신하고 목표물에 반사된 신호를 수신한 후 송수신 신호 사이의 도플러 주파수 편이를 검출하여 목표물의 움직임 여부를 판별하는 기능을 가지는 펄스 도플러 레이다 칩	Analog and Digital Mixed Signal	20200820		20200820	(주) 텔트론
2727	GaN HEMT Structure with source finger line adding	GaN HEMT 소자는 통상적으로 단일 셀(Unit-cell, 100)를 확정한 후, 이를 배열하여 출력이 높은 다중 셀(Multi cell, 110, 120, 130, 140)소자를 설계한다. 다중 셀 소자는, 동작 시 단일 셀 간의 열적 간섭으로 인하여 성능이 저하되는 문제가 발생한다. 따라서 단일 셀간 열적 간섭을 최소화하기 위하여, 다중 셀 소자간의 활성 영역(active area)내에 소스 핑거 라인(source finger line, 121, 131, 132, 141, 142, 143)을 추가적으로 삽입 및 배치하고 소자가 대칭 형태가 되도록 배치하는 구조이다. 본 배치설계의 경우, 4 셀 소자의 경우 1개의 소스 핑거 라인(121)을, 6 셀 소자의 경우 2개의 소스 핑거 라인(131, 132)을, 8 셀 소자의 경우 3개의 소스 핑거 라인(141, 142, 143)을 추가적으로 삽입 배치함으로써 단일 셀이 증가함에 따른 열적간섭을 최소화 하는 구조이다.	Analog and Digital Mixed Signal	20180326		20200831	알에프에이치아이씨 주식회사
2728	GaN HEMT Structure with via hole in input and	본 GaN HEMT 구조는 Top면 배치(100)와 Bottom면 배치(200), Top면 Wire bonding 단자(130)와 Bottom면 단자(230)를 이어주는 적어도 하나의 신호용 Via hole(231), Wire	Analog and Digital Mixed Signal	20191115		20200831	알에프에이치아이씨 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	output pad	bonding 대신 직접적으로 입출력 단자를 bonding 하기 위한 Bottom면 단자(232)와 Ground부를 분리시켜주는 Bottom면 에칭부(251) 및 분리된 Bottom면 Ground부(250)로 구성되어있다. 도 2와 같이, GaN HEMT 소자의 단일 셀은 (출력)에 따라 2-Finger (150) 내지 10-Finger (350)를 갖는 단일 셀로 구성할 수 있다. Via hole(231)은 2n-Finger(n은 자연수)의 수량이 증가함에 따라 이와 대응하여 증가할 수 있으며, 입출력 전력의 크기에 따라서 Via hole 지름과 외경사이즈 확대 내지 축소될 수 있다. 또한 도 3과 같이, GaN HEMT 소자는 단일 셀을 배열한 다중 셀(500)소자로 구성될 수 있다.					
2729	2020UOS_018um_1.8V_2.4SPS_Tempsen	본 설계에서는 Incremental 시그마-델타 ADC를 이용한 온도센서를 제안한다. 1차 Incremental 시그마-델타 ADC와 높은 Oversampling ratio를 이용하여 약 13bit의 해상도를 갖게 설계하였으며 Capacitor layout을 ADC layout 위에 위치시킴으로써 칩의 면적을 최소화하였다. 제안된 모듈레이터는 0.18um CMOS공정으로 설계되었으며 전원전압은 1.8V, 최대 대역폭은 40kHz, OSR은 8190, 소모 전력은 209uA, 오차는 ±5℃이다.	Analog and Digital Mixed Signal	20200423		20201104	서울시립대학교 산학협력단
2730	2020UOS_018um_1.8V_7nV_LNA	본 설계에서는 초음파 신호처리에 사용되는 Low noise Programmable gain Amplifier를 제안한다. 1번째 Amp에서 Now noise amp를 통해 신호를 증폭시키고, 2번째와 3번째 Amp에서 gain을 조정하여 신호를 증폭시킨다. 32~89dB의 gain 선택이 가능하다. 신호를 크게 증폭시키는 Amplifier로서 작은 offset에도 취약하므로, offset을 제거하는 기법을 사용하였다. Capacitor sharing 기법을 통하여 작은 면적으로 offset cancel을 구현하였다. 제안된 Amplifier는 0.18-um CMOS 공정으로 설계되었으며, 전원 전압은 1.8V, input	Analog and Digital Mixed Signal	20200423		20201104	서울시립대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		referred noise는 5.5nV/Hz0.5, Gain은 32~89dB, input frequency는 30k~80kHz이다.					
2731	2020UOS_013um_5V_Linear_Regulator	본설계에서는외부Capacitor구조의LiearRegulator를제안한다.high-current구동동작에서transientresponse의안정성향상을위해loadcurrent에비례하는compensation구조를추가한방식이다.200mA전류를구동할수있으며,전체구동범위에대해phasemargin이일정하도록설계하여안정도를확보하였다.내부의ACcompensation을포함하는회로이기때문에,외부Capacitor의ESR에안정도를의존하지않는다.제안하는linearregulator는1.8~4.6V출력동작이가능하며,최대구동전류에서99.3%의전류효율을얻을수있다.0.13umCMOS공정으로설계하였으며,전체면적은1000X1000㎛2이다.	Analog and Digital Mixed Signal	20201020		20201104	서울시립대학교 산학협력단
2732	2020UOS_013um_3.3V_DC-DC_BUCKBOOST	본설계에서는전류모드,CCM동작,PWM제어기반의DC-DCBuck-Boostconverter를제안한다.초기동작시,인덕터에흐르는돌입전류와출력전압의오버슛을방지하기위한SoftStart-up회로를가진다.SoftStart-up회로는추가적인pinout과외부커패시터를필요로하지않으며오직내부회로를통해서SoftStart-up동작을구현한다.Fast-Transient회로를통해StepLoadTransient상황에서Settling-time을줄일수있도록하였다.SuperCapacitor충전시CellVoltageMismatch를줄이기위한Cell-Balancing기능을포함하고있다.Fast-Transient회로및Cell-Balancing회로는외부port를통해ON/OFF가가능하다.제안한DC-DCBuck-Boostconverter의입력전압및출력전압범위는2.8~5.0V이며,rfb1,rfb2의값을조정하여출력전압을제어할수있다.샘플링주파수는1MHz이고,출력전류는200mA~1.0A이다.DC-DCBuck-Boostconverter는0.13umBCDMOS공정으로설계되었으며,전체면적은5000X5000um2이다.	Analog and Digital Mixed Signal	20201020		20201104	서울시립대학교 산학협력단
2733	2020UOS_17b_013um_1.2V_120SPS_2nd_ISD	본 설계에서는 17b 2차 시그마-델타 고해상도 아날로그-디지털 변환기를 제안한다. 버퍼를 포함한 적분기, 비교기, 디지털 필터로 구성되어	Analog and Digital Mixed Signal	20201020		20201104	서울시립대학교 산학협력

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
	M	있으며, settling time향상을 위한 high pass filter current source와, 1/f-noise 감소를 위한 chopping 회로 또한 구현되었다. 적분기와 버퍼의 전류와 OSR, clock을 제어 할 수 있으므로 소모 전류와 동작 속도를 설정할 수 있다. 제안한 Analog-to-Digital 변환기는 17-bit의 해상도를 가지고 있다. 샘플링 주파수는 120Hz이고 OSR이 1024일 때 105.20dB의 SNDR을 얻을 수 있으며, 이때의 소모 전류는 112.5uA이다. ADC는 0.13um CMOS 공정으로 설계되었으며, 전체 면적은 1478 X 627um2이다.					단
2734	2020UOS_17b_013um_1.2V_120SPS_3-level_2nd_ISDM	본 설계에서는 계측 응용을 위한 Incremental Sigma Delta ADC에서 3 level quantizer와 3level DAC를 적용시킨 회로를 제안한다. 기존 Incremental Sigma Delta ADC에서 low gain amp를 사용하며 error를 보상하기 위하여 buffer가 사용된다. buffer의 switching 동작에서 빠른 settling을 위하여 HPF biasing 방식이 적용되었으며 3level logic을 위한 comparator, filter 등을 구현하였다. 제안된 ADC는 0.13-um BCDMOS 공정으로 설계되었으며, 전원 전압은 1.2V, clock frequency는 124.8kHz, maximum input frequency는 60Hz, SNR 90dB이다.	Analog and Digital Mixed Signal	20201020		20201104	서울시립대학교 산학협력단
2735	2020SGPSAR2SS28 ADC	본 설계에서는 28nm CMOS 공정을 이용하여 소전력과 소면적의 Pipelined-SAR Analog to Digital Converter(ADC)를 구현하였다. 제안하는 Pipelined-SAR ADC는 Dual-Residue 기법을 사용하여 증폭기 전력 및 면적을 줄였으며, Input-range scaling 기법을 사용한 C-R hybrid DAC 기법을 적용하여 면적을 줄였다. Post layout simulation에 따르면 67.6 dB의 SNDR을 갖고 0.031mm2 의 면적을 차지한다.	Analog and Digital Mixed Signal	20200325		20201113	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2736	2020SGDSMSS 28FDS ADC	본 설계에서는 28nm FDSOI CMOS 공정을 이용하여 source follower 기반의 open-loop 적분기와 5-bit 양자화기로 3차 Delta-Sigma ADC를 구현하였다. 제안하는 Delta-Sigma ADC는 high-speed로 구현하기 위해 2개의 capacitor DAC을 사용하여 Double-Sampled 기법을 적용하였다. Post layout simulation에 따르면 74.8 dB의 dynamic range, 69.8dB peak SNDR을 갖고 80 MHz의 bandwidth를 갖으며 12의 OSR을 사용하였다. 소모 전력은 1.0V 공급 전원에 27.39mW이다.	Analog and Digital Mixed Signal	20200215		20201113	서강대학 교산학협 력단
2737	2020SGDWAFE LF6SAFE	본 설계에서는 65nm CMOS 공정을 이용하여 광학식 손떨림 보정 시스템 응용을 위하여 instrumentaion amplifier (IA), discrete-time incremental ADC (IADC) 및 ADC의 기준 전압을 생성하기 위한 reference buffer를 포함한 AFE를 구현하였다. 제안하는 AFE는 3-opamp 구조의 IA를 사용하여 2배~100배의 가변 전압 이득을 가지며, flicker noise를 개선하기 위해 chopper stabilization 기법 및 증폭기의 슬루율 및 전력 효율을 높이기 위해 class-AB 증폭기를 사용하였다. 제작된 AFE는 50배의 전압 이득 조건에서 78.9 dB의 SNDR 및 91.0 dB의 SFDR을 가지며, 2.8 V 전원 전압에서 16.8 mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20200723		20201113	서강대학 교산학협 력단
2738	2019SGPSARS S28FDS ADC	본 설계에서는 28nm FDSOI 공정을 이용하여 10-비트 900 MS/s 단일 채널 파이프라인-SAR ADC를 구현하였다. 제안하는 ADC는 기존 파이프라인 ADC 구조에서 잔류 전압 증폭기의 전압 이득 조건을 완화하기 위하여 전류 방식의 기준 전압 조절 기법을 적용하였다. 동작 속도의 개선을 위하여 forward-body bias 기법을 사용하였다. 제작된 ADC는 440-MHz의 입력 주파수에 대하여 48.9 dB의 SNDR을 가지며, 0.014mm2의 면적 및 1.0V / 1.2V 전원 전압에서 9.56mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20191119		20201113	서강대학 교산학협 력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
2739	2020SGU_SS0.13um_Piezoelectric energy harvesting management circuit with SSHI and charge pump	본 IP는 에너지 수확소자 관리 회로의 관한 것이다. AC-DC 정류기는 4개의 active diode를 브릿지 형태로 연결한 것이며, active diode는 비교기와 MOSFET switch로 구성되어 있다. 비교기는 2가지의 공통-게이트 증폭기 구조로 되어 있으며, 각각 기준 전압이 최대 전압과 접지 전압을 사용하기 위해 설계되었다. SSHI 회로는 압전 에너지 수확소자의 전력을 증가시키기 위해 사용한 것이며, active diode 2개와 MOSFET switch 2개로 구성되어 있다. SSHI를 동작시키기 위한 pulse 보조 회로는 NOR gate, AND gate, XOR gate, positive edge trigger generator로 구성되어 있다. 전압 비교는 active diode를 이용한 peak detector로 구성하였으며, charge pump의 pulse 전압은 비교기와 non-overlapping clock generator로 구성되어 있다.	Others	20200828		20201112	김기홍
2740	2020SGPSARMH13 ADC	본 설계에서는 130nm CMOS 공정을 이용하여 reference buffer를 포함한 12-bit 10-MSps의 Pipelined-SAR Analog?to -Digital Converter(ADC)를 구현하였다. 제안하는 ADC는 two-step 구조로 캐패시터 스위칭 전력과 동작 속도 향상을 위해 첫 번째 단의 DAC을 Sig DAC 과 Ref DAC 으로 분리하였다. 또한 첫 번째 단과 두 번째 단의 sub-ADC를 공유하는 기법을 적용하여 전력과 면적을 줄였으며, Input range scaling을 적용한 C-R hybrid DAC을 사용하여 면적을 줄였다. 제작된 ADC는 0.18mm2의 면적을 차지하며, Post layout simulation에 따르면 70dB 수준의 SNDR을 갖는다.	Analog and Digital Mixed Signal	20200809		20201113	서강대학교산학협력단
2741	2020SGDFFDSMHY11 ADC	본설계에서제안하는저전력고해상도delta-sigma ADC시제품은0.11μmCMOS공정으로설계및제작되었다.본ADC는2차delayedfeed-forward구조와4-bitSARtypequantizer로구현하였다.제안된delayedfeed-forward구조는피드백루프에하나의샘플지연을구현하여양자화기와피드백동작의시간	Analog and Digital Mixed Signal	20200318		20201113	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		요구조건을완화하며첫번째integrator출력에서quantizer입력으로연결되는내부경로를제거하여저전력저면적구현을목표로제작되었다.Bandwidth2kHz,clockfrequency512kHz로동작하며DR96.3dB,SNR94dB,SNDR93.9dB의성능을나타낸다.					
2742	2020SGSARHY11ADC	본 설계에서는 110nm CMOS 공정을 사용하여 10-bit resolution의 SAR ADC를 구현하였다. 제안하는 SAR ADC는 capacitor의 개수와 chip size를 줄이기 위해서 R-C DAC을 사용하였다. 제작된 ADC는 1MHz의 sampling rate을 가지고 0.15mm2의 면적을 차지하고, post layout simulation에 따르면 60dB 수준의 SNDR을 갖는다.	Analog and Digital Mixed Signal	20200723		20201113	서강대학교산학협력단
2743	2020HY2PHASEBUCKMX018 DUAL-PHASE BUCK	본 설계에서는 JEDEC표준 DDR5 DIMM PMIC specification을 만족하는 전류제어 벅 컨버터를 제안한다. 제안된 회로는 4-채널로 구성된 출력단을 가지고 있으며 최대 10A 전류를 출력을 공급가능하며 2.5A 부하 전류 기준 최고 효율 92%을 만족한다. 높은 효율을 달성하기 위한 pulse 방식의 level shifter와 dead time 제어를 통한 효율 최적화에 맞추어졌다. Dual phase 기능을 활용하여 우수한 transient 특성과 낮은 ripple에도 최적화된 결과를 얻을 수 있었다. JEDEC에서 제안한 성능 지표를 모두 만족함과 동시에 AOT 방식을 통한 스위칭 주파수 컨트롤 방식으로 외부에서 인가되는 신호로부터 스위칭 주파수를 조정 가능하며 trimming 저항을 적용하여 발생할 수 있는 PVT variation에서도 일정한 스위칭 주파수를 유지할 수 있게 설계되었다. 설계된 IP는 BCD 0.18um 공정으로 레이아웃 되었고, PMIC 내부에 포함된 벅 컨버터 외 다른 기능을 포함한 4-채널 블록을 갖는다.	Analog and Digital Mixed Signal	20201104		20201120	한양대학교 에리카산학협력단
2744	2020SGDSM2SS28 ADC	본 설계에서는 28nm CMOS 공정을 이용하여 Audio-band에서 사용 할 수 있는 Delta-Sigma Modulator를 구현하였다.	Analog and Digital Mixed Signal	20200930		20200930	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		제안하는 Audio-band Delta-Sigma Modulator는 높은 해상도 및 낮은 전력소모를 구현하기 위해 source-follower amp를 이용한 Integrator를 사용하였고 3차 order의 noise-coupling을 응용한 구조와 5bit SAR quantizer를 사용하였다. Post layout simulation에 따르면 100dB의 dynamic range, 98dB SNDR이 측정되었으며 0.3mm2의 면적을 차지한다.					
2745	2020SGNCDSMSS28FDS ADC	본 설계에서는 28nm FDSOI CMOS 공정을 이용하여 Audio-band에서 사용 할 수 있는 Delta-Sigma Modulator를 구현하였다. 제안하는 Audio-band Delta-Sigma Modulator는 높은 해상도 및 소면적으로 구현하기 위해 루프 내에 증폭단을 추가하여 kT/C noise를 줄이는 기법을 적용하였으며, 2차 order의 input feed-forward 구조와 6-bit quantizer을 사용하였다. Feedback DAC의 linearity를 보완하기 위하여 dummy resistor DAC과 ISI error를 줄이기 위해 digital logic을 개선하였다. Post layout simulation에 따르면 104.4 dB의 dynamic range, 101.2 dB의 SNDR을 갖고 0.032mm2의 면적을 차지한다.	Analog and Digital Mixed Signal	20200923		20201113	서강대학교산학협력단
2746	2020SG_Referenceless_CDR	XBBPD를이용한Reference-lessClockandDataRecovery회로이다.XBBPD를이용하여단일PFD만을이용해주파수추적이가능하며,기존의dual-loop를이용한방식에비해속도와전력소모측면에서용이하다.XBBPD의조절범위바깥의주파수대역은votingcircuit의logic을이용하여한방향탐색기능을추가하여더넓은범위의주파수대역을검색가능하다.	Analog and Digital Mixed Signal	20200330		20201125	서강대학교산학협력단
2747	2020SG_8-channel 12-b SAR ADC	다채널 ADC에서 ADC 간의 공유가 가능한 Resistor DAC과 Settling Time을 제어할 수 있는 Digital Logic을 이용한 SAR ADC를 발명함으로써 기존 각 ADC의 개별적 DAC 사용 구조보다 면적과 전력 소모를 줄일 수 있으며 Resistor를 사용함으로써 발생하는 속도 문제를	Analog and Digital Mixed Signal	20200331		20201125	서강대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계 권자
		Digital Logic을 이용하여 각 Bit 자리 마다 다른 Conversion 시간을 적용해 동작 속도를 높인 구조의 SAR ADC이다. ADC 채널 수가 많아질수록 면적과 전력 소모 부분에서의 효율이 더 커지게 되어 각종 센서와 같은 대용량 정보처리 데이터 변환기에 응용할 수 있다.					
2748	2020SG_16b_SAR_ADC	본 설계 회로는 low noise comparator를 이용한 16bit SAR ADC 회로이다. Capacitor calibration을 통해 capacitor mismatch를 줄일 수 있다.	Analog and Digital Mixed Signal	20200327		20201125	서강대학교산학협력단
2749	2020SG_CIS	본 설계 회로는 high frame rate용 CIS(RAMP, Column) 회로이다. RDAC, IDAC 등의 reference 전압 출력용 RAMP와 column parallel single slope ADC로 구성된다.	Analog and Digital Mixed Signal	20200821		20201125	서강대학교산학협력단
2750	2020SG_Ring_Oscillator_based_TDC	본 설계 회로는 5GHz Ring Oscillator를 이용한 Time to Digital Converter이다. 11bit의 resolution을 가지며, 8bit의 MSB와 3bit의 LSB를 갖는다.	Analog and Digital Mixed Signal	20200327		20201125	서강대학교산학협력단
2751	2020SG_AI_BNN_64x64	본 설계 회로는 mixed-signal Binary Neural Network (BNN) processor 이다. 해당 processor는 BNN의 핵심 연산인 Multiply-and-Accumulate (MAC)을 수행한다. 또한, 제안된 구조는 MNIST data set의 image classification을 대상으로 한다.	Analog and Digital Mixed Signal	20200329		20201125	서강대학교산학협력단
2752	2020SG_Multi_Event_11bit_TDC	본 설계 회로는 8개의 Multi Event를 Parallel 방식으로 동시에 처리할 수 있는 Multi Event Time to Digital Converter이다. 5GHz Ring Oscillator를 사용하는 11bit TDC이며, 8개의 Output을 한 번의 Conversion으로 출력 가능하다.	Analog and Digital Mixed Signal	20200901		20201125	서강대학교산학협력단
2753	2020SG_Reconfigurable_Multi_Stage_Rectifier	본 설계 회로는 초저전력 및 고출력 입력에 대한 고효율 에너지 변환 소자이다. Target 주파수 900MHz 대역의 RF 에너지를 수확한다. 넓은 범위의 입력파워 변화에 따라 Logic block의 신호를 이용해 각 Rectifier의 연결구조를 다르게 하여 최적화된 효율을 가진다.	Analog and Digital Mixed Signal	20200827		20201125	서강대학교산학협력단

29. '21년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2754	2021DGTXPLL 4GBPS001 TX	본설계에서는 계속해서협소해지는 채널영역을 갖는트랜지스터에서 발생하는 Self heating effect(SHE)의 영향을예측하고,이를 완화하기위한 방법론에대해 제시한다.개별소자에서발생하는 SHE의영향은회로전체에서영향을미치고이는발열로인한 lifetime감소, reliability문제등을 야기한다.4-input NAND gate 기반의 Ring Oscillator의구조를통하여 SHE로 인한소자및회로의 성능변화를확인한다.본설계는 Metal/ via를 이용한 heat-path layout 방법론을제안한다.4-input NAND gate기반의 Oscillator를 제작하였으며 heat-path의 종류 및 배치에 따라 총 5가지 Type의 Oscillator를 구성하였다.Oscilloscope를 이용해 주파수를 측정하고,열 화상 카메라를 이용해 온도를 측정한다.시간이지남에따라 증가하는온도와 감소하는주파수를 측정하여최적화된 heat-path의 종류와배치를 확인한다.제작된 칩은 CMOS 28nm process를이용해제작되었고,4mm x 2mm의 면적을 가진다.	Analog and Digital Mixed Signal	20210210		20210226	동국대학교 산학협력단
2755	DDI용 고속 인터페이스 메모리 128Mb	SRAM Memory의 high band-width의 데이터를 serialize하여 differential 2 또는 4 또는 8 pair로 줄이는 대신 Low voltage swing differential high speed channel을 이용하여 동작 소모 전력을 줄이며 One channel 당 수 내지 수십 Gbps의 high speed 동작에 적합한 protocol이다. TED(TCON embedded DDI)와 T2M 사이의 데이터 및 memory control 신호를 저전력 고속으로 주고받을 수 있게 만든 고용량 메모리가 들어가는 SoC입니다.	Memory	20190801		20210315	주식회사 메타씨앤아이

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2756	DDI용 고속 인터페이스 메모리 64Mb	SRAM Memory의 high band-width의 데이터를 serialize하여 differential 2 또는 4 또는 8 pair로 줄이는 대신 Low voltage swing differential high speed channel을 이용하여 동작 소모 전력을 줄이며 One channel 당 수 내지 수십 Gbps의 high speed 동작에 적합한 protocol이다. TED(TCON embedded DDI)와 T2M 사이의 데이터 및 memory control 신호를 저전력 고속으로 주고받을 수 있게 만든 고용량 메모리가 들어가는 SoC입니다.	Memory	20191001		20210315	주식회사 메타씨앤아이
2757	DDI용 고속 인터페이스 메모리 32Mb	SRAM Memory의 high band-width의 데이터를 serialize하여 differential 2 또는 4 또는 8 pair로 줄이는 대신 Low voltage swing differential high speed channel을 이용하여 동작 소모 전력을 줄이며 One channel 당 수 내지 수십 Gbps의 high speed 동작에 적합한 protocol이다. TED(TCON embedded DDI)와 T2M 사이의 데이터 및 memory control 신호를 저전력 고속으로 주고받을 수 있게 만든 고용량 메모리가 들어가는 SoC입니다.	Memory	20210105		20210315	주식회사 메타씨앤아이
2758	1.35GHz CMOS Radiometer 용 IF Amplifier	본 설명서는 1.35GHz Radiometer에서 사용하는 CMOS 180nm 공정으로 설계된 주파수 하향 변환된 IF 대역 신호를 증폭시키기 위한 IFAMP에 관한 것이다. 동작 주파수는 450MHz, 100MHz의 대역폭을 가지고 있다. IF stage는 3개의 stage로 구성되어 있으며, 포화 방지 및 선형성을 높이기 위해 이득 가변 기능을 추가하였다. 가변 이득 범위는 5 dB ~ 26 dB 이며 약 3dB step으로 가변 가능하다.	Analog and Digital Mixed Signal	20210331		20210315	(주)이지템
2759	1.35GHz CMOS Radiometer	본 배치설계는 1.35GHz에서 동작하는 CMOS Radiometer으로 온도를 DC 전압으로 출력하는 회로이다. LNA, VCO, Mixer, IF AMP, Env로 구성되었다. 0.18um CMOS 공정을 이용하며, 1.8V 전원으로 동작하며 전력소모는 45mW이다.	Analog and Digital Mixed Signal	20210331		20210427	(주)이지템

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2760	1.35GHz CMOS Radiometer 용 Low Noise Amplifier	본 배치설계는 1.35GHz Radiometer에서 사용하는 저잡음 증폭기(low noise amplifier, LNA)를 설계 하였으며, 동작주파수는 1.35 GHz이며 증폭도는 32.97 dB, 입력 반사계수는 -17.09 dB,잡음 지수는 2.245 dB이다. 입력전원은 1.8 Volt이다.	Analog and Digital Mixed Signal	20210331		20210427	(주)이지템
2761	1.35GHz CMOS Radiometer 용 Complementary Cross-coupled LC VCO	본 설명서는 1.35GHz Radiometer에서 사용하는 CMOS 180nm 공정으로 설계된 Radiometer에 수신되는 신호를 IF 대역으로 주파수 하향 변환 목적으로 사용되는 LO 신호의 생성을 위한 VCO 에 관한 것이다. Complementary Cross-coupled LC VCO 구조를 사용해 전류 소모를 최소화하고 Varactor range를 증가시켰다. 다음 stage 에서의 노이즈 방지, 안정적인 신호 전달을 위한 VCO 버퍼 증폭기를 포함하고 있다.	Analog and Digital Mixed Signal	20210331		20210427	(주)이지템
2762	1.35GHz CMOS Radiometer 용 Envelope detector	본 배치설계는 1.35GHz Radiometer에서 사용하는 Envelope detector로 400Mhz~500Mhz 주파수의 신호 파워를 DC 전압으로 출력하는 회로이다. -30dBm 수준의 전력을 0V~1.8V 전압으로 바꾸어준다. 안정적인 출력을 위해 적분기를 포함하였다.	Analog and Digital Mixed Signal	20210331		20210427	(주)이지템
2763	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1920	KF1920 칩은 반도체의CMOS (Complementary Metal Oxide Semiconductor) 공정을 사용하여 가공, 생산되는 고집적도, 고성능, 저전력 소모의 칩으로서 비트 코인 채굴에 사용된다. 내부에는 디지털 회로, PLL (Phase Locked Loop, 위상동기회로), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1920 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로, 내부에 332개의 dhash core를 포함하고, 내부에는 디지털 회로, PLL (Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. 이 칩은 외부 전원 공급 장치가 필요하다.	Digital Logic	20210329		20210517	상하이판세미 세미컨덕터 테크놀로지 컴퍼니,리미티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2764	2021SG12b300MSps28nFDS Non-Binary DAC based SAR ADC	본 설계에서는 비 이진 가중치를 갖는 C-R 하이브리드 DAC를 기반으로 하여 잔류 전압 고속 정착 성능을 갖는 12비트 300MS/s SAR ADC를 제안한다. 제안하는 C-R 하이브리드 DAC는 상위 8비트를 결정하기 위한 커패시터 열에 비 이진 가중치 구조를 적용하여 요구되는 잔류 전압 정착 사양을 완화함으로써 고속 동작을 용이하게 하는 반면, 하위 4비트는 간단한 저항 열에서 분배되는 기준전압을 통해 결정함으로써 요구되는 단위 커패시터 수와 DAC 면적을 획기적으로 감소시켰다. 시제품 Non-binary DAC based SAR ADC는 28nm CMOS 공정을 사용하여 제작되었으며, 칩 면적은 0.031mm2이고, 1.0V 전원전압에서 2.643mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20210301		20210531	서강대학교 산학협력단
2765	2021SG12b200MSps28n Non-Binary 2b per cycle SAR ADC with Offset-Cancellation Technique(V2)	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC 기반의 12-비트 200MS/s 2b/cycle SAR ADC를 제안한다. 본 ADC에서는 4개의 DAC에 커패시터 하판이 커패시터 상판을 감싸는 구조의 단위 커패시터를 사용하고 각 DAC의 출력 노드부터 비교기 입력 노드까지의 경로를 대칭적으로 레이아웃하여, 각 DAC간의 총 커패시턴스 부정합을 감소시켜 선형성 저하를 최소화하였다. 또한, 3개의 비교기에 스위치와 커패시터로 구성된 간단한 오프셋 소거 기법을 적용하여 비교기 간의 오프셋 부정합을 최소화하였다. 제안하는 시제품 2b/cycle SAR ADC는 28nm CMOS 공정으로 제작되었으며, 1.0V 전원 전압 및 200MS/s 동작 속도에서 6.9mW의 전력을 소모한다.	Analog and Digital Mixed Signal	20210415		20210531	서강대학교 산학협력단
2766	2021SG12b200MSps28nOffset-CalibrationFree2bpercycleSARADCbasedonNon-BinaryDAC(V2)	본 설계에서는 비 이진 가중치 C-R 하이브리드 DAC 기반의 12-비트 200MS/s 2b/cycle SAR ADC를 제안한다. 본 ADC에서 제안하는 C-R 하이브리드 DAC는 상위 10-비트 커패시터 열에 비 이진 가중치를 적용하여 잔류 전압 정착 오류를 완화하였다. 이와 더불어, 고속 동작 시 I/O pad wire bonding의	Analog and Digital Mixed Signal	20210415		20210531	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		인덕턴스에 의해 발생하는 신호 및 전원 전압의 oscillation을 방지하고자 Decoupling 커패시터 및 Low-pass filter를 배치하였다. 또한, 3개의 비교기에 별도의 보정 기법 없이, 정교하고 대칭적인 비교기 레이아웃을 통해 비교기 간의 오프셋 부정합을 최소화하였다. 제안하는 시제품 SAR ADC는 28nm CMOS 공정으로 제작되었으며, 1.0V 전원 전압 및 200MS/s 동작 속도에서 2.2mW의 전력을 소모한다.					
2767	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1930	KF1930 칩은 반도체의CMOS (Complementary Metal Oxide Semiconductor) 공정을 사용하여 제조되는 고집적도, 고성능, 저전력 소모의 칩으로서 비트코인 채굴에 사용된다. 내부에는 디지털 회로, PLL (Phase Locked Loop, 위상동기회로), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1930 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로, 내부에 348개의 dhash core를 포함하고, 내부에는 디지털 회로, PLL (Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. 이 칩은 외부 전원 공급 장치가 필요하다.	DigitalLogic	20190909		20210702	션전마이크로비티일렉트로닉스테크놀로지컴퍼니리미티드
2768	HIGH PERFORMANCE COMPUTINGSERVERCHIPKF1958	KF1958 칩은 반도체의CMOS (Complementary Metal Oxide Semiconductor) 공정을 사용하여 제조되는 고집적도, 고성능, 저전력 소모의 칩으로서 비트코인 채굴에 사용된다. 내부에는 디지털 회로, PLL (Phase Locked Loop, 위상동기회로), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1958 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로, 내부에 474개의 dhash core를 포함하고, 내부에는 디지털 회로, PLL (Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. 이 칩은 외부 전원 공급 장치가 필요하다.	DigitalLogic	20201012		20210702	션전마이크로비티일렉트로닉스테크놀로지컴퍼니리미티드

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2769	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1950	KF1950 칩은 반도체의CMOS (Complementary Metal Oxide Semiconductor) 공정을 사용하여 제조되는 고집적도, 고성능, 저전력 소모의 칩으로서 비트코인 채굴에 사용된다. 내부에는 디지털 회로, PLL (Phase Locked Loop, 위상동기회로), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1950 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로, 내부에 378개의 dhash core를 포함하고, 내부에는 디지털 회로, PLL (Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. 이 칩은 외부 전원 공급 장치가 필요하다.	DigitalLogic	20200711		20210702	션전마이크로비티일렉트로닉스테크놀로지컴퍼니리미티드
2770	HIGHPERFORMANCECOMPUTINGSERVERCHIPKF1960	KF1960 칩은 반도체의CMOS (Complementary Metal Oxide Semiconductor) 공정을 사용하여 제조되는 고집적도, 고성능, 저전력 소모의 칩으로서 비트코인 채굴에 사용된다. 내부에는 디지털 회로, PLL (Phase Locked Loop, 위상동기회로), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1960 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로, 내부에 488개의 dhash core를 포함하고, 내부에는 디지털 회로, PLL (Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. 이 칩은 외부 전원 공급 장치가 필요하다.	Digital Logic	20210422		20210702	션전마이크로비티일렉트로닉스테크놀로지컴퍼니리미티드
2771	초기 리셋기능을 보유한 가변주파수를 생성하는 주파수 발생기	가변적인 크리스탈 주파수 발생기. 외부의 가변적인 주파수용 크리스탈에 맞게 내부의 회로를 변형하여 이에 맞는 주파수 발생. 초기 전원 인사기의 오동작을 방지하기 위한 파워온리셋(Power-On_Reset) 기능을 내장하여 오동작 방지.	Analog and Digital Mixed Signal	20210812		20210813	정종척

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2772	병렬화된 아날로그 뉴럴셀 (ANC10) 배치설계	높은 성능과 낮은 소모 전력의 스마트 디바이스 구현을 위해 인간의 뇌구조를 모방하는 SNN (Spiking Neural Network) 기반의 지능 모방형 컴퓨팅 모델을 개발하였으며, 이를 바탕으로 지능화된 처리 및 가속 기술의 핵심 원천 기술 검증을 위하여 integrate and fire 구조의 아날로그 뉴럴셀 회로, membrane의 leaky 특성 회로 구조 도출 및 아날로그 뉴럴셀 병렬화를 위한 스파이크 신호 최적화 기술을 반영하여 최종 병렬화된 아날로그 뉴럴셀 (ANC10) IC를 반도체직접회로로 배치설계 하였으며, metal1 ~ metal6, thickmetal1, thickmetal2에 관한 배치설계 도면을 제출함.	Analog and Digital Mixed Signal	20210101		20211118	한국전자통신연구원
2773	2021SG_4stage_reconfigurable_RF_DC_converter_using_hybrid_operation	Low Voltage MOSFET을 이용한 RF-DC Converter이고 Decoder를 사용해 Rectifier의 Stage를 조절할 수 있다. 또한 디지털 방식으로 동작하는 것과 직접 외부에서 Transmission Gate를 제어할 수 있도록 Logic을 추가하였다. 또한 Buffer를 추가하여 디지털 입출력시의 안정성을 확보하였고, 다양한 Input Power에서 DC Voltage를 모을 수 있도록 설계하였다.	Analog and Digital Mixed Signal	20210330		20211126	서강대학교 산학협력단
2774	2021SG_64-channel 12-b SAR ADC	본 설계는 R-C hybrid 기법을 적용한 64채널 column parallel SAR ADC 회로이다.	Analog and Digital Mixed Signal	20210623		20211126	서강대학교 산학협력단
2775	2021SG_STDC_Using_Body_Bias_Control_via_6bit_RDAC	본 설계 회로는 6비트의 RDAC을 통한 Mosfet Body Bias 조절을 이용한 확률적 시간-디지털 변환기(Stochastic Time-to-Digital Converter)이다.	Analog and Digital Mixed Signal	20210309		20211126	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2776	2021SG_Wide_Range_CDR_with_Frequency_Divider	XBBPD를 이용한 Reference-less Clock and Data Recovery 회로에서 Oscillator의 주파수 Tuning Range을 확장시켜 Frequency Detection의 범위를 넓히기 위한 회로이다. D-FlipFlop과 2-to-1 Multiplexer를 사용해 4단계의 주파수범위를 이동할 수 있다. Multiplexer의 입력 데이터는 Digital Loop Filter를 통하여 Frequency UP/Down 신호에 따라 조절된다.	Analog and Digital Mixed Signal	20210330		20211126	서강대학교 산학협력단
2777	2021DG5B20MHZ002 CIS	본 설계에서는 BNN(Binarized Neural Network) 구조의 Convolution 및 Pooling 과정을 CMOS Image Sensor 내에서 구현함으로써 메모리에서 ALU(Arithmeric Logic Unit)로 데이터가 전달됨에 따라 그에 비례하여 증가하는 전력과 동작속도를 획기적으로 감소시키면서 높은 정확도를 얻을 수 있는 On-Chip AI CIS를 설계하였다. Analog단에서는 얼굴 인식을 위한 Edge detection mask를 하드웨어로 구현하였으며, Digital단에서는 4가지의 Threshold Value를 사용하여 다양한 환경에서도 원하는 이미지를 얻을 수 있도록하는 구조와 Logic Gate를 이용하여 BNN 동작이 가능한 구조를 구현하였다. 제안하는 CIS는 1-poly 4-metal 110nm Image Sensor 공정으로 제작되었으며 2.4mm X 5.24mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20210710		20211117	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2778	2021DG12B10 MHZ001 CIS	본 설계에서는 zero-crossing predictor를 통해 CMOS Image Sensor의 comparator bandwidth 최적화와 counter toggling을 감소시킬 수 있는 column Analog-to-Digital Converter(ADC) 구조를 제안한다. 제안하는 구조는 comparator의 동작 phase에 따라 gain 조절을 통해 bandwidth 최적화가 가능하고, 이를 통해 저노이즈 이미지 출력이 가능하다. cascode 구조를 통해 comparator의 스윙 범위를 조절하여 비교 동작 시 발생 가능한 delay를 줄일 수 있으며, prediction 동작을 통해 하위 비트 counter toggling을 감소시켜 전력 소모를 줄일 수 있다. 제작된 칩은 CIS 110nm process를 이용해 제작되었고, 3.4mm x 5.24mm의 면적을 가진다.	Analog and Digital Mixed Signal	20210710		20211117	동국대학교 산학협력단
2779	2021DGMIPIC PHY3GSPS004 TX	본 설계에서는 고속 데이터 처리를 위한 칩간 인터페이스의 기술에 대해 제시한다. 최근 모바일 분야의 급격한 발전으로 높은 사양의 mobile industry processor interface(MIPI) 규격이 제안되고 있다. 고속 데이터 전송률을 지원하기 위해 MIPI alliance는 더 높은 표준의 D-PHY와 C-PHY를 발표하였으며 그 중 C-PHY는 symbol 전송 방식으로 1 symbol은 약 2.28 bit의 데이터를 전송하여 D-PHY에 비해 같은 시간에 더 많은 데이터를 전송 할 수 있다. 본 연구는 MIPI C-PHY 1.2 버전 기반 Transmitter 개발을 위해 최대 3.5GS/s/lane의 전송률을 지원하는 3-lane C-PHY TX bridge chip 를 설계한다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 4 mm x 4 mm의 면적을 가진다.	Digital Logic	20210710		20211117	동국대학교 산학협력단
2780	2021DG5B20M HZ003CIS	본설계에서는 Binarized Neural Network(BNN)기반 Face detection 알고리즘의일부,convolution및pooling과정을CMOS Image Sensor(CIS)내에 구현하여저전력 Computer Vision Image Sensor(CVIS)을구현하였다.BNN기반 얼굴인식 알고리즘 처리를위한 1Bit input data 생성은	Analog and Digital Mixed Signal	20210710		20211117	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		Analog단에서 저전력 Comparator Based Switch-capacitor(CBSC) 기반 Row buffer 회로,Switch, Single Slope Analog Digital Converter(SSADC)을통해 edge detection mask로 구현하였으며,Digital단에서 4개의 Threshold 값과 유동적인 weight 조절할수있는 Logic Gate기반 BNN 구조로 다양한 환경에서 최적의 알고리즘 정확성을 유지할 수 있다.제안하는 CIS는 1-poly 4-metal 110nm Image Sensor 공정으로 제작되었으며 2.4mm X 5.24mm의 면적으로 구현되었다.					
2781	2021SGPSARSS28FDS ADC	본 설계에서는 28nm FDSOI 공정을 이용하여 10-비트 500 MS/s 단일 채널 Pipelined-SAR ADC를 구현하였다. 제안하는 ADC는 고속 동작 및 전력 소모를 최소화하기 위해 3단의 파이프라인 구조 및 dual-residue 구조를 적용하였다. 첫째 단은 2b/cycle SAR ADC를 적용하였으며, 둘째 단과 셋째 단의 경우 current mode의 interpolation 방식의 SAR ADC를 적용하였다. 각 단 사이의 증폭기는 비교적 간단한 개방형 구조의 증폭기를 적용하여 전력을 최소화 하였다. 제작된 ADC는 0.02mm2의 면적을 차지하며, post layout simulation에 따르면 Nyquist 입력에서 53.8 dB의 SNDR의 성능을 보여준다 소모 전력은 1.0 V 공급 전원에서 10.5 mW를 소비한다.	Analog and Digital Mixed Signal	20211005		20211117	서강대학교 산학협력단
2782	2021SGDSM1TS18 ADC	본 설계에서는 180nm 공정을 활용하여 Current DAC이 들어간 16-bit 2차 Delta-Sigma ADC를 설계하였다. Current DAC을 Feedback DAC으로 활용하여 residue를 생성하며, input feed-forward 구조를 사용하여 전체 시스템의 requirement를 전체적으로 낮출 수 있었다. 또한, residue amp를 사용하여 kT/C noise를 줄일 수 있었으며, 따라서 상대적으로 작은 sampling capacitor를 사용할 수 있었다.	Analog and Digital Mixed Signal	20210804		20211117	서강대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2783	2021SGBMS1TS18 BMS	본 설계에서는 180nm 공정을 활용하여 고정밀 Battery management system을 설계하였다. Switched capacitor 구조를 사용하여 소자간의 부정합을 평균화 기법으로 완화시켜 정확도를 높였다. 또한, 저항의 온도에러를 아날로그적으로 보상하는 기술을 개발하여, 온도에 대한 오류를 최소화하였다.	Analog and Digital Mixed Signal	20210804		20211117	서강대학교 산학협력단
2784	2021SGSARSS28FDS ADC	본 설계에서는 28nm FDSOI 공정을 이용하여 7-비트 600 MS/s 단일 채널 SAR ADC를 구현하였다. 제안하는 ADC는 고속 동작 및 kickback noise reduction을 위해 3-stage comparator를 사용하였고, 단일 캐패시터에 신호를 샘플링하는 SIG-DAC과 7-비트 decision을 위한 reference voltage를 생성하는 REF-DAC으로 2개의 DAC을 구현하였다. 제작된 ADC는 0.00798mm2의 면적을 차지하며, post layout simulation에 따르면 38.71 dB의 peak SNDR을 갖고, 47.13 dB의 SFDR을 갖는다. 소모 전력은 1.0 V 공급 전원에서 3.25mW를 소비한다.	Analog and Digital Mixed Signal	20210628		20211117	서강대학교 산학협력단

30. '22년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2785	RUCAS(Robotics Universal Control ARM Structure) Pro	본 배치설계는 i.MX RT1062 프로세서를 이용하며, 최대 95V급 배터리 전원을 입력받고, 12V / 5V / 3.3V 레귤레이터 전압 변환 회로를 내장할 수 있다. 또한, 본 배치설계는 1MHz High-speed CAN 통신(2채널) 기능을 가지며, PWM 모터 제어, 디지털 입출력, SPI 인터페이스, UART 인터페이스, I2C 인터페이스, USB2.0 디바이스, 모터 전력공급 스위칭 회로 및 2채널 포트 등의 주변회로와 연결될 수 있다. 본 배치설계는 파워 스위칭 알고리즘, 배터리 잔량 체크 기능, micro SD 카드, 긴급 모터 구동정지 스위칭 회로, IMU AHRS (Internal Measurement Unit Attitude Heading Reference System) 센서 지원 기능을 지원할 수 있다. 한편, 본 배치설계는 H-MEXv3 의료용 착용로봇, DAL-e 서비스 로봇 등에 탑재되어, 관절로봇의 전장 시스템 성능을 개선할 수 있다.	Others	20211206		20220414	현대자동차 주식회사 기아 주식회사
2786	RUCAS(Robotics Universal Control ARM Structure) Classic	본 배치설계는 180MHz ARM Cortex-M4F (MK66FX1M0VMD18) 프로세서를 이용하며, 최대 95V급 배터리 전원을 입력받고, 12V / 5V / 3.3V 레귤레이터 전압 변환 회로를 내장할 수 있다. 또한, 본 배치설계는 1MHz High-speed CAN 통신(2채널) 기능을 가지며, PWM 모터 제어, 디지털 입출력, SPI 인터페이스, UART 인터페이스, I2C 인터페이스, USB2.0 디바이스, 모터 전력공급 스위칭 회로 및 2채널 포트 등의 주변회로와 연결될 수 있다. 본 배치설계는 파워 스위칭 알고리즘, 배터리 잔량 체크 기능, micro SD 카드, 긴급 모터 구동정지 스위칭 회로, IMU AHRS (Internal Measurement Unit Attitude Heading Reference System) 센서 지원 기능을 지원할 수 있다. 한편, 본 배치설계는 H-MEXv3 의료용 착용로봇, DAL-e 서비스 로봇 등에 탑재되어, 관절로봇의 전장 시스템 성능을 개선할 수 있다.	Others	20211206		20220414	현대자동차 주식회사 기아 주식회사

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2787	SR-RUG0-241C-01	본 배치설계는 24GHz UWB Radar SoC 회로이다. 송신안테나에서 24GHz 대역의 UWB 신호를 쏘고 수신안테나에서 이를 받아 전파가 향하는 방향의 장애물과의 거리와 관련된 데이터를 ADC(0:11)로 출력한다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20210106		20220630	실리콘알엔디(주)
2788	SR-RUG0-241C-02 칩의 TX_PULSE_GEN	본 배치설계는 SR-RUG0-241C-02 칩의 Tx Pulse Gen 회로이다. 입력된 Clock을 사용하여 Pulse 신호를 만드는 회로이다. Pulse 출력의 Pulse width를 컨트롤하여 UWB 출력신호의 BW를 변경하는 역할을 한다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20210106		20220630	실리콘알엔디(주)
2789	SR-RUG0-241C-02 칩의 DLL	본 배치설계는 SR-RUG0-241C-02 칩의 DLL 회로이다. 5MHz reference Clock을 입력받아 Clock의 Phase Lock을 잡는과 동시에 200ps Resolution으로 Clock을 딜레이 시키는 회로이다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20210106		20220630	실리콘알엔디(주)
2790	SR-RUG0-083C-01	본 배치설계는 7-9GHz UWB Radar SoC 회로이다. 송신안테나에서 7-9GHz 대역의 UWB 신호를 쏘고 수신안테나에서 이를 받아 전파가 향하는 방향의 장애물과의 거리와 관련된 데이터를 ADC(0:5)로 출력한다. 130nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20200120		20220630	실리콘알엔디(주)
2791	SR-RUG0-241C-02	본 배치설계는 24GHz UWB Radar SoC 회로이다. IQ구조의 수신기를 가지고 있다. 송신안테나에서 24GHz 대역의 UWB 신호를 쏘고 수신안테나에서 이를 받아 전파가 향하는 방향의 장애물과의 거리와 관련된 데이터를 ADC(0:11)로 출력한다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20210106		20220630	실리콘알엔디(주)
2792	2022DG10M60pJ SNN	본 설계에서는 Spiking Neural Network(SNN)의 저전력 동작을 위한 예측 회로와 임계 전압 상승 회로에 대해 제시한다. 기존의 하드웨어 뉴런 구조는 비교기가 항상	Analog and Digital Mixed Signal	20220810		20220928	동국대학교산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		켜져있기 때문에 저전력 고효율 컴퓨팅을 위해 제시된 SNN에 적합하지 않았다. 본 설계는 예측 회로와 임계 전압 상승 회로로 저전력 하드웨어 뉴런 구조를 구현한다. 예측 회로는 출력 스파이크가 나올 것을 예측하여 필요한 시간 동안 비교기가 동작하도록 한다. 또한 임계 전압의 상승으로 출력 스파이크 수를 줄여 비교기 동작 시간은 더 줄이면서 정확도에는 큰 영향을 끼치지 않도록 한다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 4 mm x 2 mm의 면적을 가진다.					
2793	2022DG50M12B SARADC	본 설계에서는 고속의 High Resolution ADC를 설계하기 위하여 SAR Logic을 개선하여 Sample and Hold와 Residue Amplifying Block에 필요한 Amplifier의 성능을 완화 시켰다. 제안하는 SAR ADC구조를 통해 Sample and Hold의 Settling time 성능을 완화시킬수 있고, 필요한 전력 소모를 최소화할 수 있다. Residue Amplifying Block은 C-DAC과 MUX가 사라지고 간단한 switch와 cap 구조로 동작하게 된다. 제안하는 Converter는 CMOS 28nm process를 이용해 제작되었고, 4 mm x 2 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20220718		20220928	동국대학교 산학협력단
2794	2022DG125M14B DAC	본 설계에서는 낮은 전원전압 환경에서 LSB voltage를 증가시키기 위해 full range output을 가지는 14-bit DAC를 제시한다. 본 설계에서는 면적 감소를 위해 thermometer decoder의 row, column 분리 및 switching logic과 latch를 하나의 회로로 결합해 사용한다. 또한 gradient error 감소를 위한 layout 기법을 current cell에 적용해 linearity를 향상시키고자 했다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 칩 면적은 4mm x 4mm, 회로 실 설계 면적은 1.06mm x 1.3mm의 면적을 가진다.	Analog and Digital Mixed Signal	20220718		20220928	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2795	2022DG11B10 MSM6 CIS	본 설계에서는 Auto-Zeroing DCDS와 Adaptive-Dual Gain으로 2개의 램프를 자동으로 선택 가능한 Single-Slope ADC를 이용하여 저잡음을 구현한 CMOS image sensor를 design 하였다. 본 SS-ADC는 픽셀 전압 구간에 따라 각각 다른 연산을 수행한다. 픽셀 전압이 저조도인 경우 자동으로 램프1이 선택되어 Dual-Sampling로 노이즈를 감소시킨다. 픽셀 전압이 저조도가 아닌 경우 램프2가 선택되며 램프의 Analog Gain에 따라 LSB를 달리해 디지털 코드인 출력의 선형성을 유지한다. 제작된 칩은 1-poly 6-metal CMOS 110nm 공정으로 제작되었고, 2.6mm x 4.3mm의 면적을 가진다.	Analog and Digital Mixed Signal	20220816		20220928	동국대학교 산학협력단
2796	2022DG6B20M HKW3 CIS	본 설계에서는 CMOS image sensor내에 Face detection을 위한 윤곽선 검출 과정과 단일 비트 데이터와 가중치의 합성 곱 연산을 하는 binarized neural network 방식을 구현함으로써 이미지 처리에 필요한 전력 소모 및 메모리를 최소화하고자 하였다. 아날로그단에는 윤곽선 검출을 위한 mask와 threshold 적용 과정을 comparator로 구현하여 1bit의 디지털 출력만을 뽑음으로써 high resolution의 ADC와 counter 동작 없이 BNN을 위한 image filtering 과정을 보다 저전력으로 구현하였다. 제안하는 CIS는 1-poly 6-metal 110nm Image Sensor 공정으로 제작되었으며 2.558mm X 4.3mm의 면적으로 구현되었다.	Analog and Digital Mixed Signal	20220824		20220928	동국대학교 산학협력단
2797	32채널 TIADC IP	본 배치설계는 PCIe 6.0 인터페이스 등 고속 인터페이스에서 사용될 수 있는 타임 인터리빙(time interleaving, TI) 기반의 32채널 7비트 SAR ADC에 관한 것으로, 각 채널의 ADC가 고속으로 동작하면서도 소모하는 전력을 최소화하고, 비교기 등의 잡음을 최소화하여 신호의 감쇠에 따른 해상도 저하를 방지하는 기술이 적용된 것임	Analog and Digital Mixed Signal	20220302		20221004	(주)케이앤씨아날로그

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2798	65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 Duty_TOP	본 배치설계는 1.35/2.75GHz CMOS Dicke Radiometer에서 사용되는 Clock의 Duty를 변경시키는 회로이다. 40%~72%로 Duty를 변경한다. CP/INV/PWM/EXT 총4가지 방식으로 동작한다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20220810		20221116	(주)이지템
2799	65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 1.35GHz RFFE	본 배치설계는 65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 1.3GHz RF Front-end 회로이다. 중심주파수 1.35GHz, 대역폭 100MHz 신호를 중심주파수 450MHz, 대역폭 100MHz 신호로 변조 및 증폭하여 Single-End 신호로 출력하는 회로이다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20220810		20221116	(주)이지템
2800	65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 2.75GHz RFFE	본 배치설계는 65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 2.75GHz RF Front-end 회로이다. 중심주파수 2.75GHz, 대역폭 100MHz 신호를 중심주파수 450MHz, 대역폭 100MHz 신호로 변조 및 증폭하여 Single-End 신호로 출력하는 회로이다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20220810		20221116	(주)이지템
2801	65nm CMOS 1.35/2.75GHz Dicke Radiometer v2의 0.9/2.3 GHz Dualband Analog CPPLL	본 배치설계는 2개의 LC VCO(voltage controlled oscillator)를 이용해 0.9 GHz clock signal과 2.3 GHz clock signal을 선택적으로 출력할 수 있는 analog charge pump phase locked loop(PLL)를 설계하였다. 입력 전원은 1.2 Volt이다.	Analog and Digital Mixed Signal	20220810		20221116	(주)이지템

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2802	65nm CMOS 1.35/2.75GHz Dicke Radiometer v2	본 배치설계는 1.35GHz와 2.75GHz에서 동작하는 CMOS Dicke Radiometer으로 Dicke Radiometer 구조를 사용하여 온도 잡음을 DC 전압으로 출력하는 회로이다. LNA, Mixer, PLL, IF AMP, Envelope detector, Duty, Temp_reference 등으로 구성되었다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20220810		20221116	(주)이지템
2803	Metal2 없는 Metal1 Only Standard Cell Layout	Standard Cell Library의 Cell Layout에서 사용되는 Metal Layer 수를 최소화(Metal2를 제거)하는 Layout 기법(배치 설계)으로, 이 기법을 이용한 Cell로 구성된 Standard Cell Libaray를 이용하여 PnR할 경우 Metal Routing 효율이 증가하고, 칩 크기를 줄일 수 있고, 칩 원가 경쟁력을 높일 수 있다.	Physical Library	20221020	20221201	20221202	주식회사 메타씨앤아이
2804	0.18 um 공정의 Magnetic impedance 센서 신호 Read-out 회로	Magnetic impedance 센서 신호 처리를 위한 회로 Magnetic impedance 센서 출력을 읽기 위해 출력 특성에 맞는 read-out 회로를 개발하였다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 센서 신호 ROIC(Read-out Integrated Circuit)는 MI 센서를 구형파 구동시에 나오는 출력을 적분 방식으로 읽어내는 회로이다.	Analog and Digital Mixed Signal	20220801		20221221	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2805	0.18 um 공정의 Magnetic impedance 센서 구동 회로	Magnetic impedance 센서 구동을 위한 회로 Magnetic impedance 센서 구형파 구동을 위해 driver를 개발하였다.. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 센서 신호 ROIC(Read-out Integrated Circuit)는 MI 센서를 구동하기 위해 구형파를 생성하는 회로이다.	Analog and Digital Mixed Signal	20220801		20221221	한국전자기술연구원
2806	0.18 um 공정 SAR(Successive Approximation Register) ADC(Analog-to-Digital Converter)	아날로그 전압을 디지털로 변환하는 회로로 각종 센서에 적용 가능. 개발된 SAR ADC는 센서로부터 생성되는 아날로그 전압 신호를 디지털로 변환하기 위하여 개발되었다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 ADC는 아날로그 입력을 12 비트의 디지털 신호로 변환하여 출력한다.	Analog and Digital Mixed Signa	20220801		20221222	한국전자기술연구원
2807	0.18 um 공정의 MOM Capacitor와 이를 이용한 CDAC	SAR ADC 내부 기준 전압 생성을 위한 회로. 공정에서 제공되는 capacitor의 최소 capacitance보다 작은 capacitor 구현의 필요에 의해 개발되었다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 MOM(Metal-Oxide-Metal) capacitor와 CDAC(Capacitive Digital-to-Analog Converter)은 SAR ADC 내부 기준 전압을 위한 회로이다.	Analog and Digital Mixed Signal	20220801		20221222	한국전자기술연구원
2808	0.18 um 공정의 대면적 CMOS Image Sensor용 Analog Front End	대면적 CMOS Image Sensor의 신호처리. 대면적 CMOS Image Sensor의 Column 신호처리를 위해 개발된 Analog Front End 이다. 0.18um 공정을 사용하였으며 Top Metal은 Metal TP, 총 4개의 Metal이	Analog and Digital Mixed Signal	20221101		20221222	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		사용되었다. 대면적 CMOS Image Sensor의 신호처리를 위한 회로이다					
2809	0.18 um 공정의 4차 Fully Differential Delta-sigma Modulator	고해상도 ADC를 위한 Delta-sgima modulator. 고해상도 ADC를 위해 Input line에 들어오는 노이즈가 Differential Line에 동일한 영향을 받도록 하기 위해 개발되었다. 0.18um 공정을 사용하였으며 Top Metal은 Metal6 이다. 고해상도 ADC를 위해 Input line의 Differential 연결에 중점을 둔 회로이다.	Analog and Digital Mixed Signall	20220801		20221222	한국전자기술연구원

31. '23년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2810	SPAD pixel을 이용한 X-ray용 이미지센서	본 배치설계는 SPAD를 이용한 디지털 광자 계수 방식의 픽셀과 이를 이용한 대면적 이미지 센서이다. 픽셀은 SPAD에 입사되는 광자를 디지털 값으로 계수 하여 빛에너지를 디지털 값으로 직접 변환한다. 픽셀은 49.5um X 49.5um의 크기를 가지며, WING1608은 4,032 X 4,012 어레이를 가지며, 그 밖에도 픽셀 어레이를 구동 시키는 Row driver와 픽셀의 신호를 받아 저장 후 독출하는 Column SRAM 어레이 그리고 ESD I/O가 포함되며 칩의 크기는 205.6mm X 205.08mm이다.	Analog and Digital Mixed Signal	20230112		20230417	주식회사 레이언스
2811	Ku-band 90W GaN power amplifier MMIC	본 배치설계는 Ku Band 입력 신호를 증폭하여 고출력신호를 만들어내는 증폭용 MMIC(MONOLITHIC MICROWAVE INTEGRATED CIRCUIT,100)이다. Gate 길이를 최적화(110)하여 Ku Band에 유리한 출력과 효율 특성을 가지도록 하였다. 그리고 OSV(OUTSIDE VIA,111)를 적용하여 고출력에서도 MMIC크기를 작게 하였다. 위아래 대칭 3단 구조(120,121,122)로 설계하여 위상 차이를 최소화하였으며, 각 단위구조 결합에서의 손실을 최소화 하였다. 각 단위구조 결합에서는 저항(130,131,132)을 사용하여 주파수 안정도를 확보 하였다. MMIC 조립 시 발생하는 IMPEDANCE 변경에 따라 튜닝이 가능하도록 RF 입/출력에 OPEN STUB(141, 142)를 사용하였다.	Analog and Digital Mixed Signal	20210430		20230427	알에프에이치아이씨 주식회사
2812	65nm CMOS 1.35/2.75GHz	본 배치설계는 1.35GHz와 2.75GHz에서 동작하는 CMOS Dicke Radiometer으로	Analog and Digital Mixed	20230419		20230620	(주)이지템

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
	Dicke Radiometer v3	Dicke Radiometer 구조를 사용하여 온도 잡음을 DC 전압으로 출력하는 회로이다. LNA, Mixer, PLL, IF AMP, Envelope detector, Duty, Temp_reference 등으로 구성되었다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Signal				
2813	65nm CMOS 1.35/2.75GHz Dicke Radiometer v3의 0.9/2.3 GHz Dualband Analog CPPLL	본 배치설계는 65nm CMOS 1.35/2.75GHz Dicke Radiometer v3에 사용되는 PLL 회로이다. 2개의 LC VCO(voltage controlled oscillator)를 이용해 0.9 GHz clock signal과 2.3 GHz clock signal을 선택적으로 출력할 수 있는 Analog Charge Pump Phase Locked Loop(Analog CPPLL)를 설계하였다. 입력 전원은 1.2 Volt이다.	Analog and Digital Mixed Signal	20230419		20230620	(주)이지템
2814	65nm CMOS 1.35/2.75GHz Dicke Radiometer v3의 2.75GHz RFFE	본 배치설계는 65nm CMOS 1.35/2.75GHz Dicke Radiometer v3의 2.75GHz RF Front-end 회로이다. 중심주파수 2.75GHz, 대역폭 100MHz 신호를 중심주파수 450MHz, 대역폭 100MHz 신호로 변조 및 증폭하여 Single-End 신호로 출력하는 회로이다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20230419		20230620	(주)이지템
2815	65nm CMOS 1.35/2.75GHz Dicke Radiometer v3의 1.35GHz RFFE	본 배치설계는 65nm CMOS 1.35/2.75GHz Dicke Radiometer v3의 1.35GHz RF Front-end 회로이다. 중심주파수 1.35GHz, 대역폭 100MHz 신호를 중심주파수 450MHz, 대역폭 100MHz 신호로 변조 및 증폭하여 Single-End 신호로 출력하는 회로이다. 65nm CMOS 공정을 이용하며, 1.2V 전원으로 동작한다.	Analog and Digital Mixed Signal	20230419		20230620	(주)이지템
2816	HIGH PERFORMANCE COMPUTING SERVER CHIP	KF1978 칩은 반도체 CMOS(Complementary Metal Oxide Semiconductor) 기술을 이용해 가공, 생산한 고집적, 고성능, 저전력 비트코인 채굴 칩이다. 내부에는 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서,	Digital Logic	20221130		20230704	션전 마이크로비티 일렉트로닉스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
	KF1978	Flip-Chip Bump가 포함된다. KF1978 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로 내부에 744개의 대시 코어를 탑재하고 있다. 이 칩은 주로 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump를 포함한다. 이 칩에는 외부 전원 공급 장치가 필요하다.					테크놀로지 컴퍼니 리미티드
2817	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1973	KF1973 칩은 반도체 CMOS(Complementary Metal Oxide Semiconductor) 기술로 제작된 고집적, 고성능, 저전력 비트코인 채굴 칩이다. 내부에는 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1973 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로 내부에 592개의 대시 코어를 탑재하고 있다. 이 칩은 주로 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump를 포함한다. 이 칩에는 외부 전원 공급 장치가 필요하다.	Digital Logic	20220801	20230501	20230704	션전 마이크로비티 일렉트로닉스 테크놀로지 컴퍼니 리미티드
2818	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1970	KF1970 칩은 반도체 CMOS(Complementary Metal Oxide Semiconductor) 기술을 이용해 가공, 생산한 고집적, 고성능, 저전력 비트코인 채굴 칩이다. 내부에는 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1970 칩은 SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로 내부에 502개의 대시 코어를 탑재하고 있다. 이 칩은 주로 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump를 포함합니다. 이 칩에는 외부 전원 공급 장치가 필요하다.	Digital Logic	20220101		20230704	션전 마이크로비티 일렉트로닉스 테크놀로지 컴퍼니 리미티드
2819	HIGH PERFORMANCE COMPUTING SERVER CHIP KF1968	KF1968 칩은 반도체 CMOS(Complementary Metal Oxide Semiconductor) 기술을 이용해 가공, 생산한 고집적, 고성능, 저전력 비트코인 채굴 칩이다. 내부에는 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump가 포함된다. KF1968 칩은	Digital Logic	20210802	20220501	20230704	션전 마이크로비티 일렉트로닉스 테크놀로지

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		SHA256 암호화 및 복호화를 지원하는 가상화폐 채굴 칩으로 내부에 624개의 대시 코어가 내장되어 있다. 이 칩은 주로 디지털 회로, PLL(Phase Locked Loop), IO, 전압 센서, 온도 센서, Flip-Chip Bump를 포함하고, 이 칩에는 외부 전원 공급 장치가 필요하다.					컴퍼니 리미티드
2820	2023TSGSPR_ver2	본 설계에서는 광전(photovoltaic), 열전(thermoelectric generator), 압전(piezoelectric transducer)소자 등을 이용하여 다양한 에너지원으로부터 전력을 생성하는 triple-sources ground-symmetric pile-up resonance harvester를 제안한다. Ground-symmetric structure 덕분에 트랜지스터의 최대 허용 전압(Vmax)임에도 불구하고 압전소자의 양단 전압의 진폭은 최대 2Vmax까지 증가한다. 따라서 압전 소자의 capacitor에 저장된 에너지는 양단 전압의 진폭이 Vmax인 기존 harvester에 비해 4배가 증가한다. 제안하는 시제품 triple-sources ground-symmetric pile-up resonance harvester는 0.18μm CMOS 공정으로 제작되었으며, 1482μW의 출력 전력을 추출하여 ideal full-bridge rectifier에 비해 전력 추출량을 7600% 향상한다.	Analog and Digital Mixed Signal	20230426		20231116	서강대학교 산학협력단
2821	M12_DGJBH_MACOPERATIONPIM	본 설계에서는 2T DRAM Memory array를 이용한 MAC 연산이 가능한 Process in Memory (PIM)를 설계하였다. 2T DRAM의 읽기 데이터가 전류의 형태로 나오는 것에서 착안하였으며, 해당 전류에 맞는 캐패시터를 각 Bit-line에 배치하여 특정 시간 동안 쌓인 전하들이 캐패시터에서 전압으로 치환되는 것을 이용, 해당 전압을 A/D Convertor를 사용하여 Digital code로 변환 후, MAC 연산을 완료한다. 또한 DRAM array에 저장된 값을 병렬적으로 처리하기 위해 Column 별로 자릿수를 부여하여 4개의 Column을 하나의 데이터로 처리하며, 자릿수 연산을 구현하기 위한	Memory	20230315		20231127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		Digital Adder가 추가된다. 제안하는 PIM은 CMOS 28nm process를 이용해 제작되었고, 0.27 mm x 0.47 mm의 면적을 가진다.					
2822	M36_DGJHS_PIPELINEDSARADC	본 설계에서는 고속의 High Resolution ADC를 설계하기 위하여 SAR Logic을 개선하여 Sample and Hold와 Residue Amplifying Block에 필요한 Amplifier의 성능을 완화 시킬 수 있다. 기존의 Sample and Hold에서 인가되는 VIN의 sampling timing을 VIN의 settling이 끝난 이후 될 수 있도록 변경하였으며, SAR ADC에서 비교기를 통해 나온 마지막 bit의 결과값을 Residue Amplifying 한다. 이를 통해 Sample and Hold의 Settling time 성능이 완화되며 그에 따라 필요한 전력 소모량도 줄어든다. 제안하는 Converter는 CMOS 28nm process를 이용해 제작되었고, 2 Channel과 Test Block을 합쳐 4 mm x 4 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20230116		20231127	동국대학교 산학협력단
2823	M08_DGKJW	본 설계에서는 full range output을 가지는 14-bit DAC를 제시한다. 본 설계에서는 면적 감소를 위해 thermometer decoder의 row, column 분리 및 switching logic과 latch를 하나의 회로로 결합해 사용한다. 또한 gradient error 감소를 위한 layout 기법을 current cell에 적용해 linearity를 향상시키고자 했다. 추가로 서로 다른 두 종류의 current cell을 사용함으로 인해 발생하는 VDD/2 지점에서의 voltage mismatch를 해결하기 위해 회로의 본 동작 이전에 VDD/2 지점의 전압을 tuning하는 foreground calibration 회로를 사용한다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 칩 면적은 4mm x 4mm, 회로 실 설계 면적은 0.955mm x 0.929mm의 면적을 가진다.	Analog and Digital Mixed Signal	20230116		20231127	동국대학교 산학협력단
2824	M08_DGKJW_PIPELINEDADC	본 설계에서는 고속으로 동작하는 고해상도 ADC의 오차를 수정하기 위해서 기존 Pipelined ADC 구조에 Analog voltage and Digital	Analog and Digital Mixed Signal	20230315		20231127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		code calibration stage를 도입하였다. 기존 고해상도의 Pipelined ADC의 경우, 비교기의 offset으로 인한 오차로 정확한 digital code가 도출되지 않아 ADC 자체의 resolution이 떨어지는 문제를 보인다. 이는 ADC의 성능을 크게 저하시키기 때문에 이를 해결하기 위해 comparator로 analog voltage의 over-range와 under-range를 감지해서 analog voltage와 digital code를 모두 수정한다. 이를 통해 ADC의 ENOB가 낮게 출력되는 것을 방지할 수 있다. 제안하는 Converter는 CMOS 28nm process를 이용해 제작되었고, 3 mm x 0.53 mm의 면적을 가진다.					
2825	M12_DGJBH_SNN	본 설계에서는 Spiking Neural Network(SNN)에서 뉴런의 저전력 동작을 위한 예측 회로와 집적도와 정확도를 높이기 위한 sub-post spike 시스템을 제시한다. 제안하는 예측 회로는 출력 스파이크를 예측하여 필요할 때만 비교기를 동작시켜 불필요한 전력 소모를 막을 수 있다. 또한 고집적을 위해 뉴런 면적의 대부분을 차지하는 capacitor 값을 1/4로 줄여 sub-post spike 4번 당 post spike 한 번으로 계산하며 고집적과 더불어 정확도가 향상된다. post spike를 비교하였을 때 출력 스파이크 수가 같아 비교가 불가능 한 경우 sub-post spike를 비교하여 정답을 내 정확도를 높일 수 있다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 4 mm x 2.4 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20230315		20231127	동국대학교 산학협력단
2826	M12_DGJBH_SSADCWITHREPLICA	본 설계에서는 multiple sampling 기법을 적용하여 저잡음 구현을 목표로 Single-Slope Analog to Digital Converter(SS-ADC)를 구현한다. 이때 SS-ADC에는 2cap을 이용한 Auto-zeroing DCDS를 적용하였으며 Adaptive-Dual Conversion Gain을 이용하며 이는 하나의 램프를 자동적으로 이동시키는 방식으로 구현해 frame rate을 개선하였다. 픽셀	Analog and Digital Mixed Signal	20230315		20231127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		전압이 저조도의 경우 기본 램프 신호가 선택되어 출력이 변환되며 고조도의 경우 기본 램프 신호가 VREFN으로 이동하게 되고 이동된 램프를 통해 출력이 변환된다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 0.54mm X 0.62mm의 면적을 가진다.					
2827	M12_DGJBH_SSADC_GC7	본 설계에서는 Always-On CMOS Image Sensor (CIS)를 타겟으로한 저전력 Single-Slope Analog to Digital Converter (SS-ADC)를 구현한다. 기존의 SS-ADC의 변환방식은 비교기의 출력이 카운터를 멈추고, 그 카운터 값을 읽어 신호로 변환하지만, 제안하는 SS-ADC는 비교기의 출력을 미리 예측하는 복제 비교기를 이용하여 카운터의 토글 횟수를 효과적으로 줄여 70% 이상의 전력효율을 높인다. 이에 더불어 비교기의 두 번째 증폭기에서는 제안하는 positive feedback bias sampling 기술을 접목하여 비교기의 전력효율 또한 30%이상 높이게 된다. 제안하는 SS-ADC는 CMOS 28nm process를 이용해 제작되었고, 2.1 mm x 0.74 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20230315		20231127	동국대학교 산학협력단
2828	0.18 um 공정의 Current-mode Bandgap reference	칩 내부에서 사용될 기준 전압 및 전류를 생성하기 위하여 개발 되었다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 Current-mode bandgap reference 회로는 칩 내부 기준 전압 및 전류를 생성하기 위한 회로이다.	Analog and Digital Mixed Signal	20230801		20231205	한국전자기술연구원
2829	180 nm 공정의 저항 및	공정에서 제공되는 저항과 캐패시터를 이용한 저전력 RC oscillator의 구현 필요에	Analog and Digital Mixed	20230801		20231205	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
	캐패시터를 이용한 oscillator	개발되었다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 RC oscillator 회로는 칩 내부의 다른 회로들을 구동하는 기준 클럭을 생성하는 회로이다.	Signal				
2830	40 nm 공정을 이용한 위상 고정 루프 회로	칩 내부에 낮은 jitter를 갖는 기준 클럭을 생성하기 위하여 개발되었다. 제작은 40nm, 1poly, 7metal 공정을 사용하였다. 칩 내부에 사용될 기준 클록을 생성 및 채배해주는 회로이다.	Analog and Digital Mixed Signal	20230601		20231205	한국전자기술연구원
2831	180 nm 공정 serial 통신을 위한 SPI 및 I2C 회로	칩과 칩 외부와의 통신 필요에 개발되었다. 해당 회로는 SPI와 I2C 통신 모두 지원한다. 제작은 0.18um, 1poly, 6metal 공정을 사용하였다. 개발된 SPI 및 I2C회로는 칩 내부와 칩 외부를 serial 통신으로 연결해주는 역할을 한다.	Digital Logic	20230801		20231205	한국전자기술연구원
2832	40 nm 공정을 이용한 Operational 증폭기	칩 내부에 저잡음의 공급 전압을 제공하기 위하여 개발되었다. 제작은 40nm, 1poly, 7metal 공정을 사용하였다. 칩 내부에 사용될 저잡음 기준 전압을 만들어주는 LDO의 내부 증폭기로 사용된다.	Analog and Digital Mixed Signal	20230601		20231205	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2833	Plastic Optical Fiber Receiver	본 배치설계는 디지털오디오 신호통신을 목적으로 광신호를 수신하여 디지털 출력을 내보내는 광수신기 집적회로이다. 광송신기에서 출력하는 광신호가 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달되면, 본 광수신기는 전달된 광신호를 디지털신호로 전환하여 출력으로 내보낸다.	Analog and Digital Mixed Signal	20220923	20221222	20231228	(주)인투칩스

32. '24년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2834	마이크로 질량 기체 유량 센서	공기 등 기체의 유속 및 유량을 측정하기 위한 반도체 및 MEMS 공정으로 제조되는 마이크로 질량 기체 유량 센서 설계임.	Others	20240201		20240312	(주)엔아이디에스
2835	Plastic Optical Fiber Transmitter	본 배치 설계는 디지털 오디오 신호 통신을 목적으로 고속으로 LED를 구동하는 광송신기 집적회로이다. 디지털 입력 신호는 LED의 광신호로 변환되어 Plastic Optical Fiber(POF)를 통하여 광수신기에 전달된다. 이 기술을 이용하여 광출력은 갖는Digital TV, DVD player, Blu-ray player, Set-Top Box, Game Consoles 등 TOSLINK를 가진 S/PDIF application에 적용된다.	Analog and Digital Mixed Signal	20210618		20240503	(주)인투칩스
2836	EV Sensor IC EFRAM_E3	EV 충전기용, RCD, Touch Sensor, LED Control 등의 여러 목적을 가지는 반도체	Analog and Digital Mixed	20240826		20240902	주식회사 에프램

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		Sensor IC	Signal				
2837	비파괴 검사를 위한 X-ray 이미지용 씨모스 이미지 센서	비파괴검사를 위한 X-ray이미지용 씨모스 이미지센서 픽셀은 3TAPS구조에 Dualgain을 위한 Channelcapacitor 1개가 추가되어 포토다이오드, Gatecontrolled Channelcapacitor, RS(reset)TR, SF(sourcefollower)TR 그리고 SEL(Rowselection)TR로 구성, 픽셀크기49.5umX49.5um, NDT1515HS는 3,316X1. 472어레이, 센서의 크기는 156,666umX76,031um(Seal-ring기준)	Analog and Digital Mixed Signal	20240207		20240905	주식회사 레이언스
2838	SPAD 픽셀을 이용한 X-ray용 디지털 씨모스 이미지 센서	본 배치설계는 SPAD(Single Photon Avalanche Diode)를 이용한 디지털 광자 계수 방식 픽셀과 이를 이용한 X-ray용 씨모스 이미지 센서 가로로는 픽셀의 동작을 제어하는 제어신호 라인들과 세로로는 픽셀 카운터의 디지털 데이터를 출력하는 데이터 라인들이 배치 WING2020은 4,032 X 4,012 어레이, 센서의 전체 크기는 205.6mm X 205.08mm(Seal-ring 기준)	Analog and Digital Mixed Signal	20240618		20240905	주식회사 레이언스
2839	간접방식 Intra-oral X-ray용 씨모스 이미지 센서	본 배치설계는 간접방식 Charge integration 픽셀과 이를 이용한 Intra-oral X-ray용 씨모스 이미지 센서 픽셀은 N-type 포토다이오드와 픽셀 구동을 위해 Reset Transistor, Row Sel Transistor 그리고 Source follower Transistor로 구성, 픽셀은 14.8um X 14.8um 크기, 전극 10.2um X 10.2um, DSUDS150은 2,230 X 1,620 픽셀 어레이, 센서의 크기 24.85mm X 35.38mm, 구강내 이물감 감소를 위해 Top side 4.4mm X 4.4mm 크기로 모따기	Analog and Digital Mixed Signal	20230318		20240905	주식회사 레이언스
2840	Surgical C-arm용 디지털 X-ray 씨모스 이미지 센서	본 배치설계는 Surgical C-arm용 디지털 X-ray 씨모스 이미지 센서 픽셀은 3T APS 구조에 Self-switchable gain을 위한 Transistor 1개가 추가되어포토다이오드, Gate controlled MOSCAP, RS(reset) TR, SF(Source follower) TR, SEL(Row selection) TR로 구성 픽셀을 이용한	Analog and Digital Mixed Signal	20200219		20240905	주식회사 레이언스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		MIDAS2121은 2,304 x 2,256 어레이를 가지며, 센서의 크기는 207.9mm x 207.25 mm(Seal-ring기준)					
2841	직접방식 Intra-oral X-ray용 씨모스 이미지 센서	본 배치설계는 Surgical C-arm용 디지털 X-ray 씨모스 이미지 센서 발명입니다. 광도전체를 통해 X-ray가 바로 전기적인 신호로 변환되면 전기 신호를 수집하는 직접방식 픽셀을 사용, 픽셀구성 Reset Transistor, Row Sel Transistor 그리고 Source follower Transistor, 픽셀 14.8um X 14.8um 크기, 전극 10.2um X 10.2um, 이 픽셀을 이용한 DSUDS150은 2,230 X 1,620 픽셀 어레이, 센서 크기 24.85mm X 35.38mm, 구강내 이물감 감소를 위해 Top side 4.4mm X 4.4mm 크기로 모따기된 형태	Analog and Digital Mixed Signal	20230110		20240905	주식회사 레이언스
2842	다중 영상 센서 데이터 전송 시스템	본 설계는 다중 영상 센서에서 수집되는 영상 데이터를 효율적으로 전송하기 위한 것으로써, 자율 주행 자동차와 같이 영상센서를 통해 데이터를 실시간 처리하는 응용분야에서는 빠른 속도로 데이터를 변환하고 전송하는 데이터 처리 과정이 필요하여 비압축으로 인한 고전력 소모와 제조비용 상승을 개선하기 위한 배치 설계를 구현하였다. 본 장치는 적어도 하나의 영상 센서로부터 전송되는 입력 데이터를 처리하여 외부의 디스플레이 장치 또는 다른 처리 유닛으로 전송하는 영상 신호 처리 장치이다. 이 장치는 인코더, 디코더, 입력 데이터의 유형을 식별하는 식별부 및 식별되는 유형에 따라 입력 데이터를 바이패스 하거나, 또는 인코더 및 디코더 중 어느 하나로 전달하는 제어부를 포함하고 있다.	Digital Logic	20230517		20240925	나시스 주식회사
2843	피부 치료용 전용 kHz대역 펄스변조기의 65nm RF-CMOS 배치설계	본 설계는 피부치료용 전용 kHz대역의 펄스폭 및 주기를 변조할 수 있는 펄스변조기(PulseWidthModulator)회로의 65nmCMOS 배치설계도이다. 40MHz의 입력신호를 받아서 500Hz부터 3.3kHz까지 총 9단계의 주파수를 발생시킬 수 있고, 각각의 주파수에	Digital Logic	20240911		20241004	주식회사 에이피알

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		대하여 10%에서 90%까지10% 간격으로 총 9단계의 듀티비(DutyRatio)조절이 가능한 회로이다. 65nm CMOS 공정을 이용하여 설계되었으며,1V 전원으로 동작한다.					
2844	피부 치료용 전용 2.4GHz 대역 PLL 주파수합성기의 65nm RF-CMOS 배치설계	본 배치설계는 피부 치료용 전용 2.4GHz 대역 분수형 위상고정루프 주파수합성기 (Fractional-N Phase Locked Loop Frequency Synthesizer) 회로이다. 40 MHz Crystal Reference Clock을 사용하며 2.4GHz 대역의 출력 신호를 안정적으로 만들어주는 회로이다. 전체회로는 전압조정발진기, 주파수분주기, 위상-주파수 검출기, 전하펌프, 루프필터, 자동주파수보정기로 이루어진다. 온칩 루프필터는 타 블락과의 관계를 고려하여 위치하였지만 필요에 따라 형태를 조정할 수 있다. 65nm RF CMOS 공정을 이용하여 설계되었으며, 전체 1V 전원전압에서 동작한다.	Analog and Digital Mixed Signal	20240911		20241004	주식회사 에이피알
2845	피부 치료용 전용 2.4GHz 대역 펄스모드 RF 송신기의 65nm RF-CMOS 배치설계	본 설계는 피부치료용 전용 2.4GHz 대역 펄스모드 RF 송신기 회로의 65nm RF CMOS 공정 배치 설계도이다. RF 송신기는 2.4GHz 대역 분수형 PLL 주파수합성기(Fractional-N PLL Frequency Synthesizer: PLL), 수 kHz 대역 펄스 폭 및 주기 변조 회로(Pulse Width Modulator: PWM), 10mW급 전력증폭기(Power Amplifier: PA)로 구성되어 있다. PLL에서 안정화된 2.4GHz 신호를 보내주면, PA에서 PWM의 출력에 따라 펄스 폭과 주기를 변조하게 되고, 최종적으로 10dBm 이상의 출력 전력을 갖는 2.4 GHz 펄스 모드 신호를 송신하는 회로이다. PA의 출력단은 외부에서 Inductor 와 Capacitor를	Analog and Digital Mixed Signal	20240911		20241004	주식회사 에이피알

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		사용하도록 설계했으며, 65nm RF CMOS 공정을 이용했다. PA는 2.5V 전원으로 동작하며, 그 외에는 1V 전원으로 동작한다.					
2846	피부 치료용 전용 5.8GHz CMOS 증폭단	본 배치설계는 피부 치료용 전용 RF 송신기(URD0696H)에 사용되는 5.8GHz CMOS 증폭단 회로이다. 출력이 정상적으로 출력되는지 확인하는 기능과 Pulse width를 조절하는 기능이 포함된 5.8GHz CMOS 증폭단을 설계하였다. CMOS 65nm 공정으로 설계하였으며, 동작주파수 5.8GHz, 출력 전력 10dBm, 입력 전원 1.2 Volt이다.	Analog and Digital Mixed Signal	20240923		20241016	주식회사 에이피알
2847	피부 치료용 전용 5.8GHz CMOS 송신기	본 배치설계는 피부 치료용 전용 RF 송신기(URD0696H)에 사용되는 5.8GHz CMOS 송신기 회로이다. CMOS 65nm 공정을 이용하여, 5.8GHz clock signal에 해당하는 VCO Coarse 를 자동으로 추적하는 기능이 포함된 Analog Charge Pump Phas Locked Loop(Analog CPPLL)회로와 5.8GHz의 동작주파수, 10dBm의 출력 전력을 가지는 5.8GHz CMOS 증폭단을 포함한 5.8GHz CMOS 송신기이다.	Analog and Digital Mixed Signal	20240923		20241016	주식회사 에이피알
2848	피부 치료용 전용 65nm CMOS 5.8GHz Analog CPPLL	본 배치설계는 피부 치료용 전용 RF 송신기(URD0696H)에 사용되는 Analog Charge Pump Phase Locked Loop(Analog CPPLL) 회로이다. 5.8 GHz clock signal에 해당하는 VCO Coarse를 자동으로 추적하는 기능을 포함하여 설계하였다. 65nm CMOS공정을 이용하며, 입력 전원은 1.2 Volt이다.	Analog and Digital Mixed Signal	20240823		20241016	주식회사 에이피알
2849	스마트 글라스용 마스크 설계	본 마스크 설계는 스마트 글라스에 사용하기에 적합하며, 여기서 광학적 외관, 특히 투명도는 전기적으로 변조될 수 있습니다. 기판의 전극 설계는 광학적 간섭을 낮추는 원인이 됩니다. 스마트 글라스는 투명 상태와 불투명 상태 사이를 전환하도록 배열되며 그 반대도 마찬가지입니다. 스마트 글라스는 다음을 포함합니다. - 제1 및 제2 기판, 여기서 기판은 광학적으로 투명합니다.	Others	20220317		20241021	엘스타 다이내믹스 페이턴츠 베슬로텐 베누트샤프

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		- 기판의 내부 측면에 제공된 적어도 두 개의 전극, - 상기 기판 사이에 제공된 유체, 여기서 유체는 나노입자 및/또는 미립자를 포함하며, 입자는 전기적으로 하전되거나 또는 하전될 수 있으며, 입자는 빛을 흡수하도록 적응됩니다. - 전극에 전자기장을 인가하기 위한 연결, 여기서 전극에 인가된 전자기장은 나노입자 및 미립자를 제1 전극에서 제2 전극으로 이동시키고 그 반대로도 이동시킵니다.					
2850	M13287_DIGITALMACPIM	본 설계에서는 2T DRAM Memory array를 이용한 MAC 연산이 가능한 Process in Memory (PIM)를 설계하였다. 승수가 되는 Input array와 피승수가 되는 Weight array를 가지며, Input array로부터 데이터를 읽어내고, 그것을 Booth algorithm에 맞춰 Encoding 한 후, 해당 신호에 맞춰 Weight array에서 데이터를 읽어내어 순환적으로 더해주게 된다. Booth algorithm에 따라 Weight data 값을 바꿀 수 있기 때문에 그대로 더하는 것만으로, 곱셈이 가능하다. 또한, 여러 Weight와 Input에 대해 연속적으로 동작이 가능하기 때문에 결과적으로는 덧셈까지 가능한 것이다. 제안하는 PIM은 CMOS 180nm process를 이용해 제작되었고, 1.5 mm x 5 mm의 면적을 가진다.	Memory	20231130		20241126	동국대학교 산학협력단
2851	M07_DGWDH_SNN	본 설계에서는 Spiking Neural Network(SNN)를 하드웨어로 저전력 소비, 고집적 구현하기 위한 Two-step classification 시스템과 정확도 향상을 위한 overflow 보존 가능한 뉴런을 제시한다. Two-step classification 구조를 통해 뉴런 회로 내부에서 n번의 서브 포스트 스파이크 당 한 번의 실제 포스트 스파이크를 생성하여 뉴런 커패시터 면적을 1/n배로 줄일 수 있으며 증폭기의 커패시턴스 부하를 완화하여 정적 전력 소비를 감소시킬 수 있다. 임계값을 넘는 막전압의 overflow 값들이 리셋 시 손실되며 정확도를 감소시키기 때문에, 막전압 리셋 시	Analog and Digital Mixed Signal	20231130		20241126	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		overflow를 보존 가능하도록 설계된다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 3.6 mm x 3.6 mm의 면적을 가진다.					
2852	M13828_PIPELINEDSARADC	본 설계에서는 고속의 High Resolution ADC를 설계하기 위하여 SAR Logic을 개선하여 Track and Hold와 Residue Amplifying Block에 필요한 Amplifier의 성능을 완화 시킬 수 있다. Track and Hold에서 인가되는 VIN의 sampling timing을 VIN의 settling이 끝난 이후 될 수 있도록 설계하였으며, SAR ADC에서 비교기를 통해 나온 마지막 bit의 결과값을 SAR ADC의 MUX에 적용하여 생성된 VDAC 값을 통해 Feedback Capacitor 구조의 Residue Amplifying Block에서 Residue Amplifying 한다. 이를 통해 Track and Hold의 Settling time 성능이 완화되며 간단한 switch와 cap 구조로 동작하게 된다. 제안하는 Converter는 CMOS 180nm process를 이용해 제작되었고, 1.5 mm x 1.7 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20231130		20241126	동국대학교 산학협력단
2853	M13827CHIPCIS	본 설계에서는 Always-On CMOS Image Sensor (CIS)를 타겟으로한 저잡음 Single-Slope Analog to Digital Converter (SS-ADC)를 구현한다. 기존의 SS-ADC의 변환방식은 비교기의 출력이 카운터를 멈추고, 그 카운터 값을 읽어 신호로 변환하지만, 제안하는 SS-ADC는 Coarse ramp와 Fine ramp를 이용한 방식으로 Coarse ramp를 통해 pixel의 전압 범위를 잡아준 뒤, fine ramp로 해당하는 전압 범위를 multiple sampling을 통해 저잡음을 구현한다. 신호에 잡히는 잡음의 크기가 작기 때문에 작은 전압 범위에서 multiple sampling하는 것이 fps측면에서 효율적이다. SS-ADC는 CMOS 180nm process를 이용해 제작되었고, 3.33 mm x 5 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20231130		20241126	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2854	M13828 CHIP CIS	본 설계에서는 multiple sampling 기법을 적용하여 저잡음 구현을 목표로 Single-Slope Analog to Digital Converter(SS-ADC)를 구현한다. 이때 하나의 ramp generator만을 사용하며, 조도 범위에 따라 입력신호를 0~1/2Vpp과 1/2~1Vpp, 즉 2개의 영역으로 나누고, 입력신호크기에 따라 자동으로 영역을 선택하여 부분적으로 CMS를 진행하여 노이즈를 줄이며 frame rate을 개선하였다. 또한 비교기의 offset과 delay로 발생할 수 있는 에러를 카운터를 통해 해결하여 저하된 선형성을 보완할 수 있도록 하였다. 제작된 칩은 CMOS 180nm process를 이용해 제작되었고, 2.09mm X 4.39mm의 면적을 가진다.	Analog and Digital Mixed Signal	20231130		20241126	동국대학교 산학협력단
2855	M13828_PIPELINEDADC	본 설계에서는 고속으로 동작하는 고해상도 ADC를 낮은 Supply voltage에서도 동작이 가능하도록 Ring amplifier를 도입했다. Ring amplifier는 기존 inverter 세단으로 이루어진 ring oscillator의 구조를 일부 변경하여 oscillator가 아닌 amplifier로 사용한 구조이다. Ring amplifier는 기존 op-amp에 비해 흐르는 전류의 값이 작아 transistor의 크기가 작기 때문에 면적이나 전력 면에서 이점을 가진 amplifier 구조이다. 제안하는 Converter는 TSMC 180nm process를 이용해 제작되었고, 0.57 mm x 1.78 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20231130		20241126	동국대학교 산학협력단
2856	M05_DGMJI_HS3	본 설계에서는 Spiking Neural Network (SNN)를 하드웨어 상에서 구현할 때 뉴런의 집적도 문제를 해결하기 위해 전류 스케일링 적분기 (Current Scaling Integrator)를 제안한다. 기존 C-TIA 구조의 경우 높은 전류의 선형성을 확보할 수 있다는 이유로 뉴런에 가장 많이 사용되는 구조이다. 그러나 증폭기의 높은 전력 소비와 큰 커패시턴스를 갖는 뉴런회로는 다층 SNN 시스템 아키텍처에서 집적도 문제를 야기한다. 전류 스케일링 적분기는 C-TIA를 대체하여 높은 전류 선형성을 보장하는 구조로	Analog and Digital Mixed Signal	20240826		20241128	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		사용될 수 있다. 또한 기존의 시냅스 가중치에 해당하는 전류를 1/n배하여 기존 증폭기를 사용하는 C-TIA (Capacitance Transimpedance Amplifier) 구조 대비 커패시턴스의 크기를 1/n배로 줄일 수 있다. 제작된 칩은 CMOS 28nm 공정을 활용하여 설계되었고, 3.6mm x 3.6mm의 크기를 가진다.					
2857	M15239_HEBIA_RB3	본 설계에서는 SRAM을 이용한 MAC 연산이 가능한 Compute-in-Memory (CIM)을 설계하였다. 피승수가 되는 Weight를 array에 저장하고, Input을 인가하여 column 단위의 MAC 연산을 진행한다. 연산 단위인 compute element (CE90)를 사용하며, compute element는 8x16의 sub-array와 booth 알고리즘을 적용하여 연산을 진행할 연산부로 이루어져있다. compute element는 전체 시스템에서 64개가 존재하며, 각 CE마다 곱셈이 진행되고, 최종적으로 다 합쳐지게 되는데, 이 과정으로 전력 소모를 최소화할 수 있다. 제안하는 CIM은 CMOS 180nm process를 이용하여 제작되었고, 1.5 mm x 5 mm의 면적을 가진다.	Memory	20240831		20241126	동국대학교 산학협력단
2858	M15239_AF2	Always-On CMOS Image Sensor(CIS)를타겟으로한저잡음 Single-Slope Analog to Digital Converter (SS-ADC)를구현.일반적인CIS의경우SS-ADC를사용하기때문에A/D conversion time이길고,noise를줄이기위해 multiple-sampling을진행하면 A/D conversion time이더욱길어진다는단점.반면제안하는회로의 A/D conversion의경우 SS-ADC에서사용되는ramp를	Analog and Digital Mixed Signal	20240831		20241127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		shifting하는방식과current steering DAC의특징인fully differential을이용해ramp, rampb중하나를선택하는방식을활용해A/D conversion time을늘리지않고 multiple-sampling을 할수있다는 장점.일반적인SS-ADC의 경우고조도환경에서는counter의toggling횟수가 많아power소모가크다는단점있지만제안하는회로 의경우고조도에서의power소모를더욱줄일수있도 록구현.SS-ADC는CMOS 180nm process를이용해제작, 3.3mm x 5mm의 면적을 가진다.					
2859	M15009_PIXEL-LEVEL_CIS_BW1	본 설계에서는 Pixel-Level CIS의 병렬적인 Readout을 위해 7T-SRAM을 도입하고, 픽셀의 면적을 줄이기 위해 8개의 픽셀을 공유한 구조이다. 3T-APS에서 변환된 아날로그 전압은 픽셀 내부에서 Analog-to-Digital 변환이 진행되어 readout된다. 이때 디지털 코드를 저장하는 7T-SRAM은 Single Bit-Line(BL)구조로 하나의 BL만으로도 데이터를 읽고 쓸 수 있는 메모리이다. 위 구조를 통해 120X120의 픽셀 어레이에서 6,172FPS의 빠른 속도로 동작이 가능하다. 제안하는 CMOS Image Sensor는 TSMC 180nm process를 이용해 제작되었고, 3.33 mm x 5 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20240831		20241127	동국대학교 산학협력단
2860	M15009_SNN_HS1	본 설계에서는 하드웨어 기반 저전력 Spiking Neural Network(SNN)를 위한 아날로그 뉴런 회로 설계 및 Selective Activation 시스템을 제안한다. 뉴런 회로는 동작 상태와 대기 상태로 전환 가능하며 대기 상태에서 동작 상태에 비해	Analog and Digital Mixed Signal	20240831		20241126	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		약 3500배 적은 전력을 소모하는 초저전력 동작이 가능하다. Selective Activation 시스템은 추론 시 활발하게 동작하는 뉴런만을 선택적으로 활성화시켜 정확도의 손실 거의 없이 전력 소모를 대폭 감소시킬 수 있다. 출력 스파이크 수에 따라 뉴런 회로의 동작/대기 상태를 전환하며 Selective Activation이 수행된다. 제작된 칩은 CMOS 180nm process를 이용해 제작되었고, 1.53 mm x 5 mm의 면적을 가진다.					
2861	테라헤르츠 검출을 위한 R-Type THz Detector 및 TE-Type THz Detector	본 배치설계는 R-Type의 THz 검출소자와 TE-Type의 THz 검출소자의 배치설계에 관한 것으로서, R-Type의 THz 검출소자의 경우 Antenna에서 신호를 받아 Poly-Si의 온도가 상승하게 되어 Feedline과 Poly-Si이 Impedance Matching을 위해 크기와 두께가 설계 값에 가깝게 공정이 진행되도록 하고, Ant와 Poly-Si, Vox와 Pad가 각각 전기적으로 연결되도록 설계하고, TE-Type의 THz 검출소자의 경우 Antenna와 Heater(Poly-Si)이 전기적으로 연결되되 좌측 Antenna와 Heater(Poly-Si), 우측 Poly-Si와 Pad가 각각 전기적으로 연결되도록 설계함	Analog and Digital Mixed Signal	20241031		20241129	한국전자기술연구원
2862	M15239_HEBIA_RB5	본 설계에서는 SRAM을 이용한 MAC 연산이 가능한 Compute-in-Memory (CIM)을 설계하였다. Digital PIM의 단점인 큰 면적을	Memory	20240831		20241127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		보완하기 위한 시스템을 제안하며, 연산에는 SRAM 자체와 adder tree가 사용된다. 1bit의 INPUT에 대해 8bit의 WEIGHT가 순차적으로 적용되어 곱셈 연산이 진행되고, 이 과정이 총 8번 반복되는 bit-serial system을 갖는다. 일반적인 Digital PIM은 부가적인 회로들이 많이 필요하여 macro density가 떨어지는 단점이 있다. 하지만 제안하는 회로는 SRAM 내부에서 곱셈이 진행되고, 이를 합산하는 adder tree의 구조를 변경함으로써 큰 면적 감소를 확보하고 면적당 처리량 지수를 높일 수 있다. 제작된 칩은 CMOS 180nm process를 이용하여 제작되었고, 1.5 mm x 5 mm의 면적을 가진다.					
2863	M15239_RB4	8TSRAM을통해Analog MAC(Multiply+Accumulate)연산진행하는Compute in memory(CIM)설계.8Tcompact SRAM array에맞춰높은area efficiency를갖는MAC input driver와MAC output driver를설계.0.238 TOPs/mm2 의높은compute density를달성.Digital-Time-Converter(DTC)형식의MAC input driver에서펄스가인가되면,SRAM cell data인weight이인가된부분만Read Bit Line과연결되어discharge되며,analog voltage를compact cell array에맞춰high area efficiency를지닌fully column parallel한ADC를통해서adder tree까지거쳐MAC연산을진행하는회로.ADC는두개의capacitor와 두개의Transmission gate switch와R-DAC만으로아날로그전압을디지털코드로출력하는형태.제안하는CIM은CMOS180nm process를이용,제작,1.5mm x5 mm의면적가짐	Memory	20240831		20241127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2864	M15009_VJ_FD_BW2	본 설계에서는 비올라-존스 얼굴 인식 알고리즘을 이미지 센서 칩 내부의 디지털 회로로 구현하였다. Pixel level ADC에서 출력된 픽셀 데이터를 받아 Integral image로 재구성한 후, 이를 기반으로 특징값을 계산하고 threshold 값과 비교하여 얼굴 인식을 한다. 18비트 SRAM을 하나의 셀로 하는 15x15 크기의 배열이 사용되며, SRAM 동작에 필요한 주변 회로, 각종 연산에 필요한 연산부와 타이밍 블록들로 이루어져 있다. 설계된 구조는 120x120 픽셀 어레이에서 Raw 이미지를 출력하는 동시에 얼굴 인식이 가능하고, 동일한 알고리즘을 소프트웨어로 구현한 것에 비해 메모리 사용량을 96% 절감한다. 제안된 얼굴 인식이 가능한 CMOS 이미지 센서는 TSMC 180nm process를 이용해 제작되었으며, 3.33 mm x 5 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20240831		20241126	동국대학교 산학협력단
2865	M15239_WP2	본 설계에서는 고속 CMOS Image Sensor (CIS)를 타겟으로, 연속 두 배 알고리즘을 활용하는 Pipeline Analog to Digital Converter를 제안한다. 일반적인 CIS의 경우 SS-ADC를 사용하기 때문에 ADC의 Resolution이 높아짐에 따라 A/D conversion time이 길어진다는 단점이 있다. 따라서 Successive Approximation Register ADC (SAR ADC)를 사용하여 속도를 높일 수 있는데, 이 경우 Capacitor에 의한 면적이 제한된다는 문제점이 있따. 따라서 제안하는 회로는 Analog Correlated Double Sampling (A-CDS)와 동시에 전위차를 연속 두 배 알고리즘을 통하여 A/D Conversion을 진행하여 Hybrid Circuit의 특성을 보여준다. 제안하는 회로가 SAR ADC에서 요구되는 ADC resolution을 줄이면서 요구되는 Capacitor 면적이 줄일 수 있고, 12bit ADC Resolution	AnalogandDigitalMixedSignal	20240831		20241127	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		기준 Capacitor					
2866	M07_DGMJI_SNN_HS2	본 설계에서는 Spiking Neural Network(SNN)를 하드웨어로 구현하는 과정에서 variation으로 인해 발생할 수 있는 정확도 문제를 보완하기 위한 calibration system을 제안한다. Delta-rule을 기반한 알고리즘을 활용하여 delta weight를 연산해 시냅스의 weight를 적절히 calibration 한다. Delta weight를 계산하는 과정에 있어 일반적인 곱셈기의 경우 높은 전력 소모와 높은 bit 수의 메모리 역시 필요로 한다. 따라서 메모리 블록을 counter로 구성하여 delta 값에 따라 pulse 개수를 세는 방식으로 곱셈 연산을 진행하여 저전력 곱셈을 가능하게 한다. 이러한 system은 다양한 정확도의 weight에 대해 효과적인 calibration을 수행하여 최적화된 성능을 달성할 수 있다. 제작된 칩은 CMOS 28nm process를 이용해 제작되었고, 3.6 mm x 3.6 mm의 면적을 가진다.	Analog and Digital Mixed Signal	20240826		20241127	동국대학교 산학협력단
2867	65 nm 공정의 Current-mode Bandgap reference	칩내부기준전압및기준전류생성을위한회로.칩내부에서사용될기준전압및전류를생성하기위하여개발되었다.제작은65nm,1poly,9metal공정을사용하였다.Metal은3번까지사용되었다.개발된Current-modebandgapreference회로는칩내부기준전압및전류를생성하기위한회로이다.	Analog and Digital Mixed Signal	20240201		20241203	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2868	65 nm 공정의 serial 통신을 위한 SPI controller	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로 -칩과 칩 외부와의 통신 필요에 개발되었다. 해당 회로는 SPI 통신을 지원한다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 6번 까지 사용되었다. -개발된 SPI 회로는 칩 내부와 칩 외부를 serial 통신으로 연결해주는 역할을 한다.	Microcomponent	20240201		20241203	한국전자기술연구원
2869	65 nm 공정의 Dynamic comparator	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로. 칩 내부의 2가지 전압을 비교하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 3번 까지 사용되었다. 개발된 Dynamic comparator 회로는 칩 내부의 2가지 전압을 clock 입력 시간에 맞추어 비교하기 위한 회로이다.	Analog and Digital Mixed Signal	20240201		20241203	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2870	65 nm 공정의 LVDS 드라이버	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로 - 칩에서 생성된 대량의 디지털 데이터를 외부 칩으로 전달하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 6번 까지 사용되었다. - 개발된 LVDS 드라이버 회로는 칩과 칩 사이의 고속 유선 통신을 위한 회로이다.	Microcomponent	20240201		20241203	한국전자기술연구원
2871	65nm공정의Referencegenerator를위한operationalamplifier	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로. 칩 내부에서 사용될 기준 전압을 생성하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 3번 까지 사용되었다. 개발된 Operational amplifier 회로는 칩 내부 기준 전압 및 전류를 생성하기 위한 회로이다.	Analog and Digital Mixed Signal	20240201		20241203	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2872	65 nm 공정의 샘플링 스위치를 위한 Bootstrapped clock 생성기	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로. 칩 내부에서 사용될 샘플링 스위치의 조절 전압을 생성하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 8번 까지 사용되었다.. 개발된 Bootstrapped clock 생성기는 칩 내부의 샘플링 스위치 게이트 조절 전압을 생성하기 위한 회로이다.	Analog and Digital Mixed Signal	20240201		20241203	한국전자기술연구원
2873	65 nm 공정의 고속 클락 드라이버	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로 -외부에서 높은 주파수의 클락 신호를 입력하기 위하여 개발되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 3번 까지 사용되었다. -개발된 클락 드라이버 회로는 칩 외부에서 칩 내부고 고속의 클락 신호를 전달하기 위한 회로이다.	Microcomponent	20240201		20241203	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2874	65 nm 공정의 LVDS 수신기	칩 내부 기준 전압 및 기준 전류 생성을 위한 회로 - 외부 칩에서 전송된 LVDS 형태의 데이터를 칩으로 전달받기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 6번 까지 사용되었다. - 개발된 LVDS 수신기 회로는 칩과 칩 사이의 고속 유선 통신을 위한 회로이다.	Microcomponent	20240201		20241203	한국전자기술연구원

33. '25년도 등록 현황

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2875	2024DG570RECT	앰비언트 RF 에너지 하베스터를위한 RF-DC 정류기의배치설계를제안한다.주위의작은 RF 신호로부터무선센서노드등 저 전력부하에공급할수있는충분한전력을수확하기위해 ,570개의정류기셀을집적하였다.각정류기셀에서커 플링캐패시터로는M4, M5, M6 레이어로구성된 vertical natural capacitor (VNCAP)이사용되었다.트랜지스터로는 analog low-threshold voltage NMOS 트랜지스터를사용하였으며,triple-well을이용하 여트랜지스터들의 body 터미널을하나의정류기 셀 내에서는공유하되서로다른정류기셀과는분리하도록 하였다.570단 RF-DC 정류기는19 X 15의정류기 셀 배열2개로구현하였다.RF-DC 정류기의입력 RF신호는 M6, M7, IA 레이어를사용한 metal line을통해가운데로공급되고,양쪽의GND line은 M1, M2, M3, M4, M5, M6, M7, IA, IB 레이어로구성된다.제안하는RF-DC정류기는1-poly 11-metal 28nm CMOS 공정으로제작되었으며,면적은 634.221um X 471.5694um 이다	AnalogandDigitalMixedSignal	20221231		20250108	동국대학교 산학협력단
2876	2024DG108RECT	앰비언트RF에너지하베스터를위한RF-DC정류기 의배치설계를 제안한다. 주위의작은RF신호로부터무선센서노드등 저 전력부하에공급할수있는충분한전력을수확하기위해 ,108개의정류기셀을집적하였다.각정류기셀에서커 플링캐패시터로는M4, M5, M6 레이어로구성된 vertical natural capacitor (VNCAP)이 사용되었다.트랜지스터로는 analog low-threshold voltage NMOS 트랜지스터를사용하였으며, triple-well을이용하여트랜지스터들의body터미 널을하나의정류기 셀 내에서는공유하되서로다른정류기	AnalogandDigitalMixedSignal	20211231		20250108	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		셀과는분리하도록하였다.108단 RF-DC 정류기는 18 X 6의 정류기 셀 배열로 구현하였다. RF-DC 정류기의 입력 RF 신호는 M6, M7 레이어를 사용한 metal line을 통해 공급되고, GND line은 M1, M2, M3, M4, M5, M6, M7 레이어로 구성된다. 제안하는 RF-DC 정류기는 1-poly 11-metal 28nm CMOS 공정으로 제작되었으며, 면적은 337.221um X 643.2714um 이다.					
2877	CMOS 이미지 센서(CIS) 의 동작을 이용한QRNG(Quantum Random Number Generator) 칩의 배치 설계	본 배치설계는 CMOS 이미지 센서(CIS) 동작을 이용하여 양자 난수를 생성하는 QRNG(Quantum Random Number Generator) 칩의 배치 설계를 나타낸다. 해당 설계는 픽셀 어레이, CDS(Correlated Double Sampling) 회로, Column address decoder, Row address decoder, ADC(Analog Digital Converter), Bandgap Reference 회로, Oscillator 회로, LDO 전압 발생기 회로, LED Driver 회로, QRNG 동작을 포함한 신호 처리 회로 및 데이터 입출력을 위한 digital logic 회로 등을 포함한다.	Analog and Digital Mixed Signal	20190328		20250423	(주)비트리
2878	VGA 화소에서 2400 fps의 고속 촬영이 가능한 CMOS 이미지 센서 칩의 배치 설계	본 배치설계파일(GDSII 형식)은 VGA 화소에서 2400 fps의 고속 촬영이 가능한 CMOS 이미지 센서 칩의 레이아웃 정보를 포함하고 있다.	Analog and Digital Mixed Signal	20250320		20250423	(주)비트리
2879	무선 의료 전송용 영상 압축기 내장형 초전력 이미지 센서 칩의 배치 설계	본 배치설계파일(GDSII 형식)은 무선 의료 전송용 영상 압축기 내장형 초전력 이미지 센서 칩의 레이아웃 정보를 포함하고 있다.	Analog and Digital Mixed Signal	20190225		20250423	(주)비트리
2880	ADC 내장형 인트라오랄 X-ray CMOS 이미지 센서 칩의	본 배치설계파일(GDSII 형식)은 ADC 내장형 인트라오랄 X-ray CMOS 이미지센서 칩의 레이아웃 정보를 포함하고 있다.	Analog and Digital Mixed Signal	20211020		20250423	(주)비트리

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
	배치 설계						
2881	Dual pixel 어레이 기반의 AI 융합형 CMOS 이미지 센서 칩의 배치 설계	본 배치설계파일(GDSII 형식)은 Dual pixel 어레이 기반의 AI 융합형 CMOS 이미지 센서 칩의 레이아웃 정보를 포함하고 있다.	Analog and Digital Mixed Signal	20250410		20250423	(주)비트리
2882	산업용 직접방식 5.5인치 X-ray 씨모스 이미지 센서	본 배치설계는 직접방식 Charge integration 픽셀과 이를 이용한 산업용 NDT분야의 Portable X-ray용 씨모스 이미지 센서이다. 기존의 간접방식 픽셀은 씬틸레이터를 통해 가시광선으로 변환된 X-ray 신호를 전기적 신호로 변환하기 위해 포토다이오드를 사용하였다. 반면에 본 배치설계는 광도전체를 통해 X-ray가 바로 전기적인 신호로 변환되면 전기 신호를 수집하는 직접방식 픽셀을 사용한다. 본 픽셀은 광도전체를 통해 전기적 신호(전하)로 변환된 X-ray 신호를 직접 수집할 수 있도록 Pixel 마다 passivation이 오픈 된 전극, 전극을 통해 입력되는 전하를 수집하기 위한 Capacitor, 그리고 픽셀 구동을 위한 Reset Transistor, Row Select Transistor, Source follower Transistor, 그리고 입력 신호의 Sensitivity를 조절할 수 있는 Sens Select Transistor로 구성된다.	Analog and Digital Mixed Signal	20250430		20250620	주식회사 레이언스
2883	산업용 직접방식 7인치 X-ray 씨모스 이미지 센서	본 배치설계는 직접방식 Charge integration 픽셀과 이를 이용한 산업용 NDT분야의 Portable X-ray용 씨모스 이미지 센서이다. 기존의 간접방식 픽셀은 씬틸레이터를 통해 가시광선으로 변환된 X-ray 신호를 전기적 신호로 변환하기 위해 포토다이오드를 사용하였다. 반면에 본 배치설계는 광도전체를 통해 X-ray가 바로 전기적인 신호로 변환되면 전기 신호를 수집하는 직접방식 픽셀을 사용한다.	AnalogandDigitalMixedSignal	20250430		20250620	주식회사 레이언스
2884	HPGP용송수신AnalogFrontEndIP.	HPGP용 송수신 Analog Front-end(AFE) IP는 스마트 커넥터(Smart Connector)나 전기차 충전 시스템에서 물리적 통신을 담당하는 핵심 아날로그 블록 IP의 layout 결과물이다. -	Analog and Digital Mixed Signal	20241115		20250912	주식회사 파이칩스

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		송신기 : Rx filter, ADC, AGC 포함 - 수신기 : On-chip DA, Tx filter, DAC 포함 - PLL synthesizer : On-chip VCO, On-chip Loop filter 포함 - 기타 기능 : 전류 레퍼런스, 전압 레퍼런스 회로, LDO, Control block					
2885	2025DG60CCDDRFEH	앰비언트 RF 에너지 하베스터를 위한 Cross-Coupled Differential-Drive 정류기와 Power Management Unit 회로의 배치설계를 제안한다. 작은 RF 신호로부터, 저전력 부하 등에 공급할 수 있는 전력 수확을 위해 60개의 정류기 셀을 집적하였다. 각 정류기 셀의 커플링 캐패시터로는 MIM Capacitor가 사용되었다. 트랜지스터로는 low-threshold voltage NMOS 및 alternative PMOS 트랜지스터를 사용하였다. 60단의 정류기는 (6 X 5) X 2의 정류기 셀 배열로 구현하였다. 제안하는 RF 에너지 하베스터는 1-poly 11-metal 28nm CMOS SOI 공정으로 제작되었으며, 면적은 808um X 408um 이다.	Analog and Digital Mixed Signal	20250918		20251015	동국대학교 산학협력단
2886	2025DGDUALBANDRFEH	Dual-Band앰비언트RF에너지하베스터를위한main및auxiliaryRF-DC정류기,bandselection및PMU회로의배치설계를제안한다.두주파수대역의RF신호수확을위해각각112개,70개의main정류기셀과56개,35개의auxiliary정류기셀을집적하였다.Bandselection회로는RF신호선택을수행하며,PMU회로는듀티싸이클방식으로부하에전력을공급한다.각정류기셀은MIMCAP과LVTNMOS로구성되며,main및auxiliary정류기들은각각16x7과14x5및8x7과7x5배열로구현되었다.제안된회로는1-poly 11-metal28nmCMOSSOI공정으로제작되었으며,전체면적은508x1259㎛이다.	Analog and Digital Mixed Signal	20250918		20251015	동국대학교 산학협력단
2887	M16243_WP3	본 설계에서는 고속 CMOS Image Sensor (CIS)를 타겟으로, 전류 비 증폭 방식을 활용한 Two-step Single-Slope Anlaog to Digtial Converter(ADC)를 제안한다. 일반적인 SS-ADC의 경우, ADC의 Resolution이	Analog and Digital Mixed Signal	20250731		20251029	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		높아짐에 따라 A/D conversion time이 길어진다는 단점이 있다. 따라서 본 설계는 상위, Two-step ADC 방식을 채택하여 동작 속도를 높이고, 전류 크기에 따라 전압 도달 시간이 다른 점을 이용한 증폭 방식을 제안하여 전체 소비 전력을 23% 감소시킨다. CMOS 180nm standard process를 이용해 제작되었고, 3.04mm x 5mm의 면적을 가진다.					
2888	SVDK04F0_GC8	본 설계에서는 Always-On CIS에 적합한 저전력 Single-Slope ADC를 구현하였다. 본 설계에서는 신호 전압을 예측하는 prediction window를 형성하여, SS-ADC의 LSB가 신호 주변에서만 toggling 되도록 하여 동적 전력 소모를 줄였다. 이 prediction window는 동일한 두 개의 비교기에 서로 다른 auto-zeroing 전압으로 형성되며, current mirror의 가변 저항을 조정하여 prediction window의 size를 최적화할 수 있다. 또한, PVT 변동으로 인한 prediction window 변화 방지를 위해 보정 기법을 추가하였다. 본 SS-ADC는 CMOS 110nm 이미지 센서 공정을 통해 제작되었으며, 칩 면적은 5.1mm × 5.1mm이다.	Analog and Digital Mixed Signal	20250731		20251029	동국대학교 산학협력단
2889	M15924_RB6HS5	본 설계는 ADC를 제거하고 capacitive adder 기반 누적 회로와 디지털 비교기를 활용해 저전력 스파이크 연산이 가능한 SNN-CIM 구조를 제안한다. Serial CAP 구조를 적용해 누적 용량을 유지하면서 회로 면적을 약 40% 절감하였다. 가중치는 8T SRAM 셀에 저장되고, 입력 스파이크는 전하로 변환되어 capacitive adder에 누적된다. 이후 pre-amplifier와 비교기를 거쳐 positive/negative spike를 생성하고, 디지털 비교기를 통해 최종 post spike를 출력한다. 모든 입출력을 spike로 처리하여 이벤트 기반 연산의 효율과 저전력을 동시에 달성했으며, 65nm CMOS 공정으로 0.95 mm × 2 mm 크기로 설계되었다.	Analog and Digital Mixed Signal	20240826		20251029	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2890	M16243_SNN_HS6	본 설계에서는 하드웨어 기반 고정확도·저전력 Spiking Neural Network(SNN) 구현을 위해 Winner-Take-All(WTA) 아날로그 뉴런 회로와 Selective Activation 시스템을 제안한다. 제안된 회로는 뉴런들의 막전위를 실시간으로 비교해 단일 승자를 선택함으로써 불필요한 스파이크를 억제하고 추론 정확도를 향상시킨다. 144-25-10 구조에 적용한 결과, 기존 임계값 비교기 대비 정확도가 1.1%로 향상되었으며, TTFS(Time-to-First-Spike) 인코딩과 결합된 Selective Activation을 통해 약 88%의 전력을 줄였다. 제안된 회로는 CMOS 180 nm 공정 기반으로 설계되었으며, 칩 면적은 1.88 mm × 2.47 mm이다.	Analog and Digital Mixed Signal	20240831		20251029	동국대학교 산학협력단
2891	M16243_RB7	본 설계는 Input Zero Detect 기반의 Power Gating 기법을 적용하여 전력을 최소화한 Digital Compute-in-Memory (D-CIM) 회로이다. MAC 연산은 SRAM에 저장된 WEIGHT와 외부에서 입력되는 INPUT DATA 간의 곱을 기반으로 수행되며, 일반적으로 두 데이터 중 하나라도 0이면 해당 곱셈 및 덧셈 연산은 무의미하다. 이를 활용하여 본 설계에서는 8bit INPUT DATA가 모두 0일 경우, 해당 cycle의 adder block에 대한 전력을 차단함으로써 불필요한 연산을 방지하고 전력 소모를 줄였다. 이러한 Power Gating 기반 구조를 통해 D-CIM 회로의 에너지 효율을 개선하였으며, 전체 시스템의 저전력화를 달성하였다. 설계된 칩은 CMOS 180nm 공정을 이용해 제작되었으며, 칩의 면적은 1.88 mm x 2.45 mm이다.	Memory	20240731		20251029	동국대학교 산학협력단
2892	M15924_HS5RB6	본 설계에서는 아날로그 방식의 Spiking Neural Network(SNN)에서 발생하는 불필요한 static current 소모를 줄이기 위해 Spike Shifting 기법을 제안한다. 아날로그 뉴런은 spike가 발생하지 않아도 일정 시간 동안 활성화되어 전류를 소비하므로, 제안한 기법은 제한된 time window 내의 스파이크를 시간 축	Analog and Digital Mixed Signal	20251020		20251029	동국대학교 산학협력단

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
		후반부로 이동시켜 다음 레이어의 활성 구간을 단축한다. 이를 통해 뉴런의 동작 시간을 효과적으로 줄여 전체 SNN의 전력 소모를 절감하며, 제안된 칩은 CMOS 65 nm 공정으로 제작되었고 면적은 0.95 mm × 2 mm이다.					
2893	SVDK04I0_BW4	본 설계는 Conventional CIS, 모션 감지, 윤곽선 감지의 3가지 모드로 동작하는 저전력 In-pixel ADC 회로를 구현하였다. 기존 Column-parallel 구조와 달리, 픽셀 내부에서 아날로그 신호를 직접 디지털화하여 동적 범위 확장, 노이즈 억제, 전력 절감을 동시에 달성하였다. 또한 threshold 연산을 아날로그 ramp로 구현하여 디지털 연산 회로를 줄이고 면적 및 전력을 최소화했으며, 픽셀 간 라우팅을 통해 윤곽선 및 모션 감지를 빠르게 수행하여 데이터 병목 문제를 해소하였다. 제안하는 설계는 CMOS 110nm 공정으로 제작된 5.1mm × 5.1mm 크기의 칩으로 구현되었다.	Analog and Digital Mixed Signal	20250731		20251029	동국대학교 산학협력단
2894	65nm CMOS 24GHz RF Transmitter IC의 VCO & Buffer	본 배치설계는 65nm CMOS 공정의 VCO & Buffer 회로임. VCO는 23.6~26 GHz의 Range로 center 주파수 가변이 가능하게 하였으며, Buffer는 Splitter 구조로 PLL의 입력부와 TX 입력부로 동시에 출력되게 하였음	Analog and Digital Mixed Signal	20250910		20251111	주식회사 에이피알
2895	65nm CMOS 24GHz RF Transmitter IC	본 배치설계는 65nm CMOS 공정의 24GHz RF Transmitter IC이며, TX 신호가 여러 Duty를 가진 Pulse에 의해 modulation되어, 출력되게 함. PLL(Phase Locked Loop), VGA(Variable Gain Amplifier), DA(Drive Amplifier), PA(Power Amplifier), PWM(Pulse Width Modulator), PD(Power Detector), SPI(Serial Peripheral Interface)회로로 구성되었으며, 아날로그 회로와 디지털 회로를 좌우로 분리 배치하여, 서로의 노이즈 영향을 최소화하였음. PD회로를 PA의 출력에 최대한 가깝게 배치하여, PD회로에서 PA의 출력 신호가 빠르게 검출되게 하였음.	Analog and Digital Mixed Signal	20250910		20251110	주식회사 에이피알

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
2896	65nm CMOS 24GHz RF Transmitter IC의 Pulse Width Modulator	본 배치설계는 65nm CMOS 공정의 Pulse Width Modulator 회로임. 입력 Reference 주파수를 수 배로 Divide가 가능하며, Pulse의 Width, 즉 여러 개의 Duty를 디지털 코드로 제어하여, 선택 가능하게 하였음.	Analog and Digital Mixed Signal	20250910		20251110	주식회사 에이피알
2897	65nm CMOS 24GHz RF Transmitter IC의 RF Block	본 배치설계는 65nm CMOS 공정의 24GHz RF Transmitter Block임. VGA(Variable Gain Amplifier), DA(Drive Amplifier), PA(Power Amplifier), PD(Power Detector)회로로 구성되었으며, VGA에서 3bit Gain control이 가능하게 하였음.	Analog and Digital Mixed Signal	20250910		20251110	주식회사 에이피알
2898	65 nm 공정의 저항 기반의 Digital-to-Analog Converter	칩 내부 저항을 활용한 Digital-to-Analog converter 위한 회로 칩 내부에서 사용될 디지털 신호를 아날로그 전압으로 변환하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 5번 까지 사용되었다. 개발된 저항 기반의 Digital-to-Analog converter 회로는 디지털 신호를 아날로그 전압으로 변환하기 위한 회로이다.	Analog and Digital Mixed Signal	20250601		20251127	한국전자기술연구원
2899	90 nm 공정의 Bandgap reference 회로	기준 전압 및 전류를 생성하기 위한 Bandgap reference 회로 SoC 내부에서 기준 전압 및 전류를 생성하기 위해 제작되었다. 제작은 90nm, 1poly, 6metal 공정을 사용하였다. Metal은 5번 까지 사용되었다. 개발된 Bandgap reference 회로는 SoC 내부에서 기준 전압 및 전류를 생성하는 회로이다.	Analog and Digital Mixed Signal	20250201		20251127	한국전자기술연구원
2900	90 nm 공정의 Rail-to-Rail input/output amplifier	입/출력 넓은 신호 범위를 갖는 증폭기 SoC 내부에서 신호 증폭을 위해 개발되었다. 제작은 90nm, 1poly, 6metal 공정을 사용하였다. Metal은 6번 까지 사용되었다. 개발된 Rail-to-rail input/output amplifier 회로는 SoC 내부에서 신호 증폭을 위해 Feedback 구조 내부 증폭기로 사용되는 회로이다.	Analog and Digital Mixed Signal	20250201		20251127	한국전자기술연구원
2901	65 nm 공정의 PMOS 입력의	칩 내부 아날로그 신호 전달을 위한 Source follower 회로 칩 내부 아날로그 신호를 다른	Analog and Digital Mixed	20250601		20251127	한국전자기술연구원

등록 번호	집적회로의 명칭	간단한 설명	제1분류	설계창작 일자	상업적 이용일자	설정등록 일자	배치설계권자
	Source follower	회로로 전달하기 위하여 개발 되었다. 제작은 65nm, 1poly, 9metal 공정을 사용하였다. Metal은 4번 까지 사용되었다. 개발된 PMOS 입력의 Source follower 회로는 내부 아날로그 신호를 다른 블락으로 전달하기 위한 회로이다.	Signal				
2902	90 nm 공정의 Transimpedance amplifier	센서에서 생성된 미세 전류 증폭기 센서에서 생성된 미세 전류를 증폭하기 위해 제작되었다. 제작은 90nm, 1poly, 6metal 공정을 사용하였다. Metal은 6번 까지 사용되었다. 개발된 Transimpedance amplifier 회로는 센서 신호를 분석하기 위해 센서로 부터의 미세 전류를 증폭하는 회로이다.	Analog and Digital Mixed Signal	20250201		20251127	한국전자기술연구원
2903	Thz ACMB 이미징 센서	본 배치설계는 THz 검출소자의 배치 설계에 관한 것으로서, 크게 두 가지 Type의 소자로 구성되어 있음. R-Type의 THz 검출소자의 경우 Antenna, Heater(poly-si), Bolometer(Vox)로 구성되어 있으며, Antenna에서 받은 THz 에너지가 Poly-si의 온도를 상승시키고, 상승된 온도가 Bolometer의 저항을 감소시키는 동작을 할 수 있도록 설계됨. TE-Type의 THz 검출소자의 경우 Antenna와 Poly-si과 알루미늄으로 구성된 열전구조가 결합된 형태이며, Antenna에서 받은 THz 에너지가 열전구조에 온도차이를 만들어내고 해당 온도차이에 의해 발생 전위차가 발생되도록 설계됨. 두 Type 모두 290GHz 대역에서 동작하는 버전과 190GHz 동작하는 버전이 각각 배치되어 있음.	Analog and Digital Mixed Signal	20251101		20251204	한국전자기술연구원